

PolarFire® FPGA および PolarFire SoC FPGA ユーザ I/O 向けユーザガイド

はじめに

Microchip 社の PolarFire FPGA は不揮発性 FPGA デバイスの第 5 世代ファミリであり、最新の 28 nm 不揮発性プロセスを基に構築されています。PolarFire FPGA は、ミッドレンジの集積度でトップレベルの低消費電力性能を提供します。PolarFire FPGA は業界トップレベルの低消費電力を達成する FPGA ファブリック、非常に低消費電力の 12.7Gbps トランシーバ、低消費電力デュアル PCI Express Gen2 (EP/RP)、オプションのデータ セキュリティ (S) デバイス、暗号コプロセッサを内蔵する事により、ミッドレンジ FPGA の低コスト化を図っています。

Microchip 社の PolarFire SoC FPGA は、不揮発性 SoC FPGA デバイスの第 5 世代ファミリであり、最新の 28 nm 不揮発性プロセスを基に構築されています。PolarFire SoC ファミリは、Linux を実行可能な業界初の RISC-V ベース SoC FPGA を提供します。PolarFire SoC ファミリのデバイスは、SiFive 社の U54-MC に基づく高性能 64 ビット 5x コア RISC-V マイクロプロセッサ サブシステム (MSS) と PolarFire FPGA ファブリックを 1 つのデバイスに実装しています。

本書は、PolarFire FPGA および PolarFire SoC FPGA ファミリデバイスが備える各ユーザ I/O の機能と対応規格、ならびに I/O バンクと I/O の命名規則に関する詳細を記載しています。ユーザ I/O は各種の I/O 規格をサポートすると共に高帯域幅を提供するため、内部ロジックの能力を最大限に引き出して高いシステムレベル性能を達成する事ができます。これらの I/O は、使いやすさと迅速なシステム統合を念頭に設計されています。

PolarFire FPGA および PolarFire SoC FPGA デバイスは、以下の 2 タイプのユーザ I/O を備えています。

- 汎用 I/O (GPIO): 1.2~3.3 V 電源で動作する幅広い I/O 規格をサポートします。
- 高速 I/O (HSIO): 1.2~1.8 V 電源で動作する I/O 規格をサポートします。

GPIO と HSIO は複数の I/O バンクで構成され、各 I/O バンクは専用の電源を備えます。ノイズリークを低減するため、未使用電源はグランドに接続されます。GPIO と HSIO に加えてシステム コントローラ、トランシーバ クロック、データピンに対応する各種 I/O が提供されます。これらの I/O には、他のユーザ I/O バンクとは別に電源が提供されます。

表 1 に、PolarFire および PolarFire SoC ファミリで利用可能な I/O の一覧を示します。

表 1. I/O

I/O	PolarFire FPGA (MPF)	PolarFire SoC FPGA (MPFS)
GPIO	✓	✓
HSIO	✓	✓
MSSIO	—	✓
MSS-DDR	—	✓
MSS-SGMII I/O	—	✓

参考情報

- PolarFire FPGA が備える GPIO および HSIO の性能仕様: [DS0141: PolarFire FPGA Datasheet](#)
- PolarFire SoC FPGA が備える GPIO および HSIO の性能仕様: [PolarFire SoC Advance Datasheet](#)
- PolarFire SoC FPGA が備える I/O タイプの詳細: [PolarFire SoC FPGA MSS Technical Reference Manual](#)
- クロック コンディショニング回路(CCC)に関する情報: [PolarFire FPGA and PolarFire SoC FPGA Clocking Resources User Guide](#)
- トランシーバに関する情報: [PolarFire FPGA and PolarFire SoC FPGA Transceiver User Guide](#)
- 外部参照入力、未使用電源ピンの状態、コールドスペア、ホットソケットに関する情報: [UG0726: PolarFire FPGA Board Design User Guide](#) または [PolarFire SoC FPGA Board Design Guidelines User Guide](#)
- プログラミングと I/O ステートに関する情報: [PolarFire FPGA and PolarFire SoC FPGA Programming User Guide](#)
- MSS コンフィグレータに関する情報: [PolarFire SoC Standalone MSS Configurator User Guide](#).

目次

はじめに.....	1
1. 参考情報.....	2
1. GPIO とHSIO の機能.....	5
1.1. GPIO 機能.....	5
1.2. HSIO 機能.....	5
2. サポート I/O 規格.....	6
2.1. I/O 規格の概要.....	8
3. I/O バンク.....	12
4. I/O バンクの電源電圧.....	16
5. I/O の概要.....	17
5.1. シングルエンド トランスミッタ/レシーバ モード.....	17
5.2. 差動トランスミッタ モード.....	17
5.3. 差動レシーバモード.....	18
5.4. I/O デジタル(IOD).....	18
6. I/O プリミティブ.....	19
7. I/O の機能と実装.....	20
7.1. I/O アナログ(IOA)バッファのプログラマブル機能.....	21
7.2. I/O の実装に関する注意点.....	29
8. IOD の機能とユーザモード.....	42
8.1. IOD ブロックの機能.....	42
8.2. IOD ブロックの概要.....	42
8.3. I/O レーン.....	49
8.4. I/O クロック ネットワーク.....	51
8.5. 汎用 I/O インターフェイス.....	54
8.6. レイテンシ.....	68
9. 汎用 IOD インターフェイスの実装.....	69
9.1. ソフトウェア プリミティブ.....	69
9.2. I/O インターフェイス コンフィグレータ.....	70
9.3. ベーシック I/O コンフィグレータ – PF_IO.....	77
9.4. I/O インターフェイスのタイミング制約.....	78
10. プロトコル固有の I/O インターフェイス.....	79
10.1. PF_IOD_CDR.....	79
10.2. RGMII to GMII コンバータ.....	86
10.3. LVDS 7:1.....	89
11. 動的 IOD インターフェイスのトレーニング.....	92
11.1. クロック-データ間タイミング マージンのトレーニング.....	92
11.2. CoreRxIODBitAlign.....	95

12. 改訂履歴.....	99
Microchip 社の FPGA サポート	103
Microchip 社ウェブサイト	103
顧客変更通知サービス	103
カスタマサポート	103
Microchip 社のデバイスコード保護機能.....	103
法律上の注意点.....	104
商標.....	104
品質管理システム	105
各国の営業所とサービス.....	106

1. GPIO と HSIO の機能

PolarFire FPGA および PolarFire SoC FPGA デバイスファミリは、GPIO および HSIO 向けに各種 I/O 機能をサポートします。以下に、それらの I/O 機能の要約を記載します。

1.1 GPIO 機能

- 動作電圧: 1.2~3.3 V
- シングルエンド入力/出力モード
- 各種 I/O 規格に対応する柔軟な電源電圧
- リファレンス、差動、相補入力レシーバモード
- 電流ベース差動出力ドライバモードと疑似差動(相補出力)モード
- シングルエンド モードでの静的または動的な終端設定(@ 1.8 V または 1.5 V)
- 差動モードでの静的または動的終端設定(100 Ω)
- コールドスペアおよびホットスワップ (ホットプラグインまたはホットソケット)機能
- プロセス/電圧/温度(PVT)補償付きプログラマブル駆動強度
- JEDEC 規格の定義に従う STTL18 向けフル駆動または省力駆動をサポート
- Weak プルアップおよびプルダウン回路とバスキーパー(レベルホールド)回路を内蔵
- プログラマブルなヒステリシス
- DDR3 サポート(最大 1.066 Gbps)

1.2 HSIO の機能

- 動作電圧: 1.2~1.8 V
- シングルエンド入力/出力モード
- LVTTTL/LVCMOS 向け混用シングルエンド入力モード(電源電圧レベルに非依存)
- リファレンス、差動、相補入力レシーバモード
- 疑似差動(相補出力)モード
- シングルエンド モードでの静的または動的終端設定(@ 1.8/1.5/1.35/1.2 V)
- PVT 補償付きプログラマブル駆動強度
- JEDEC 規格の定義に従う STTL18 向けのフル駆動または削減駆動強度
- Weak プルアップおよびプルダウン回路とバスキーパー回路を内蔵
- DDR3/LPDDR3 サポート(最大 1333 Mbps)と DDR4 サポート(最大 1.6 Gbps)

2. サポートする I/O 規格

GPIO と HSIO は設定可能な高性能 I/O ドライバとレシーバを備え、幅広い I/O 規格に対応します。

表 2-1 に、レシーバおよびトランスミッタ モードでのサポート I/O 規格の一覧を示します。

表 2-1. サポート I/O 規格

I/O 規格	レシーバ/トランスミッタ モード	VDDI 公称要求電圧	バンクタイプ	応用例
シングルエンド規格				
PCI	レシーバ、トランスミッタ	3.3 V	GPIO	PC および組み込みシステム
LVTTTL ¹	レシーバ	3.3 V、2.5 V、1.8 V 1.5 V、1.2 V	GPIO	汎用
	トランスミッタ	3.3 V		
LVCMOS33 ¹	レシーバ	3.3 V、2.5 V、1.8 V 1.5 V、1.2 V	GPIO	汎用
	トランスミッタ	3.3 V		
LVCMOS25 ¹	レシーバ	3.3 V、2.5 V、1.8 V 1.5 V、1.2 V	GPIO	汎用
	トランスミッタ	2.5 V		
LVCMOS18 ¹	レシーバ	3.3 V、2.5 V、1.8 V 1.5 V、1.2 V	GPIO、HSIO	汎用
	トランスミッタ	1.8 V		
LVCMOS15 ¹	レシーバ	3.3 V、2.5 V、1.8 V 1.5 V、1.2 V	GPIO、HSIO	汎用
	トランスミッタ	1.5 V		
LVCMOS12 ¹	レシーバ	3.3 V、2.5 V、1.8 V 1.5 V、1.2 V	GPIO、HSIO	汎用
	トランスミッタ	1.2 V		
SSTL25I、 SSTL25II	レシーバ	2.5 V	GPIO	DDR1 ²
	トランスミッタ	2.5 V	GPIO	DDR1 ²
SSTL18I、 SSTL18II	レシーバ トランスミッタ	1.8 V	GPIO、HSIO	DDR2 ² /RLDRAM2 ²
SSTL15I、 SSTL15II	レシーバ トランスミッタ	1.5 V	GPIO、HSIO	DDR3
SSTL135I、 SSTL135II	レシーバ トランスミッタ	1.35 V	HSIO	DDR3L
HSTL15I、 HSTL15II	レシーバ トランスミッタ	1.5 V	GPIO、HSIO	QDRII+
HSTL135I、 HSTL135II	レシーバ トランスミッタ	1.35 V	HSIO	RLDRAM3 ²
HSTL12I	レシーバ トランスミッタ	1.2 V	HSIO	QDRII+

.....続き

I/O 規格	レシーバ/トランスミッタ モード	VDDI 公称要求電圧	バンクタイプ	応用例
HSUL18I、 HSUL18II	レシーバ トランスミッタ	1.8 V	GPIO、HSIO	LPDDR ²
HSUL12I、 HSUL12II	レシーバ トランスミッタ	1.2 V	HSIO	LPDDR ² 、LPDDR3
POD12I、 POD12II	レシーバ トランスミッタ	1.2 V	HSIO	DDR4
差動規格				
LVDS18G	レシーバ	1.8 V	GPIO	汎用
	トランスミッタ ³	1.8 V	GPIO	汎用
LVDS33	レシーバ	3.3 V	GPIO	汎用
	トランスミッタ ³	3.3 V	GPIO	汎用
LVDS25	レシーバ	2.5 V	GPIO	汎用
	トランスミッタ ³	2.5 V	GPIO	汎用
LVDS18 ^{4, 5}	レシーバ	1.8 V	HSIO	汎用
RSDS33	レシーバ	3.3 V	GPIO	汎用
	トランスミッタ ³	3.3 V	GPIO	汎用
RSDS25	レシーバ	2.5 V	GPIO	汎用
	トランスミッタ ³	2.5 V	GPIO	汎用
RSDS18 ⁵	レシーバ	1.8 V	HSIO	汎用
MINILVDS33	レシーバ	3.3 V	GPIO	汎用
	トランスミッタ ³	3.3 V	GPIO	汎用
MINILVDS25	レシーバ	2.5 V	GPIO	汎用
	トランスミッタ ³	2.5 V	GPIO	汎用
MINILVDS18 ⁵	レシーバ	1.8 V	HSIO	汎用
SUBLVDS33	レシーバ	3.3 V	GPIO	汎用
	トランスミッタ ³	3.3 V	GPIO	汎用
SUBLVDS25	レシーバ	2.5 V	GPIO	汎用
	トランスミッタ ³	2.5 V	GPIO	汎用
SUBLVDS18 ⁵	レシーバ	1.8 V	HSIO	汎用
PPDS33	レシーバ	3.3 V	GPIO	汎用
	トランスミッタ ³	3.3 V	GPIO	汎用
PPDS25	レシーバ	2.5 V	GPIO	汎用
	トランスミッタ ³	2.5 V	GPIO	汎用
PPDS18 ⁵	レシーバ	1.8 V	HSIO	汎用
SLVS33	レシーバ	3.3 V	GPIO	汎用

.....続き

I/O 規格	レシーバ/トランスミッタモード	VDDI 公称要求電圧	バンクタイプ	応用例
SLVS25	レシーバ	2.5 V	GPIO	汎用
SLVS18	レシーバ	1.8 V	HSIO	汎用
SLVSE15 ⁶	トランスミッタ	1.5 V	GPIO、HSIO	汎用
HCSL33	レシーバ	3.3 V	GPIO	汎用
HCSL25	レシーバ	2.5 V	GPIO	汎用
HCSL18	レシーバ	1.8 V	HSIO	汎用
BUSLVDSE25 ⁶	トランスミッタ	2.5 V	GPIO	マルチポイントバックプレーンアプリケーション
MLVDSE25 ⁶	トランスミッタ	2.5 V	GPIO	マルチポイントバックプレーンアプリケーション
LVPECL33	レシーバ	3.3 V	GPIO	ビデオ グラフィックとクロック分配
LVPECLE33 ⁶	トランスミッタ	3.3 V	GPIO	ビデオ グラフィックとクロック分配
MIPI25	レシーバ	2.5 V	GPIO	コンシューマ向けモバイルアプリケーション
MIPIE25 ⁶	トランスミッタ	2.5 V	GPIO	コンシューマ向けモバイルアプリケーション、高速モード

(1) これらの I/O 規格は柔軟な VDDI 割り当てをサポートします(7.2.2. 「VDDI バンクにおける混合 I/O」 参照)。

(2) この応用例は I/O 規格ではサポートされますが、PolarFire FPGA および PolarFire SoC FPGA デバイス是对応するメモリ コントローラ ソリューションを備えていません。

(3) これらの規格向けに設定されたバッファは、双方向動作をサポートしない差動トランスミッタです。

(4) HSIO の場合、ネイティブ LVDS 入力は 1 個の外付け 100 Ω 抵抗を使ってサポートされ、HSIO バンク内で LVDS 送信出力はサポートされません。

(5) これらの規格は外部参照電圧(VREF)と、外付け抵抗を介してバイアスされる 2 個のシングルエンド ドライバを必要とします。

(6) バッファはエミュレートされた差動トランスミッタとして設定され、双方向動作もサポートしますが、外付け終端抵抗が必要です。

2.1 I/O 規格の概要

以下では、各 I/O 規格の概要を説明します。

2.1.1 3.3 V PCI (Peripheral Component Interface)

GPIO は PCI I/O 規格をサポートします。PCI 規格は LVTTTL 入力バッファとプッシュプル出力バッファを使います。この規格は 33 MHz および 66 MHz PCI バス アプリケーション向けに使われます。

2.1.2 LVTTTL (Low-Voltage TTL)

LVTTTL は 3.3 V アプリケーション向けの汎用規格(EIA/JESD8-B)です。この規格は LVTTTL 入力バッファとプッシュプル出力バッファを使います。GPIO は LVTTTL I/O 規格をサポートし、LVTTTL 出力バッファの駆動強度を最大で 6 通りのレベルに設定可能です。プログラマブル駆動強度制御の詳細は表 7-4 を参照してください。

2.1.3 LVCMOS (Low-Voltage CMOS)

LVCMOS は CMOS 技術で実装された汎用規格です。この規格は以下の 5 通りの LVCMOS 動作モードをサポートします。

- LVCMOS33 — LVCMOS の拡張規格(JESD8-B)に準拠、汎用 3.3 V アプリケーション向けに使用
- LVCMOS25 — LVCMOS の拡張規格(JESD8-5)に準拠、汎用 2.5 V アプリケーション向けに使用
- LVCMOS18 — LVCMOS の拡張規格(JESD8-7)に準拠、汎用 1.8 V アプリケーション向けに使用
- LVCMOS15 — LVCMOS の拡張規格(JESD8-11)に準拠、汎用 1.5 V アプリケーション向けに使用
- LVCMOS12 — LVCMOS の拡張規格(JESD8-26)に準拠、汎用 1.2 V アプリケーション向けに使用

2.1.4 SSTL (Stub Series Terminated Logic)

SSTL は汎用メモリバス規格です。以下の SSTL 動作モードがサポートされます。

- SSTL25I — SSTL Class I、VDDI (公称) = 2.5 V
- SSTL25II — SSTL Class II、VDDI (公称) = 2.5 V
- SSTL18I — SSTL Class I、VDDI (公称) = 1.8 V
- SSTL18II — SSTL Class II、VDDI (公称) = 1.8 V
- SSTL15I — SSTL Class I、VDDI (公称) = 1.5 V
- SSTL15II — SSTL Class II、VDDI (公称) = 1.5 V
- SSTL135I — SSTL Class I、VDDI (公称) = 1.35 V
- SSTL135II — SSTL Class II、VDDI (公称) = 1.35 V

SSTL25 は JEDEC 規格(JESD8-9B)により定義され、DDR SDRAM および DDR1 メモリ インターフェイス向けに使われます。SSTL18 は JEDEC 規格(JESD8)により定義され、DDR2 SDRAM メモリ インターフェイス向けに使われます。SSTL15 は DDR3 メモリ インターフェイス向けに使われ、SSTL135 は DDR3L メモリ インターフェイス向けに使われます。

各 SSTL I/O 規格の信号レベルについては、『[PolarFire FPGA Datasheet](#)』または『[PolarFire SoC Advance Datasheet](#)』を参照してください。

2.1.5 HSTL (High-Speed Transceiver Logic)

HSTL は汎用高速バス規格(EIA/JESD8-6)であり、0~1.5 V のシングルエンドまたは差動信号をサポートします。この規格はメモリバス インターフェイスで使われ、最大 1.267 GHz のデータ スイッチング能力を有します。

以下の HSTL 動作モードがサポートされます。

- HSTL15I — HSTL Class I、VDDI (公称) = 1.5 V
- HSTL15II — HSTL Class II、VDDI (公称) = 1.5 V
- HSTL135I — HSTL Class I、VDDI (公称) = 1.35 V
- HSTL135II — HSTL Class II、VDDI (公称) = 1.35 V
- HSTL12I — HSTL Class I、VDDI (公称) = 1.2 V
- HSTL12II — HSTL Class II、VDDI (公称) = 1.2 V

各 HSTL I/O 規格の信号レベルについては、表 2-1 を参照してください。『[PolarFire FPGA Datasheet](#)』または『[PolarFire SoC Advance Datasheet](#)』も参照してください。

Note: HSTL135 と HSTL12 は JEDEC 仕様の範囲外です。これらの規格は HSTL15 からスケールアップされます。HSTL 信号レベルの詳細は、『[PolarFire FPGA Datasheet](#)』または『[PolarFire SoC Advance Datasheet](#)』を参照してください。

2.1.6 HSUL (High-Speed Unterminated Logic)

HSUL (JEDEC 規格 JESD8-22 により既定)は LPDDR2 および LPDDR3 メモリバス向けの規格です。HSUL I/O 規格は HSIO と GPIO の両方でサポートされます。

2.1.7 POD (Pseudo Open Drain)

POD 規格は DDR4、DDR4L、LLDRAM3 アプリケーション向けの規格です。HSIO は POD の受信モードと送信モードをサポートします。

2.1.8 LVDS (Low-Voltage Differential Signal)

LVDS (ANSI/TIA/EIA-644)は高速差動 I/O 規格です。2 つの信号ラインの間の電圧振幅は約 350 mV です。GPIO は LVDS の受信モードと送信モードをサポートします。HSIO は、外付け 100 Ω 抵抗を使って LVDS 受信モードをサポートします(詳細は 7.2.3. 「I/O 外付け終端抵抗」参照)。

2.1.9 RSDS (Reduced-Swing Differential Signal)

RSDS は LVDS 高速差動インターフェイスと似ていますが、電圧振幅が小さく、並列終端抵抗を必要とします。RSDS は、ポイントツーポイント アプリケーション専用で設計されています。RSDS の電圧振幅については、『PolarFire FPGA Datasheet』または『PolarFire SoC Advance Datasheet』を参照してください。

GPIO は RSDS の受信モードと送信モードをサポートします。HSIO は、外付け 100 Ω 終端抵抗を使って RSDS 受信モードをサポートします。

2.1.10 Mini-LVDS

Mini-LVDS は、タイミング コントローラから TFT LCD ディスプレイのカラムドライバへの単方向インターフェイスであり、Texas Instruments 社規格 SLDA007A により規定されます。GPIO は mini-LVDS の受信モードと送信モードの両方をサポートします。HSIO は mini-LVDS の受信モードのみサポートし、外付け終端抵抗を必要とします。

2.1.11 Sub-LVDS

Sub-LVDS は LVDS のサブセットの差動低電圧規格であり、LVDS に比べて電圧振幅が小さく、低コモンモード電圧です。Sub-LVDS の最大差動電圧振幅は 200 mV です(LVDS では 350 mV)。Sub-LVDS の公称コモンモード電圧は 0.9 V です(LVDS では 1.25 V)。GPIO は Sub-LVDS の受信モードと送信モードの両方をサポートします。HSIO は Sub-LVDS の受信モードのみサポートし、外付け終端抵抗を必要とします。Sub-LVDS と LVDS ではコモンモード電圧と差動電圧振幅が異なります。PolarFire/PolarFire SoC 同士の間の通信では、LVDS から Sub_LVDS への通信および Sub_LVDS から LVDS への通信が可能です(データシートの仕様は、これらの電圧レンジでの動作を許容するため)。

2.1.12 PPDS (Point-to-Point Differential Signaling)

PPDS は、National Semiconductor Corporation による次世代 RSDS 規格であり、次世代 LCD のロー/カラム ドライバへのインターフェイス用に使われます。PPDS 入力は並列終端抵抗を必要とします。

GPIO は PPDS の受信モードと送信モードの両方をサポートします。HSIO は PPDS の受信モードのみサポートし、外付け終端抵抗を必要とします。

2.1.13 SLVS (Scalable Low-Voltage Signaling)

SLVS は高性能/低消費電力のチップツーチップ信号規格であり、LVDS から低ノイズ感受性を継承しています。この規格の信号振幅は 400 mV に削減され(LVDS では 700 mV)、グランド リファレンスを含みます。GPIO および HSIO バンクは SLVS I/O 規格をサポートしますが、送信モードには外付け抵抗が必要です。詳細は 7.2.4 「エミュレートされた出力向け規格の実装」を参照してください。

2.1.14 HCSL (High-Speed Current Steering Logic)

HCSL は、PCI Express アプリケーションで使われる差動出力規格です。GPIO と HSIO は HCSL I/O 規格(受信専用モード)をサポートします。この規格のコモンモード レンジは 250 mV~550 mV ですが、HCSL I/O レシーバは 50 mV ~2.4 V をサポートします。

2.1.15 B-LVDS (Bus-LVDS) / M-LVDS (Multipoint LVDS)

B-LVDS は LVDS テクノロジーに基づくバス インターフェイス回路であり、LVDS 規格を高性能マルチポイント バス アプリケーション向けに拡張した M-LVDS 仕様に従います。マルチドロップおよびマルチポイント バス コンフィグレーションではドライバ、レシーバ、トランシーバを任意に組み合わせる事ができます。LVDS ドライバは、バス負荷に対応するために B-LVDS および M-LVDS が要求する高い駆動電流を供給可能です。これらのドライバは、良好な信号品質と電圧振幅制御を得るために直列終端抵抗を必要とします。

ドライバはバス上の任意位置に配置可能であるため、バスの両端に終端抵抗が必要です。

GPIO は受信モードで B-LVDS と M-LVDS をサポートします。送信モードの場合、外付け終端抵抗が必要です。各種 BLVDS 規格の詳細は、[7.2.4.2. 「Bus-LVDS Emulated \(BLVDSE25\)出力モード」](#)と [7.2.4.3. 「Multipoint Low-Voltage Emulated \(MLVDSE25\)出力モード」](#)を参照してください。

2.1.16 LVPECL (Low-Voltage Positive Emitter-Coupled Logic)

LVPECL は、1 ペアの信号ライン(1 つの入力または出力あたり 2 本のピン)を介して 1 データビットを転送する 3.3 V 差動信号規格です。2 つの信号ラインの間の電圧振幅は約 850 mV です。LVPECL 入力は GPIO でサポートされますが、LVPECL 出力には外付け終端抵抗が必要です。LVPECL33 の詳細は、[7.2.4.4. 「LVPECL Emulated \(LVPECLE33\)出力モード」](#)を参照してください。

2.1.17 MIPI (Mobile Industry Processor Interface) D-PHY

MIPI は、カメラおよびディスプレイ アプリケーションで使われるシリアル通信インターフェイスです。GPIO バンクは、外付け終端抵抗を使って MIPI D-PHY 規格の実装をサポートします。詳細は「[MIPI D-PHY の実装](#)」を参照してください。

3. I/O バンク

PolarFire SoC FPGA は 8 個のユーザ I/O バンクを備えますが、PolarFire FPGA はデバイスのサイズに応じて 5、6、8 個のユーザ I/O バンクを備えます。

デバイスの North 端の I/O バンクは HSIO のみサポートします。各 I/O バンクは専用の I/O 電源とグランドを備えます。1 つのバンク内の各 I/O は同じ VDDI 電源と VREF 参照電圧を共有します。各 I/O バンクで互換性のある I/O 規格のみが使えます。

各バンクはバンクパワーオン検出回路と、参照電圧(VREF)を内部生成するためのバンクレシーバ参照電圧生成回路を備えています。各バンクは、I/O バッファ出力駆動強度と終端抵抗値(特定 I/O 規格にのみ必要)をキャリブレートするために、PVT コントローラとも連携します。PVT コントローラは、ソースドライバおよびシンクドライバの制御と、HSIO 出力スルーレートのキャリブレート用に、一連のコードを生成します。各 I/O バッファの駆動強度は個々に設定可能であり、PVT デジタルコード値にこれらの駆動設定を乗算する事により必要な駆動力、インピーダンス、終端抵抗設定が得られます。詳細は 7.1. 「I/O アナログ(IOA)バッファのプログラマブル機能」を参照してください。

図 3-1～図 3-5 に、各デバイスのバンク配置を含むフロアプランを示します。これらの図には、コーナーブロックとトランシーバブロックも含まれます。各コーナーブロックは CCC、2 個の PLL、2 個の DLL を含み、FPGA ファブリック、外部システム、I/O 向けに柔軟なクロック管理とクロック合成を提供します。デバイスによっては、一部のバンクが利用できない場合があります。詳細は 8.3.2. 「各バンク内の I/O レーン」を参照してください。CCC とトランシーバの詳細は、『PolarFire FPGA and PolarFire SoC FPGA Clocking Resources User Guide』と『PolarFire FPGA and PolarFire SoC FPGA Transceiver User Guide』を参照してください。

図 3-1. PolarFire FPGA MPF300T、MPF300XT、MPF500T の I/O バンク配置

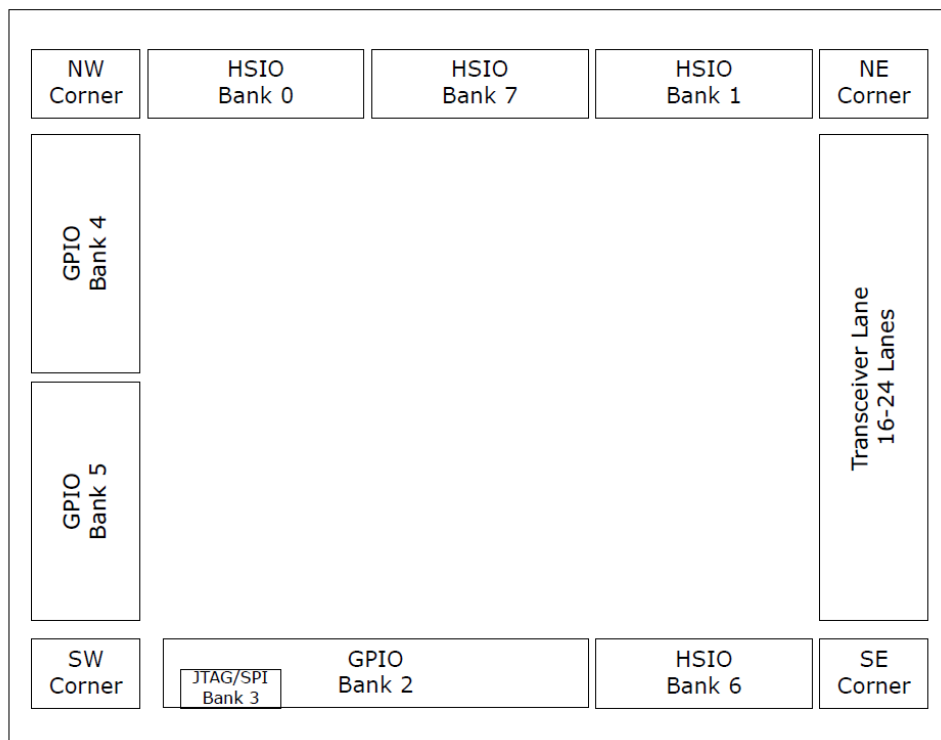


図 3-2. PolarFire FPGA MPF200T の I/O バンク配置

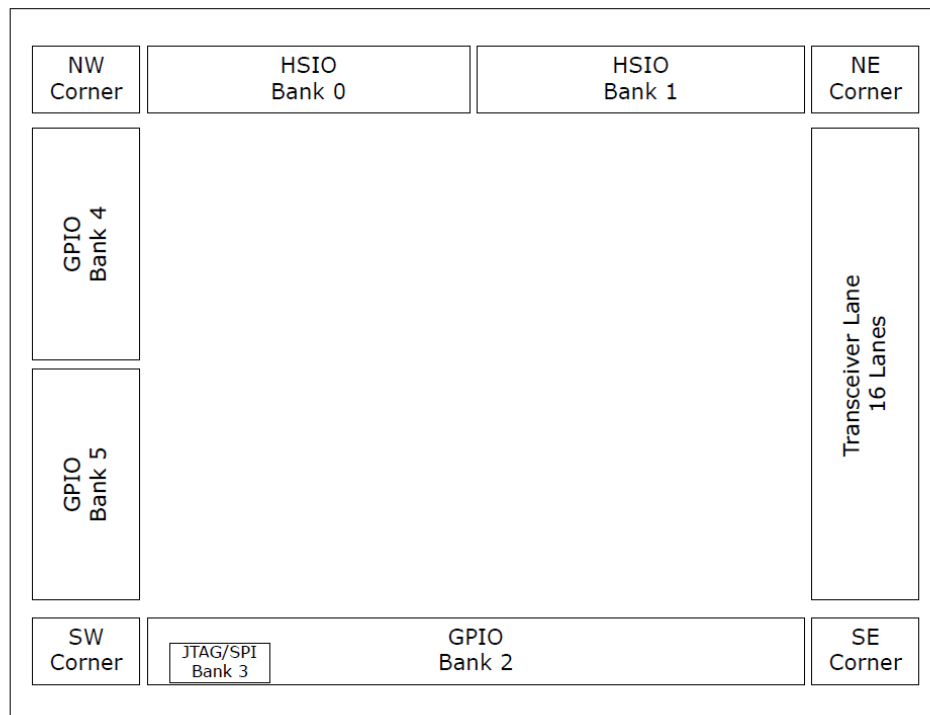


図 3-3. PolarFire FPGA MPF100T の I/O バンク配置

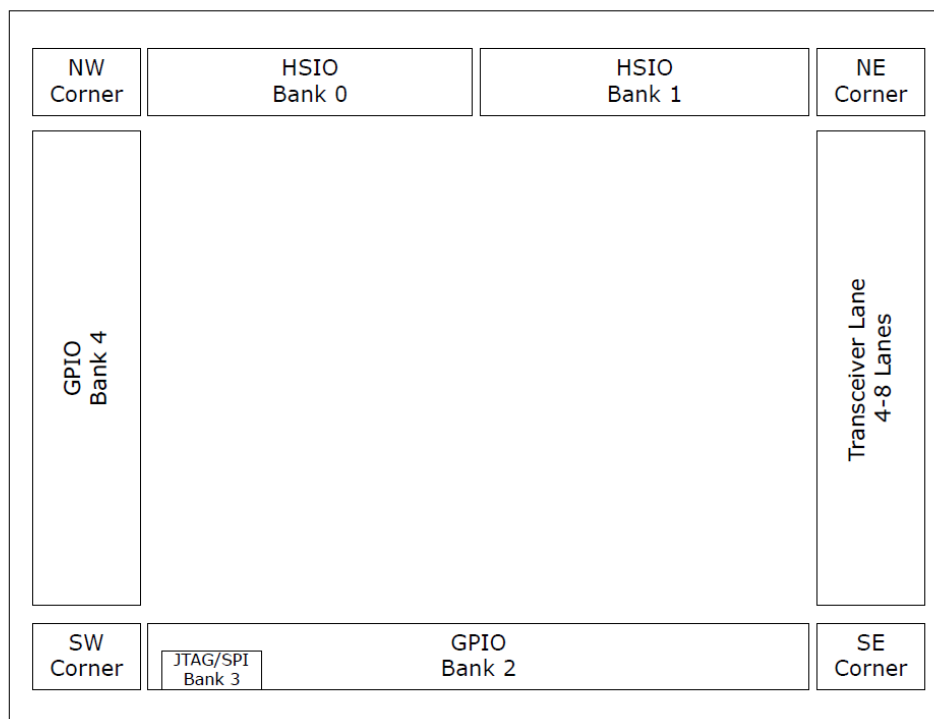
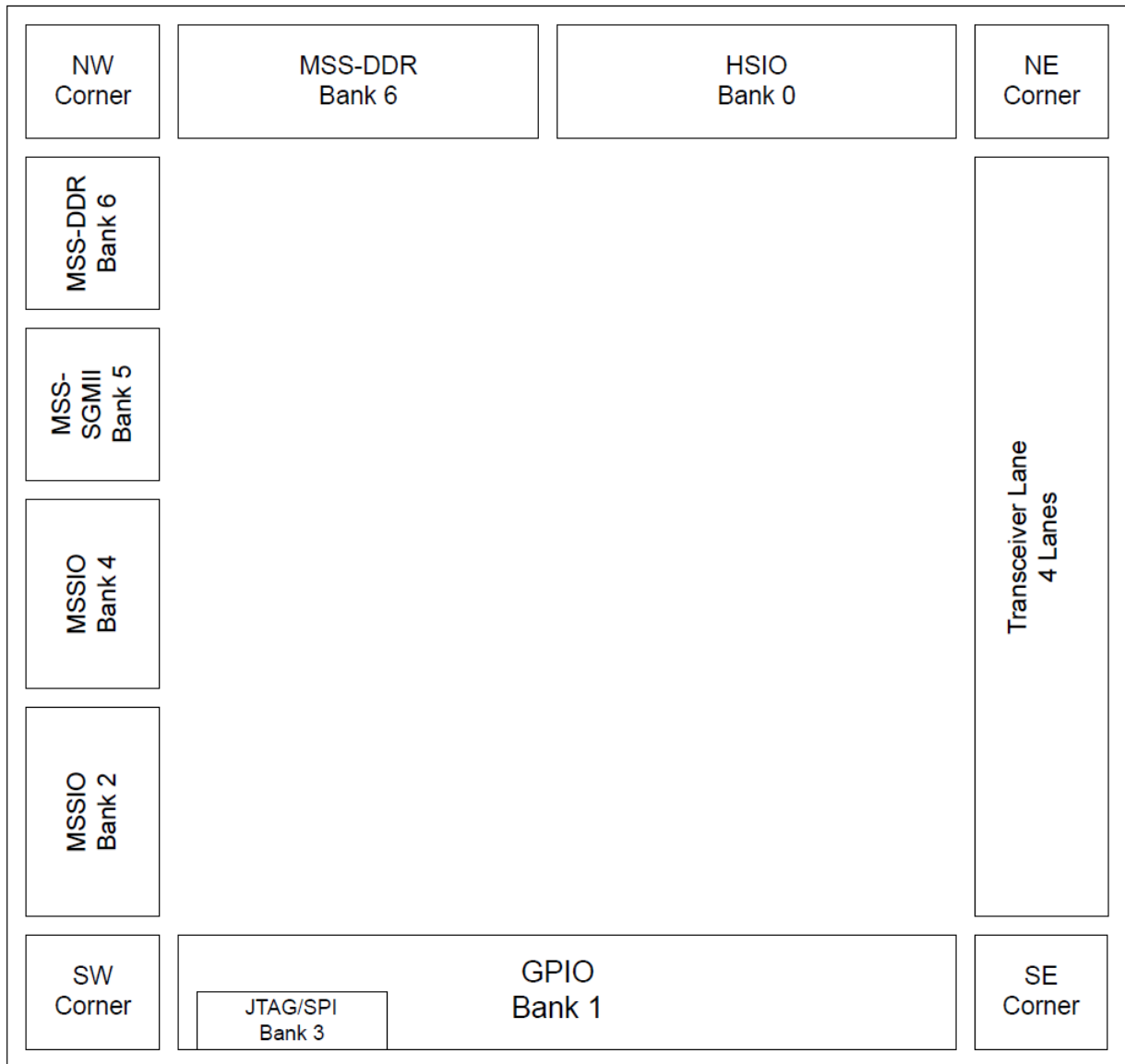


図 3-4. PolarFire SoC FPGA MPFS250-FCG1152 の I/O バンク 配置



図 3-5. PolarFire SoC FPGA MPFS250-FCVG484 の I/O バンク配置



4. I/O バンクの電源電圧

各 I/O バンクには、表 4-1 に示すバンク電源が必要です。

表 4-1. 電源ピン

名称	概要	公称動作電圧
VDDIx	バンク内の I/O 回路向けの電源	JTAG バンク: 1.8 V/2.5 V/3.3 V GPIO バンク: 1.2 V/1.5 V/1.8 V/2.5 V/3.3 V HSIO バンク: 1.2 V/1.5 V/1.8 V
VDD25	コーナーPLL および PNVM 向けの電源	2.5 V
VDD18	プログラミングおよび HSIO レシーバ向けの電源	1.8 V
VDDAUXx	I/O 回路向けの補助電源 補助電源の電圧は 2.5~3.3 V で VDDIx 以上に設定される必要があります。VDDI と VDDAUX の有効な組み合わせについては、 表 7-12 を参照してください。	VDDI 以上 GPIO バンク内の VDDI と VDDAUX の両方が 2.5 V または 3.3 V である場合、それらは一緒に同じ電源に接続する必要があります。
VREF	VREF は電圧参照型 I/O レシーバ向けの参照電圧です。バンクごとに 1 つの VREF 値を設定できます。VREF は外部から供給するか内部で生成できます。VREF の割り当て方法の詳細は、 4. 「I/O バンク向けの電源電圧」 を参照してください。	I/O 規格に依存
VDDIx MSSIO バンク ¹	バンク内の MSS I/O 回路向けの電源	1.2 V/1.5 V/1.8 V/2.5 V/3.3 V
VDDIx MSS-SGMII バンク ¹	バンク内の MSS-SGMII 回路向けの電源	2.5 V/3.3 V
VDDIx MSS-DDR バンク ¹	バンク内の MSS-DDR 回路向けの電源	1.2 V/1.5 V/1.8 V

Note: 1.PolarFire SoC FPGA のみ

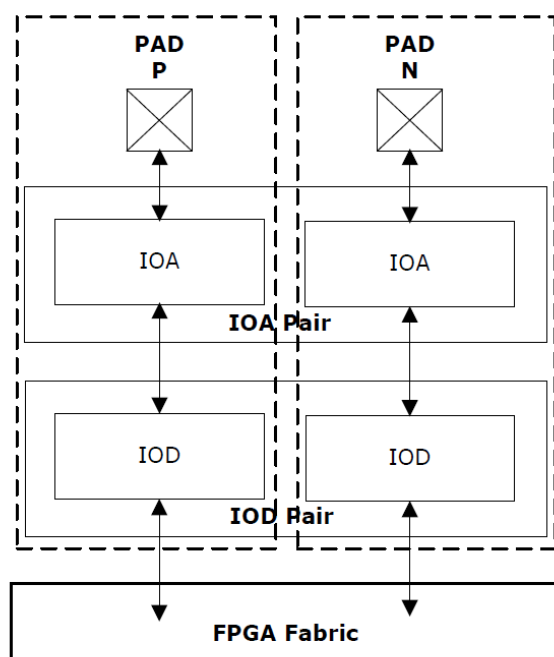
Note: 未使用電源の状態については、『[UG0726: PolarFire FPGA Board Design User Guide](#)』または『[PolarFire SoC FPGA Board Design Guidelines User Guide](#)』と PPAT を参照してください。

5. I/O の概要

各 I/O は、アナログ I/O バッファ(IOA)とデジタルロジック ブロック(IOD)で構成されます。IOA ブロックはアナログ入力バッファとアナログ出力バッファを含みます。IOD ブロックは IOA バッファを有効にするためのロジックを含みます。IOD は、IOA との間の双方向のバス幅を拡張するためのデータバス デジタルロジックも備えています。これにより、外部ピンはファブリック ロジックよりも大幅に高速なクロックレートで動作可能です。

幅広い I/O 規格をサポートするため、各 I/O は図 5-1 に示す通りペアとして構成されます。正極性パス(P)と負極性パス(N)を含む 1 つの I/O ペアは、2 つのシングルエンド I/O として構成する事も、1 つの差動 I/O ペアまたは相補 I/O ペアとして構成する事もできます。

図 5-1. I/O ペア



IOA バッファは送信および受信バッファ、オンダイ ターミネーション(テブナン、差動、プルアップおよびプルダウン)、スルーレート制御回路、バスキーパー回路、プログラマブル Weak プルアップ/プルダウン抵抗を含みます。送受信バッファは、I/O ピンと IOD の間で信号を伝送します。I/O ペアの詳細は図 7-1 を参照してください。

5.1 シングルエンド トランスミッタ/レシーバ モード

I/O バッファはシングルエンド トランスミッタまたはシングルエンド レシーバあるいはその両方として構成可能です。GPIO と HSIO の両方がシングルエンド モードをサポートします。

5.2 差動トランスミッタ モード

1 つの I/O バッファペアにより、差動出力モードと疑似差動出力モードを実装できます。差動出力モードは LVDS Hブリッジ型ドライバを使います。疑似差動出力モードは相補モードとも呼ばれ、2 つのシングルエンド ドライバで構成され、一方のドライバ出力は他方に対して反転されます。疑似差動出力ドライバのシグナル インテグリティと性能は本当の差動出力モードに比べて劣り、通常は差動信号レベルをエミュレートするために外付け抵抗によるバイアスが必要です。GPIO バンクのみが、差動電流ドライバを使った差動出力モードをサポートします。GPIO バンクと HSIO バンクの両方が相補(疑似差動) 出力モードをサポートします。

5.3 差動レシーバモード

GPIO および HSIO レシーバの両方が差動レシーバモードをサポートします。このモードでは、差動ペア(PAD P と PAD N) からの入力データは両方のピンで受信され、IOD ブロックから FPGA ファブリックへは P 側で駆動されます。

Libero SoC は、選択された規格と I/O モード (シングルエンド/差動)に基づいて、送信バッファと受信バッファの有効化/無効化を制御します。IOA バッファの詳細と使用方法については、[7. 「I/O の機能と実装」](#)を参照してください。

5.4 I/O デジタル(IOD)

IOD ブロックは、FPGA ファブリックと IOA バッファの間を中継します。IOD ブロックは高速の入力データを低速のコアクロック速度へとデシリアライズして転送し、ファブリックからの低速データを高速の出力クロック ドメインへとシリアライズして転送します。IOD ブロックは、高速/低スキューのクロック ネットワークとの組み合わせで機能します。このブロックは、クロックドメイン クロッシング(CDC)を保証するための特殊なクロック分周回路とその他のサポート回路も備えています。IOD ブロックは高速 DDR 入力データをデシリアライズして低速の FPGA へ転送し、低速の FPGA ファブリック データをシリアライズして高速 DDR 出力へ転送します。IOD バッファの詳細とユーザーモードについては、[8. 「IOD の機能とユーザーモード」](#)を参照してください。

6. I/O プリミティブ

マクロライブラリは、各種 I/O 規格をサポートするために I/O プリミティブのリストを含んでいます。以下に汎用 I/O プリミティブを示します。これらにより、大部分の I/O 規格を指定できます。

- INBUF: 入力バッファを指定
- INBUF_DIFF: 差動入力バッファを指定
- OUTBUF: 出力バッファを指定
- OUTBUF_DIFF: 差動出力バッファを指定
- TRIBUFF: 3 ステートバッファを指定
- TRIBUFF_DIFF: 差動 3 ステートバッファを指定

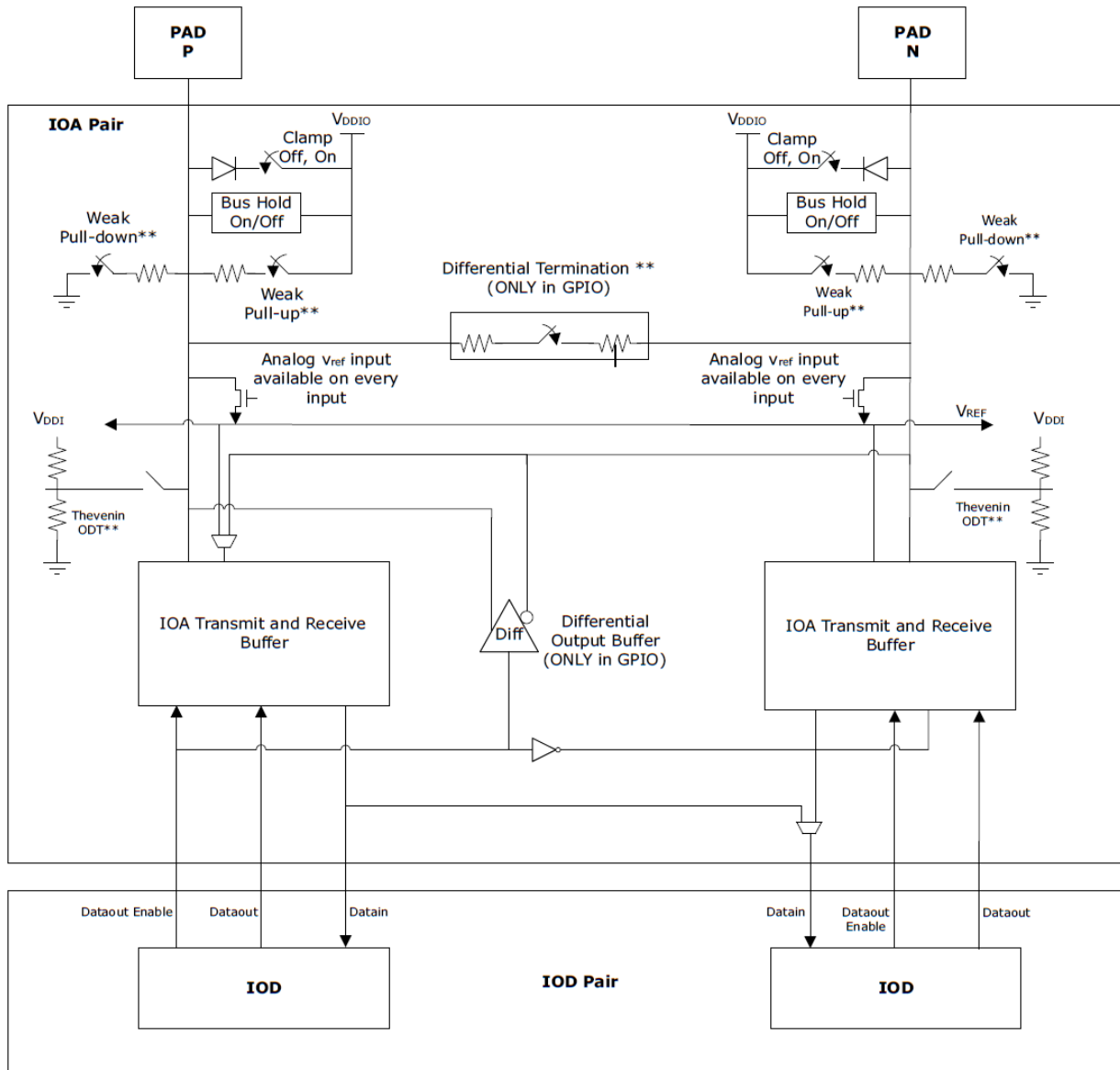
マクロライブラリの詳細は『[PolarFire FPGA Macro Library User Guide](#)』を参照してください。

7. I/O の機能と実装

以下では、I/O の機能とそれらの用法について説明します。I/O を使って各種 I/O 規格を実装するためのガイドラインも提供します。本書では、「受信」と「入力」および「送信」と「出力」を同義として扱います。

図 7-1 に、I/O ペアのブロック図を示します。

図 7-1. I/O ペアの詳細ブロック図



Note: Weak プルアップおよびプルダウン抵抗とオンダイ ターミネーション(ODT)の値については、[『PolarFire FPGA Datasheet』](#) または [『PolarFire SoC Advance Datasheet』](#) を参照してください。

7.1 I/O アナログ(IOA)バッファのプログラマブル機能

GPIO と HSIO は各種のプログラマブル機能を提供します。これらの機能は、Libero SoC 内の I/O Editor または PDC コマンドを使って設定します。以下では、これらの機能について説明します。PDC の制約に関しては、『[PDC Commands User Guide for Libero SoC v12.4 for PolarFire](#)』または『[PDC commands User Guide](#)』を参照してください。

7.1.1 スルーレート制御

GPIO は、非差動出力モードでスルーレート制御をサポートします。スルーレートを調整して高速化する事で、タイミング マージンを改善できます。タイミングデータについては、『[PolarFire FPGA Datasheet](#)』または『[PolarFire SoC Advance Datasheet](#)』を参照してください。スルーレート制御機能を OFF にした場合、本デバイスは既定値スルーレートとなり同時スイッチング ノイズ(SSN)が制御機能 ON 時より低減します。

表 7-1 に、スルーレート制御をサポートする I/O 規格を示します。

表 7-1. スルーレート制御

I/O 規格	サポートする I/O タイプ	オプション
PCI	GPIO (出力のみ)	ON (既定値)、OFF
LVTTL	GPIO (出力のみ)	ON (既定値)、OFF
LVC MOS25 と LVC MOS33	GPIO (出力のみ)	ON (既定値)、OFF

スルーレートの設定は、Libero SoC 内の I/O Editor または下記の PDC コマンドを使って制御します。

```
set_io -slew <value>
```

value は ON または OFF として設定できます。

HSIO バッファではスルーレート制御を使えません。しかし、HSIO バッファはシグナル インテグリティを最適化する PVT 補償付きスルーレート コントローラを内蔵しています。

7.1.2 プログラマブル Weak プルアップ/プルダウン抵抗とバスキーパー(レベルホールド)回路

どちらのデバイスファミリも、全ての I/O ピンにプログラマブルな Weak プルダウン回路(20 K Ω typ.)、Weak プルアップ回路(20 K Ω typ.)、バスキーパー回路を備えており、これらは入力モードと出力モードで使えます。Weak プルアップおよびプルダウン回路は、非駆動時の入力向けに既定値設定を生成します。出力に対しては、Weak プルアップおよびプルダウン抵抗をオプションで設定する事により、アクティブに駆動される前の出力ピンの初期レベルを設定できます。バスキーパー回路は、I/O ピン上の信号を直前の駆動状態で弱く保持するために使います。これにより、最小限の消費電力で信号を有効レベルに保持できます。ノイズによって意図しない信号変動が生じる可能性がある場合、バスキーパー回路は非駆動ピンを入力しきい値電圧域から引き離す事もできます。未使用ピンの Weak プルアップ/プルダウン抵抗に対する Libero SoC からの既定値設定については、デバイス/パッケージに対応する PPAT スプレッドシートを参照してください。

表 7-2 に、Weak プルアップ/プルダウンおよびバスキーパー制御をサポートする I/O 規格の一覧を示します。

表 7-2. Weak プルアップ/プルダウンおよびバスキーパー制御

I/O 規格	サポートする I/O タイプ	オプション
LVTTL LVC MOS33、LVC MOS25、 LVC MOS18、LVC MOS15、LVC MOS12 PCI	GPIO (入力のみ)	OFF Weak プルダウン Weak プルアップ バスキーパー

.....続き

I/O 規格	サポートする I/O タイプ	オプション
LVC MOS18、LVC MOS15、LVC MOS12	HSIO (入力のみ)	OFF Weak プルダウン Weak プルアップ バスキーパー

Weak プルダウン/プルアップとバスキーパーの設定は、Libero SoC 内の I/O Editor または下記の PDC コマンドを使って制御します。

```
set_io -res_pull <value>
```

value は up、down、hold、none として設定できます。

7.1.3 シュミットトリガ入力ヒステリシス

GPIO と HSIO はシュミットトリガ入力として設定できます。この設定を有効にする事でヒステリシスを持たせてレシーバでのノイズの影響を低減し、ノイズが乗った入力エッジによって生じるダブルグリッチを抑制できます。

表 7-3 に、シュミットトリガ機能をサポートする I/O 規格を示します。シュミットトリガ モードを有効にした場合の各 I/O 規格のヒステリシス値については、『[PolarFire FPGA Datasheet](#)』または『[PolarFire SoC Advance Datasheet](#)』を参照してください。

表 7-3. シュミットトリガ制御

I/O 規格	サポートする I/O タイプ	オプション
LVTTL LVC MOS33 LVC MOS25 PCI	GPIO (入力のみ)	ON OFF
LVC MOS15 LVC MOS18	HSIO (入力のみ)	ON OFF

シュミットトリガモードは、Libero SoC 内の I/O Editor または下記の PDC コマンドを使って有効にします。

```
set_io -schmitt_trigger <value>
```

value は ON または OFF として設定できます。

7.1.4 プログラマブルな出力駆動強度

長い伝送ラインによる信号の減衰を緩和するため、I/O 出力バッファは LVC MOS、LVTTL、LVDS、PPDS I/O 規格向けにプログラマブルな駆動強度制御機能を提供します。

表 7-4 に、プログラマブル駆動強度をサポートする I/O 規格と設定値を示します。

表 7-4. プログラマブル駆動強度制御

I/O 規格	サポートする I/O タイプ	駆動強度設定(mA)
LVTTL	GPIO (出力のみ)	2、4、8、12、16、20
LVC MOS33	GPIO (出力のみ)	2、4、8、12、16、20
LVC MOS25	GPIO (出力のみ)	2、4、6、8、12、16
LVDS25、LVDS33	GPIO (出力のみ)	3、3.5、4、6 ¹

.....続き

I/O 規格	サポートする I/O タイプ	駆動強度設定(mA)
RSDS33、RSDS25	GPIO (出力のみ)	1.5、2、3
MINILVDS33、MINILVDS25	GPIO (出力のみ)	3、3.5、4、6
SUBLVDS33、SUBLVDS25	GPIO (出力のみ)	1、1.5、2
PPDS33、PPDS25	GPIO (出力のみ)	1.5、2、3
LVC MOS18	GPIO、HSIO (出力のみ)	2、4、6、8、10、12
LVC MOS15	GPIO、HSIO (出力のみ)	2、4、6、8、10
LVC MOS12 ²	GPIO、HSIO (出力のみ)	2、4、6、8、10

(1) 6 mA LVDS 出力駆動強度で 100 Ω のソース側終端抵抗(OUT_DRIVE = 6、SOURCE_TERM = 100)を使う事を推奨します。

(2) LVC MOS12 の 10 mA 出力駆動強度は、HSIO 向けにのみサポートされます。

プログラマブル駆動強度は、Libero SoC 内の I/O Editor または下記の PDC コマンドを使って設定します。

```
set_io -out_drive <value>
```

value は表 7-4 の通りに設定できます。

7.1.5 プログラマブル出力インピーダンス制御

特定の電圧リファレンス I/O 規格(SSTL、HSUL、HSTL、POD、LVSTL 等) 向けに、I/O はドライバ インピーダンスを制御するためのオプションを提供します。

表 7-5 に、プログラマブル出力インピーダンス制御をサポートする I/O 規格と設定値を示します。

表 7-5. プログラマブル出力インピーダンス制御

I/O 規格	サポートする I/O タイプ	インピーダンス(Ω)
SSTL25I	GPIO	48、60、80、120
SSTL25II	GPIO	34、40、48、60
SSTL18I	GPIO、HSIO	40、48、60、80
SSTL18II	GPIO、HSIO	30、34、40、48
SSTL15I	GPIO、HSIO	40、48
SSTL15II	GPIO、HSIO	27、30、34
SSTL135I	HSIO	40、48
SSTL135II	HSIO	27、30、34
HSUL18I	GPIO、HSIO	34、40、55、60
HSUL18II	GPIO、HSIO	22、25、27、30
HSTL15I	GPIO、HSIO	34、40、50、60
HSTL15II	GPIO、HSIO	22、25、27、30
HSTL135I	HSIO	34、40、50、60
HSTL135II	HSIO	22、25、27、30
HSUL12I	HSIO	34、40、48、60、80、120

.....続き

I/O 規格	サポートする I/O タイプ	インピーダンス(Ω)
POD12I	HSIO	40、48、60
POD12II	HSIO	27、30、34
LVSTLI	HSIO	30、34、40、48、60、80、120、240
LVSTLII	HSIO	30、34、40、48、60、80、120、240

出力インピーダンス値は、Libero SoC 内の I/O Editor または下記の PDC コマンドを使って設定できます。

```
set_io -impedance <value>
```

value は表 7-5 の通りに設定できます。

7.1.6 差動ソース側終端抵抗

各種の出力タイプ向けに、プログラマブルな出力終端抵抗が提供されます。既定値では、差動信号を使うアプリケーションはレシーバ側で終端します。しかし、ソース側で終端する事で、損失の多い接続での信号インテグリティを向上させる事ができます。

表 7-6. ソース側終端サポート

I/O 規格	値
LVDS25、LVDS33、MINILVDS25、MINILVDS33、LCMDS33、LCMDS25、PPDS25、PPDS33、RSDS25、RSDS33、SUBLVDS25、SUBLVDS331	OFF、100 既定値は OFF

ソース側終端抵抗値は、Libero SoC 内の I/O Editor または下記の PDC コマンドを使って設定できます。

```
[-SOURCE_TERM <value>]
```

Note: ソース側終端抵抗は、1600 Mbps/800 MHz クロック向けに必要です。

7.1.7 オンダイ ターミネーション(ODT)

ODT を使って入力信号を終端する事で、信号品質を維持しながら基板スペース(外付け部品点数)を削減する効果が得られます。ODT は、I/O が入力として動作する場合に受信モードおよび双方向モードで利用できます。ODT を使わない場合または利用できない場合、I/O 規格はシグナル インテグリティの向上のために外付け終端抵抗を要求する場合があります。詳細は 7.2.3. 「I/O 外付け終端抵抗」を参照してください。

ODT はプルアップ、プルダウン、差動、テブナン終端に設定でき、静的および動的制御が可能です。これは、Libero SoC 内の I/O Editor または PDC コマンドを使って設定します。

表 7-7 に、GPIO と HSIO での ODT サポートを示します。

表 7-7. GPIO および HSIO での ODT サポート

I/O 規格	I/O タイプ (入力のみ)	ODT 制御	ODT タイプ	ODT (Ω)
LVDS33、LVDS25、 RSDS33、RSDS25、 MINILVDS33、 MINILVDS25、 SUBLVDS33、 SUBLVDS25、 LVPECL33、	GPIO、HSIO	OFF ON 動的	OFF 差動	100

.....続き

I/O 規格	I/O タイプ (入力のみ)	ODT 制御	ODT タイプ	ODT (Ω)
SSTL18I、SSTL18II	GPIO、HSIO	OFF ON 動的	OFF テブナン	50、75、150
SSTL15I、SSTL15II	GPIO、HSIO	OFF ON 動的	OFF テブナン	20、30、40、60、120
SSTL135I、SSTL135II	HSIO	OFF ON 動的	OFF テブナン	20、30、40、60、120
POD12I、POD12II	HSIO	OFF ON 動的	OFF プルアップ	34、40、48、60、120、 240
HSUL12I、HSUL12II	HSIO	OFF ON 動的	OFF プルアップ	120、240
HSTL15I、HSTL15II	GPIO	OFF ON 動的	OFF 差動	50
HSUL18I、HSUL18II	GPIO、HSIO	OFF ON 動的	OFF 差動	50
LVC MOS25	GPIO、HSIO	OFF ON	OFF プルダウン	120、240
LVC MOS18、 LVC MOS15、LVC MOS12	GPIO、HSIO	OFF ON	OFF プルアップ プルダウン テブナン	60、120、240

Note: GPIO バンクは、VDDI = 1.8 V 以下で 2.5 V および 3.3 V 入力をサポート可能です。

静的に ODT_VALUE に設定するには、ODT 制御で「ON」を選択します。ODT_EN ピンが印加された時に ODT_VALUE を有効にするには、「DYNAMIC」(動的)を選択します。静的 ODT 設定と値は、Libero SoC 内の I/O Editor または下記の PDC コマンドを使って設定できます。

```
set_io -ODT <value> -ODT_VALUE <odt_value>
```

value は ON または OFF として設定可能であり、ODT_VALUE は表 7-7 の通りに設定可能です。

7.1.8 コモンモード電圧(Vcm)設定

GPIO および HSIO 入力では、差動レシーバ向けにコモンモード電圧の設定が可能です。この機能により、デバイス間のコモンモード電圧の不一致を防ぐ事ができます。

表 7-8 に、プログラマブル差動終端制御をサポートする I/O 規格と設定値を示します。各種 I/O 規格向けのコモンモード電圧レベルについては、『PolarFire FPGA Datasheet』または『PolarFire SoC Advance Datasheet』を参照してください。

表 7-8. プログラマブル差動終端制御

I/O 規格	サポートする I/O タイプ	差動終端タイプ ¹
SSTL18	GPIO、HSIO	Off、Low、Mid
HSUL18	GPIO、HSIO	Off、Low、Mid
SSTL15	GPIO、HSIO	Off、Low、Mid
HSTL15	GPIO、HSIO	Off、Low、Mid
SSTL135	HSIO	Off、Low、Mid
HSTL135	HSIO	Off、Low ¹ 、Mid
HSUL12I	HSIO	Off、Low、Mid
HSTL12	HSIO	Low、Mid
POD12	HSIO	Off、Low、Mid
SSTL25	GPIO	—
SLVS25	GPIO、HSIO	MID (HSIO) Low、Mid (GPIO)
HCSL25	GPIO、HSIO	MID (HSIO) Low、Mid (GPIO)
SLVSE	GPIO、HSIO	Off、Mid (HSIO) Off、Low、Mid (GPIO)
PPDS25	GPIO、HSIO	Mid (HSIO) Off、Low、Mid (GPIO)
MLVDSE	GPIO	Off、Low、Mid
BUSLVDS	GPIO	Off、Low、Mid
LVPECL	GPIO	Low、Mid
LVDS	GPIO、HSIO	Mid (HSIO) Off、Low、Mid (GPIO)
RSDS	GPIO、HSIO	Mid (HSIO) Off、Low、Mid (GPIO)
MINILVDS	GPIO、HSIO	Mid (HSIO) Off、Low、Mid (GPIO)

⁽¹⁾ Low および Mid 差動終端タイプの詳細は、[『PolarFire FPGA Datasheet』](#) または [『PolarFire SoC Advance Datasheet』](#) を参照してください。

プログラマブル差動終端制御値は、Libero SoC 内の I/O Editor または下記の PDC コマンドを使って設定できます。

```
set_io -vcm_range <value>
```

value は[表 7-8](#)の通りに設定できます。

7.1.9 プログラマブル クランプ ダイオード

HSIO と GPIO の両方が内部クランプ ダイオードを備えています。クランプ ダイオードは入力の電圧レベルを下げる効果を持ち、主に電圧オーバーシュートが最大許容値を超える場合に使われます。HSIO クランプは常時 ON ですが、これは PCI クランプではありません。PCI クランプは GPIO のみ利用可能です。レシーバの信号レベルがバンクの

VDDI_X を上回る場合、ホットスワップ挿入をサポートするためにクランプ ダイオードを OFF にする必要があります (7.2.7. 「コールドスペアとホットスワップ」参照)。

GPIO クランプ ダイオードは、Libero SoC 内の I/O Editor または PDC コマンドを使って ON または OFF に設定できます。HSIO の場合、内部クランプ ダイオードは常に ON です。

表 7-9 に、プログラマブル クランプ ダイオードをサポートする I/O 規格を示します。

表 7-9. プログラマブル クランプ ダイオード

I/O 規格	サポートする I/O タイプ	クランプ ダイオード制御
LVTTL、LVCMOS33、LVCMOS25、LVCMOS18、LCMOS15、LVCMOS12、SSTL25、SSTL18I、SSTL18II、SSTL15I、SSTL15II、HSTL15I、HSTL15II	GPIO	OFF、ON

クランプ ダイオードの設定には下記の PDC コマンドを使います。

```
set_io - -clamp_diode <value>
```

value は表 7-9 の通りに設定できます。

Note: GPIO バンクに実装された以下の I/O 規格に対してクランプ ダイオードは常時 ON となります。

HSUL18I、HSUL18II、SLVSE15、MIPI25、PCI、SLVS33、HCSL33、MIPIE25、LVPECL33、LVPECLE33、LVDS25、LVDS33、RSDS25、RSDS33、MINILVDS25、MINILVDS33、SUBLVDS25、SUBLVDS33、PPDS25、PPDS33、MLVDSE25、BUSLVDSE25

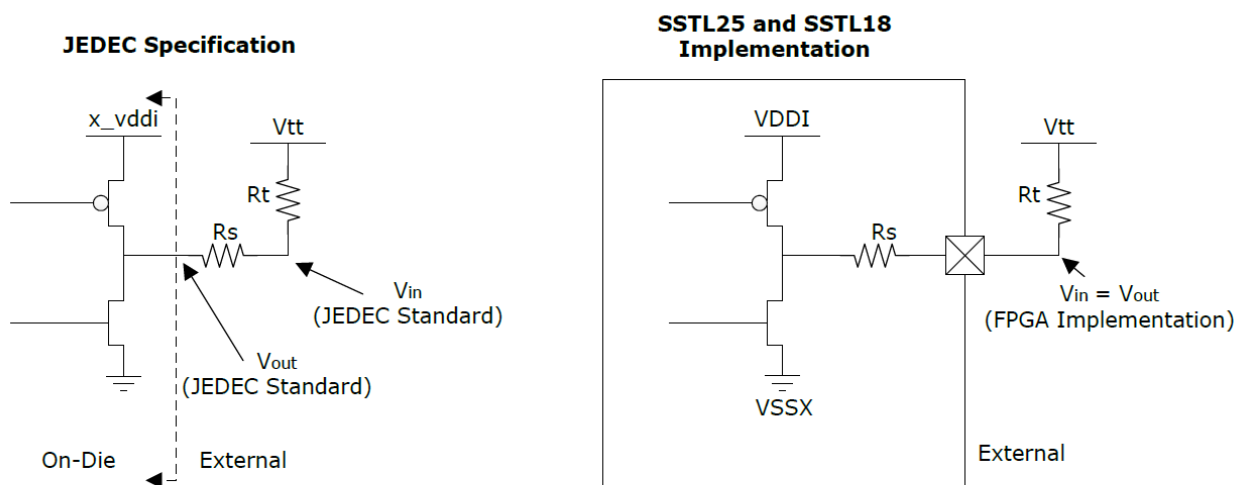
7.1.10 駆動インピーダンスと終端抵抗の補償

トレースのインピーダンスのマッチング用に抵抗が使われます。しかし、デバイスピンの近くに抵抗を追加すると基板面積と部品点数が増加します。また、物理的に抵抗を追加できない場合もあります。これらの問題に対処するため、VDDI 電源とピン信号の間でリファレンス コントローラを使って、ピンとグラウンドの間でソースおよびシンクドライバを制御します。この補償動作は電源投入時とユーザロジックからの要求時に発生します。I/O 補償は、内部リファレンスとの比較により GPIO または HSIO バンク内部のインピーダンスを調整する事で、プロセスに起因するインピーダンスのばらつきを補償します。補償ロジックは、I/O 内のトランジスタを選択的に ON/OFF する事により、GPIO または HSIO のインピーダンスを調整します。VDDI および VDDAUX のパワーオン検出回路が最小電圧に達した事を検出した時点で内部調整が実行され、インピーダンスは内部リファレンスに一致するよう調整されます。この調整により、温度と電圧の変動に起因するインピーダンスの変動も補償されます。

7.1.11 SSTL25 および SSTL18 向けスタブ抵抗

SSTL (Stub Series Termination Logic) 規格の出力駆動にはスタブ抵抗が使われます。I/O は、SSTL25 および SSTL18 I/O 規格向けのスタブ抵抗をサポートします (図 7-2 参照)。この機能により、コストの増加と基板の複雑化が軽減されます。

図 7-2. SSTL25 および SSTL18 向けスタブ抵抗



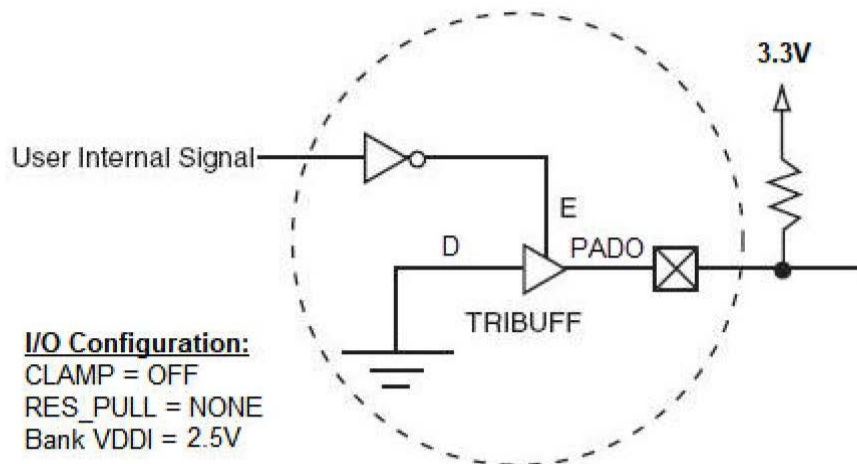
7.1.12 シールド

シールド IOTYPE は、ローカライズされたりファレンスを改善するために「ソフトグラウンド」ピン向けに提供されます。ソフトグラウンド ピンは実際の I/O ピンから転用され、高速 I/O インターフェイスの周囲のスウィッチング ノイズを分離するために使われます。シールドは、特定のデバイス/パッケージの組み合わせにおいて、メモリ インターフェイス上の未使用 DQ ビットに対してのみ実装されます。この規則は GPIO および HSIO ベースの DDRx メモリ インターフェイスに対して適用されます。PPAT (Public Pin-out Assignment Table) の記載に含まれる特定のデバイス/パッケージでは、最大限のシールド効果を得るために、これらの SHIELD 信号を基板上の VSS に接続する事を推奨します。

7.1.13 オープンドレイン GPIO

要求される High 出力電圧(V_{IH} 等)よりも VDDI 電圧が低い場合、GPIO を使ってオープンドレイン出力を生成できます。この場合、GPIO ピンは Low 出力のみ駆動します。Low を駆動していない時、GPIO ピンは外付け抵抗により最高 3.45 V までプルアップ可能です。これは、CLAMP = OFF と内部 RES_PULL = NONE を選択する事により達成されます。FPGA 回路設計としては、駆動レベルの反転信号を出力バッファのイネーブル(E) に接続する事で実装します。

図 7-3. オープンドレイン GPIO の例



Note: 33 MHz 以下の動作に対しては、250 Ω の外付けプルアップ抵抗を推奨します。これより高速な動作 (最高 50 MHz) に対しては、200 Ω のプルアップ抵抗を推奨します。ユーザは IBIS シミュレーションを実行して適正な性能が得られる事を検証する必要があります。

7.1.14 3.3 V トレラント入力

異なる電源から給電されるロジックシステム コンポーネントを互いに接続する場合、電源を低い方の電源電圧へ統合するために、バス トランスレータが必要になる事がしばしばあります。しかし、GPIO は LVCMOS25 入力(VDDI = 2.5 V)として動作しながら、3.3 V 入力信号を確実に受信できます。これを行うには、250 Ω 直列抵抗を追加し、LVCMOS25 入力を CLAMP=OFF として設定します。この設定は、50 MHz 以下の動作に適します。ユーザは IBIS シミュレーションを実行して適正な性能が得られる事を検証する必要があります。

7.2 I/O の実装に関する注意点

以下では、各種 I/O 規格の実装に関する一般的なガイドラインを提供します。加えて、各種デバイス動作モード(電源投入、初期化等)での I/O ステートの詳細も記載しています。

7.2.1 I/O バンク向け参照電圧

電圧参照型の I/O 規格は、動作中に入力向けの参照電圧(VREF)を必要とします。各バンクは 1 つの参照電圧バスを備えます。このバスは、そのバンク内の I/O を介して外部から供給するか、バンク コントローラによって内部で生成する事ができます。

7.2.1.1 外部 VREF 入力

デバイス上の全ての GPIO または HSIO ピンは、バンク内の全ての入力に対する外部 VREF 入力ピンとして機能するように設定できます。VREF ピンとして設定された I/O ピンでは、全ての I/O バッファモードと終端抵抗が無効になります。外部 VREF は GPIO および HSIO バンクの両方でサポートされます。既定値により、Libero SoC は内部 VREF を使います。

通常の I/O ピンを VREF カピンとして選択するには、PDC または I/O Editor を使います。

以下は PDC コマンドの例です。

```
set_iobank -bank_name Bank0 \
-vcci 1.80 \
-vref 0.90 \
-vref_pins { U5 } \
-fixed false
set_iobank -bank_name Bank2 \
-vcci 1.80 \
-vref 0.90 \
-vref_pins { A2 } \
-fixed false
```

Note: 外部 VREF を使う場合、VREF ピンは 0 V~VDDI の任意の電圧にできます。しかし、PDC 内で-VREF 属性の値を VDDI 値の 50%として指定する必要があります。

任意のパッケージピンを VREF ピンとして設定できます。これには、PDC または I/O Editor 内で VREF を要求する I/O タイプを少なくとも 1 つ配置する必要があります。

外部 VREF 入力の詳細は、『UG0726: PolarFire FPGA Board Design User Guide』または『PolarFire SoC FPGA Board Design Guidelines User Guide』を参照してください。

7.2.1.2 内部生成 VREF

全てのバンクにおいて、内部生成した VREF を使う事もできます。内部生成 VREF を使う事で、より柔軟かつ動的な制御が可能となります。この VREF は Libero SoC で設定されます(VDDI の 50%に設定)。

7.2.1.3 MSS DDR VREF (PolarFire SoC のみ)

バンク 6 のみ、特別に 2 つの内部 VREF 生成回路を備えています。これらの VREF 生成回路の 1 つは CA バス用であり、もう 1 つは DQ バス用です。両方の VREF を内部で使う場合、それらは同じ電圧(バンクの VDDI の 50%)となります。DQ バス用に異なる VREF 電圧が必要である場合、バンク内の任意の I/O を介して外部 VREF 電圧が使えます。通常は、両方の VREF を内部で生成します(電圧は同じになる)。終端方法によっては DQ 向けに外部 VREF を提供する、単にその電圧を監視する機能を持つ方が望ましい場合があります。

7.2.2 VDDI バンク内での多種 I/O の混用

各バンクは、シングルエンド出力ドライバとレシオ入力バッファ(LVTTL、LVCMOS 等)に給電するための VDDI 電源を備えています。GPIO バンクは、バンク VDDI 電源に加えて差動および電圧参照型 I/O 入力バッファ向けの補助電源(VDDAUX)も備えます。HSIO バンクも同様に VDDI 電源ピンを備えていますが、専用の VDDAUX ピンはありません。HSIO バンクでは、VDD18 電源を使って差動および電圧参照型 I/O 入力バッファに給電します。I/O への柔軟な給電により、同一バンク内で電源電圧が異なる複数の I/O 規格を使う事が可能となります。

PolarFire FPGA と PolarFire SoC FPGA の入力は、特定 I/O 規格向けに同一 I/O バンク内での互換規格の混用をサポートします。GPIO は、異なる複数の入力電圧に対応できるよう保護されています。また、ホットスワップをサポートするため、過電圧条件にも対応可能です。例えば VDDI が 3.3 V に設定されている場合、3.3/2.5/1.8/1.2 V の LVCMOS 入力レシーバを同じ I/O バンク内に配置できます。

バンク内での I/O の混用は、Libero SoC ソフトウェアによりサポートされます。バンク内に複数の I/O を配置する前に、そのバンクに必要な VDDI 電圧に設定してから混用モードを許可する I/O の属性を設定する必要があります。I/O の配置は最後に行います。混用 I/O モードを実装する場合、ODT、CLAMP、RES_PULL に対する制約を守る必要があります。HSIO レシーバでは I/O クランプ ダイオードが常に ON に設定されるため、混用モードで使える I/O 規格は制限されます。GPIO では、レシーバの信号レベルがバンクの VDDI を上回る場合にクランプを OFF に設定する必要があります。有効な属性の詳細を以下の表 7-10～表 7-14 に示します。

これらの表は、GPIO と HSIO のシングルエンド入力、電圧参照型 I/O 入力、差動入力における VDDI 電圧と混用可能レシーバの対応を示しています。表内で混用可能(Yes)と示されたレシーバは、バンクに印加される VDDI とは無関係に I/O 規格の VIH/VIL 要件を満たします。

表 7-10. 受信モードにおける GPIO LVTTTL/LVCMOS I/O の互換性¹

VDDI	LVTTTL/LVCMOS33	LVCMOS25	LVCMOS18	LVCMOS15	LVCMOS12
3.3 V	Yes	Yes ²	Yes ²	No	Yes ²
2.5 V	Yes	Yes	Yes	Yes	Yes
1.8 V	Yes	Yes	Yes	Yes	Yes
1.5 V	Yes	Yes	Yes	Yes	Yes
1.2 V	Yes	Yes	No	Yes	Yes

(1) RES_PULL は DOWN または NONE である必要があります。上表内の全ての混用モードは CLAMP = OFF である事を要求します。

(2) ODT は OFF である必要があります。

表 7-10 は、VDDI バンク内で混用可能な互換 I/O タイプを示しています。例えば、GPIO で VDDI 電圧が 1.2 V である場合、LVCMOS33 入力をバンクに含める事はできますが、LVCMOS18 入力を含める事はできません。

表 7-11. 受信モードにおける HSIO LVCMOS I/O の互換性¹

VDDI	LVCMOS18	LVCMOS15	LVCMOS12
1.8 V	Yes	Yes	Yes
1.5 V	No	Yes	Yes
1.35 V	No	No	Yes
1.2 V	No	No	Yes

(1) RES_PULL は DOWN または NONE である必要があります。上表内の全ての混用モードは CLAMP = ON である事を要求します。

表 7-12 に、GPIO 混用電圧参照型 I/O レシーバモードでの互換性を示します。

表 7-12. GPIO 混用電圧参照型 I/O レシーバモードの互換性¹

VDDI	VDDAUX	SSTL25	SSTL18、HSUL18	SSTL15、HSTL15
3.3 V	3.3 V	No	No	No
2.5 V	2.5 V	Yes (mid レンジ Vcm)	Yes (mid レンジ Vcm)	Yes (low レンジ Vcm)

.....続き				
VDDI	VDDAUX	SSTL25	SSTL18、HSUL18	SSTL15、HSTL15
1.8 V	2.5 V	Yes (mid レンジ Vcm、 クランプ ダイオード Off)	Yes (mid レンジ Vcm)	Yes (low レンジ Vcm)
1.5 V	2.5 V	Yes (mid レンジ Vcm、 クランプ ダイオード Off)	Yes (mid レンジ Vcm、 クランプ ダイオード Off)	Yes (low レンジ Vcm)
1.2 V	2.5 V	No	No	No

(1) 全てのケースで ODT は OFF である必要があります。

表 7-13. 受信モードにおける HSIO HSUL12/HSTL12/POD I/O の互換性 ¹

VDDI	SSTL15 HSUL15	SSTL18 HSTL18	SSTL135 HSTL135	HSUL12 HSTL12 POD
1.8 V	Yes (mid レンジ Vcm)	Yes (mid レンジ cm)	Yes (mid レンジ cm)	Yes (mid レンジ Vcm)
1.5 V	Yes (mid レンジ Vcm)	No	Yes (mid レンジ Vcm)	Yes (mid レンジ Vcm)
1.35 V	No	No	Yes (mid レンジ Vcm)	Yes (mid レンジ Vcm)
1.2 V	No	No	No	Yes (mid レンジ Vcm)

(1) 全てのケースで ODT は OFF である必要があります。

表 7-14. 受信モードにおける GPIO 差動 I/O の互換性

VDDI	LVDS25、RSDS25、SUBLVDS25、MINILVDS25、 PPDS25、LCMDS25、SLVS25、HCSL25	MIPI25
3.3 V	No	Yes (クランプ ダイオードは ON または OFF)
2.5 V	Yes	Yes
1.8 V	Yes	Yes
1.5 V	Yes	Yes
1.2 V	Yes	Yes

Note: 明記しない限り、クランプ ダイオードは OFF である必要があります。

HSIO 差動レシーバは、I/O 電圧の混用をサポートしません。

7.2.2.1 LVDS

GPIO バンクと HSIO バンクは LVDS 入力信号を受信できます。GPIO に対しては、これらの入力が備える 100 Ω 内部差動終端抵抗を Libero SoC ソフトウェアによって有効にできます。HSIO はこの内部抵抗を備えていません。HSIO の場合、LVDS 入力の P/N ペアの間には 100 Ω 抵抗を追加する必要があります。この終端抵抗をデバイスピンに近くに配置できるよう PCB のレイアウトに配慮する必要があります。

HSIO バンクは LVDS18 入力のみサポートします。LVDS18 出力は利用できません。HSIO バンクで LVDS 出力を同時に使う場合、性能の制限されたエミュレート出力のみが利用可能です。これに対して GPIO バンクでは真の LVDS 出力(LVDS25 / LVDS3 (VDDI = 2.5 V/ 3.3 V)または LVDS18G (VDDI = 1.8 V、VDDAUX = 2.5 V))が利用可能です。GPIO LVDS18G 入出力の詳細は、[7.2.2.2. 「VDDI = 1.8 V での GPIO バンクにおける LVDS」](#)を参照してください。

DC 仕様の詳細は、『[PolarFire FPGA Datasheet](#)』または『[PolarFire SoC Advance Datasheet](#)』を参照してください。HSIO バンクでは LVDS を利用できません。

7.2.2.2 VDDI = 1.8 V での GPIO バンクにおける LVDS

Libero SoC は、GPIO バンクにおける LVDS 入力および出力を、VDDI = 1.8 V かつ VDDAUX = 2.5 V または 3.3 V の条件でサポートします (VDDI 電源とは無関係に動作可能)。LVDS18G 入力は差動抵抗を内蔵しており、LVDS18G 出力は高速差動出力です。LVDS18G IOSTD は、入力および出力 I/O 向けにのみサポートされます (TRIBUF と INOUT は非サポート)。

Libero SoC は LVDS18G I/O 規格に対して VDDI = 1.8 V に設定できます。従ってそのバンクで他の 1.8 V I/O を混用電圧サポートとして配置し、同時に LVDS モードをサポートできます (『[PolarFire FPGA Datasheet](#)』または『[PolarFire SoC Advance Datasheet](#)』参照)。I/O Editor または PDC から I/O 規格を VDDI = 1.8 V で設定する場合、LVDS18G を I/O TYPE として選択し、VDDAUX = 2.5 V (3.3 V) を回路基板電源電圧として選択する必要があります。LVDS18G 入力を VDDI = 1.8 でバンク上に配置する場合、クランプ ダイオードを OFF にする必要があります。

7.2.3 I/O 外付け終端抵抗

ODT を使わない場合、または利用できない場合、シグナル インテグリティの向上のために外付け終端抵抗が必要になる場合があります。電圧参照型 I/O の規格では一般的にドライバ側で直列終端抵抗を使い、レシーバ側で並列終端抵抗を使います。差動規格ではレシーバ側の並列終端抵抗のみが必要です。

表 7-15 に、ODT/ドライバ インピーダンス キャリブレーション機能を使わない場合の各 I/O 規格向け外付け終端方式を示します。

表 7-15. ODT が OFF の場合の I/O 外付け終端方式

I/O 規格	外付け終端方式
SSTL15、SSTL18、SSTL2 シングルエンド	シングルエンド SSTL I/O 規格の終端抵抗
HSTL15	シングルエンド HSTL I/O 規格の終端抵抗
SSTL15、SSTL18、SSTL2 差動	差動 SSTL I/O 規格の終端抵抗
HSTL15	差動 HSTL I/O 規格の終端抵抗
LVC MOS12、LVC MOS15、LVC MOS18、LVC MOS25	外付け終端抵抗は不要
LVDS	100 Ω、並列終端抵抗 (HSIO のみ)
MLVDS	100 Ω、並列終端抵抗 (HSIO のみ)
BLVDS	100 Ω、並列終端抵抗 (HSIO のみ)
RLVDS	100 Ω、並列終端抵抗 (HSIO のみ)
Mini-LVDS	100 Ω、並列終端抵抗 (HSIO のみ)
LVPECL	100 Ω、並列終端抵抗 (HSIO のみ)

7.2.4 エミュレートされた差動出力の実装

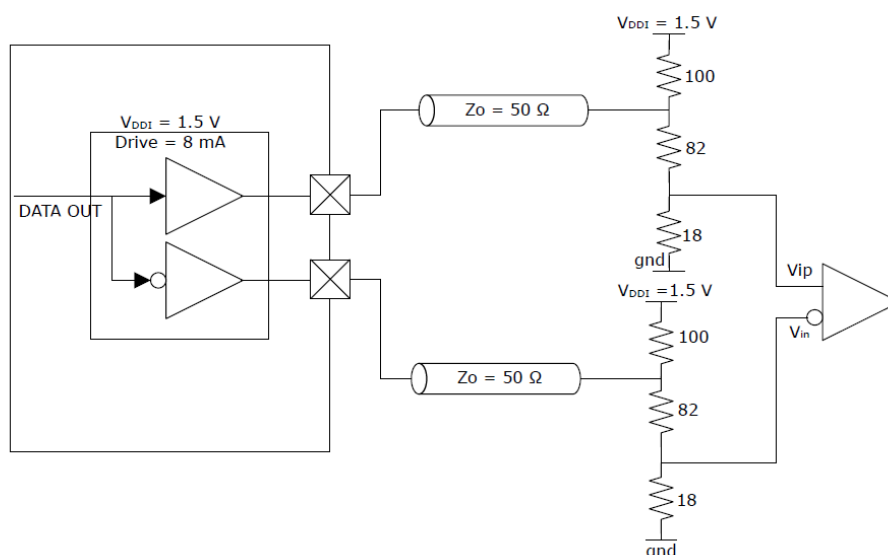
SLVSE、BLVDSE、MLVDSE、LVPECLE 出力モードを実装するには、外付け終端抵抗が必要です。これらの出力を「エミュレートされた差動出力」と呼びます (表 7-15 に記載の通り)。

エミュレートされた差動規格は、補償付きプッシュプル ドライバを相補出力モードで使い、コモンモードと電圧振幅を I/O 信号規格に適合させるために基板上の終端抵抗を必要とします。以下では、エミュレートされた規格向けの実装例を示します。

7.2.4.1 SLVSE15 (Scalable Low-Voltage Signaling Emulated) 出力モード

GPIO と HSIO は、外付け抵抗を使って SLVS トランスミッタをサポートします。図 7-4 に、SLVSE の実装例を示します。この実装には 100 Ω、82 Ω、18 Ω の外付け終端抵抗が必要です。また、この実装における全てのドライバ出力レベルは約 18% シフトされます。

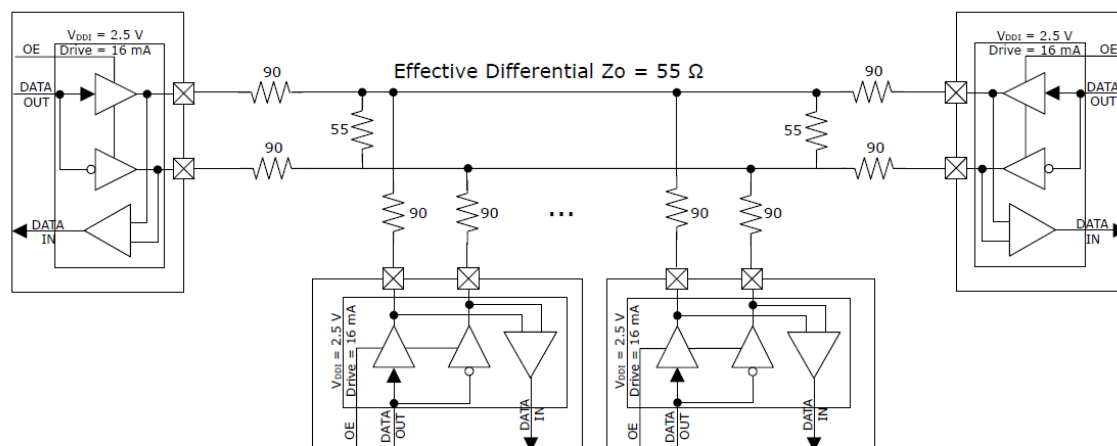
図 7-4. SLVSE システム図



7.2.4.2 BLVDSE25 (Bus-LVDS Emulated) 出力モード

BLVDS はマルチポイント、双方向、高負荷バックプレーン アプリケーションで使われます。バックプレーン静電容量、バックプレーン上のコネクタ、ラインスタブが原因でこれらのシステムの実効インピーダンスは通常の PCB トレースペアよりも低くなります。図 7-5 に、BLVDS の実装例を示します。この実装では、全てのドロップノードで 90 Ω スタブ抵抗を使い、バスの両端で 55 Ω スタブ抵抗を使います。バスの終端抵抗の値は、45~90 Ω のレンジ内でバスの実効差動インピーダンスが一致するよう最適化する必要があります。この例では、2 個の並列 55 Ω スタブ抵抗により 27 Ω の実効差動終端抵抗を得ています。

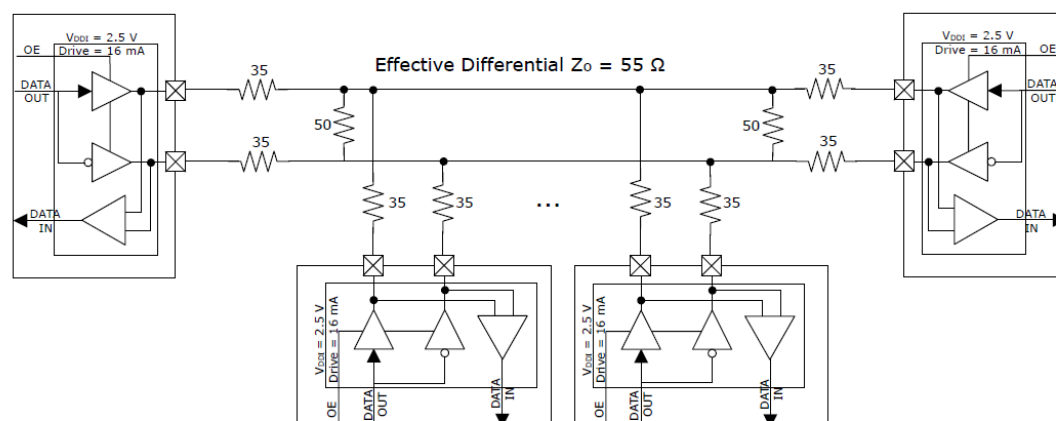
図 7-5. BLVDS システム図



7.2.4.3 MLVDSE25 (Multipoint Low-Voltage Emulated) 出力モード

MLVDS は、BLVDS に比べて信号振幅が大きいので、より大きな駆動電流を要求します。BLVDS と同様にバックプレーン静電容量、バックプレーン上のコネクタ、ラインスタブが原因でこれらのシステムの実効インピーダンスは通常の PCB トレースペアよりも低くなります。図 7-6 に、MLVDS の実装例を示します。この実装では、全てのドロップノードで 35 Ω スタブ抵抗を使い、バスの両端で 50 Ω スタブ抵抗を使います。バスの終端抵抗の値は、50~70 Ω のレンジ内でバスの実効差動インピーダンスが一致するよう最適化する必要があります。

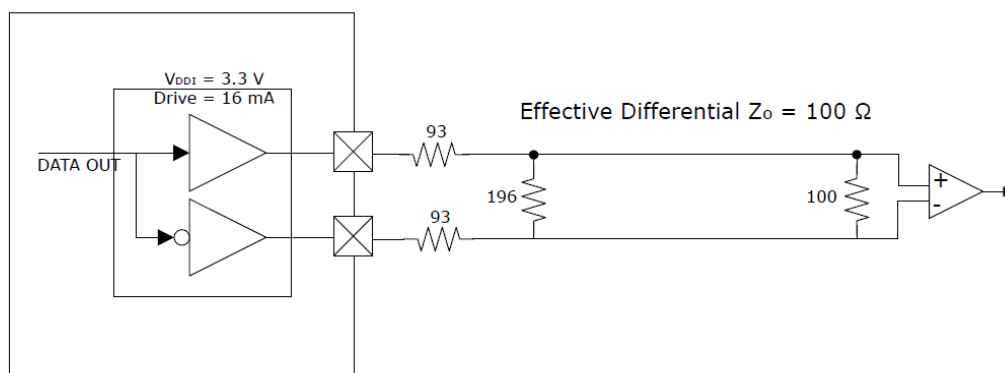
図 7-6. MLVSE システム図



7.2.4.4 LVPECLE33 (LVPECL Emulated)出力モード

LVPECL は ECL/PECL から派生したもので、3.3 V の電源電圧を使います。図 7-7 に、ドライバ側で 93 Ω スタブ抵抗と 196 Ω 並列/差動終端抵抗を使い、レシーバ側で 100 Ω 差動終端抵抗を使った実装例を示します。ドライバ側の終端抵抗の値は、バスの実効差動インピーダンスに適合するよう調整する必要があります。この例では、レシーバでの実効差動終端抵抗は約 66 Ω です。しかし、ドライバ側で 93 Ω 直列抵抗が使われているため、ドライバから見た実効差動インピーダンスは 252 Ω となります。このため、レシーバ端では信号が減衰します。

図 7-7. LVPECL システム図



7.2.5 MIPI D-PHY の実装

どちらのデバイスファミリも、カメラおよびディスプレイ アプリケーションで使われる MIPI D-PHY 規格の実装をサポートします。最小限の D-PHY 構成では、クロックと 1 つまたは複数のデータ信号を使います。MIPI D-PHY は 2 本の導線を使ってデータとクロックの両方を伝送します。どちらのデバイスファミリも、インターフェイスに応じて MIPI25 および MIPIE25 I/O タイプの MIPI D-PHY をサポートします。MIPI D-PHY の性能に関しては、『[PolarFire FPGA Datasheet](#)』または『[PolarFire SoC Advance Datasheet](#)』の「AC Switching Characteristics」セクション内の MIPI25 入力と MIPIE25 出力を参照してください。

7.2.5.1 MIPI D-PHY 受信インターフェイス

GPIO は、受信方向で単方向 MIPI D-PHY I/O をサポートします(図 7-8 参照)。MIPI D-PHY レシーバは、データ転送用に高速(HS)信号モードをサポートし、制御用に低消費電力(LP)信号モードをサポートします。MIPI25 を使う各 HS レーンは終端され、低振幅の差動信号により駆動されます。LP レーンはシングルエンドで動作し終端されません。各 LP レーンを別々に駆動するため、2 つの MIPI25 出力が使われます。

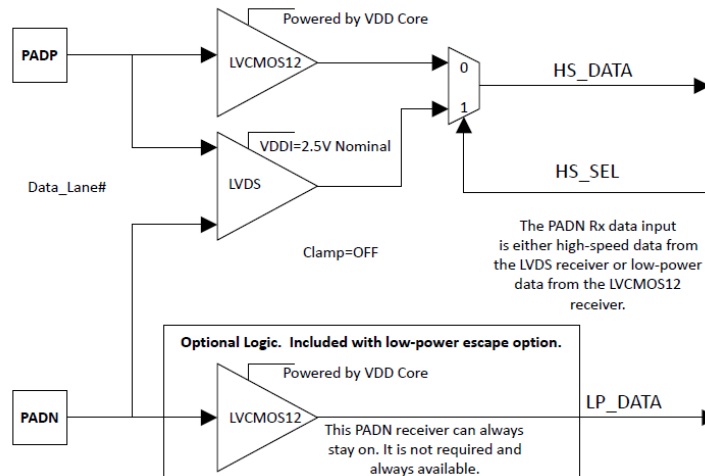
MIPI レシーバは高速(HS)レシーバモードと低消費電力(LP)レシーバモードの両方をサポートします。「IOD Generic Receive Interfaces」コンフィグレータ(図 9-2 参照)内で[MIPI low-power escape support]が有効にされている場合、これらのモードは IOD コンポーネントからイネーブル信号(HS_SEL)を介して選択できます。

[MIPI25 low-power escape support] が有効である場合、I/O は PADP と PADN の間で差動レシーバにより生成されます。PADP に追加のシングルエンド レシーバを接続する事で、HS_SEL 信号によるレシーバの選択が可能になります。

HS_SEL = 1 の場合、100 Ω 差動終端抵抗も有効になります。これは、IOD コンフィグレータ内で選択されている場合に Libero SoC により生成されます。

HS_SEL が選択されると、HS_SEL ピンは出力カインエーブルとして機能します。HS_SEL = 1 の場合、HS 差動レシーバと 100 Ω の差動終端抵抗が有効になり、相補 PADN ピンにシングルエンド レシーバが接続されます。HS_SEL = 0 の場合、差動終端抵抗は無効になり、シングルエンド レシーバが PADN ピンで有効になります。この MIPI インターフェイスは、PADP ピンを MIPI レシーバとして設定し、PADN ピンを LVCMOS12 レシーバとして設定する事により実装されます。この機能を制御するには、FPGA ロジックが必要です。

図 7-8. MIPI D-PHY レシーバ

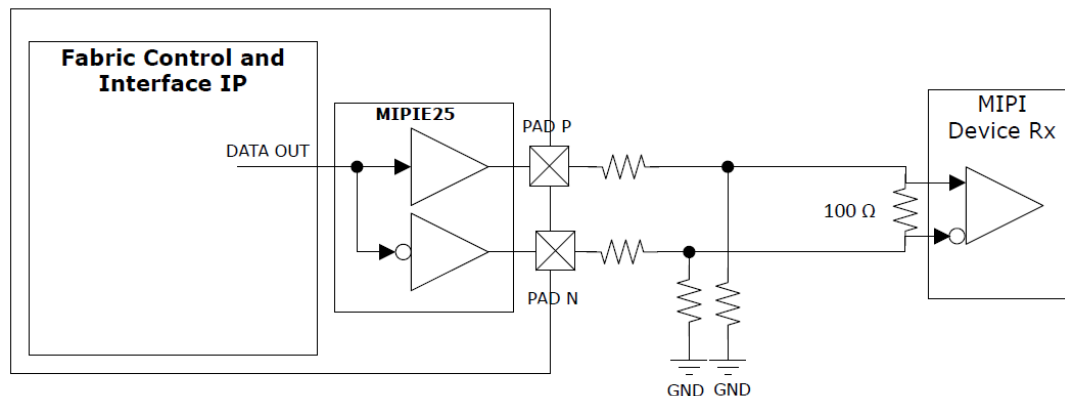


Note: 低消費電力 LVC MOS12 入力は内部 VDD コアにより給電されます。低消費電力 LVC MOS12 入力では VDDI を使いません。

7.2.5.2 MIPI D-PHY 送信インターフェイス(HS 専用)

GPIO は、外付け抵抗を用いて単方向 MIPI D-PHY 送信インターフェイスをサポートします(図 7-9 参照)。全ての GPIO P/N ペア(MIPIE25)は MIPI D-PHY 送信インターフェイスとして設定可能です。

図 7-9. MIPI D-PHY 送信インターフェイス

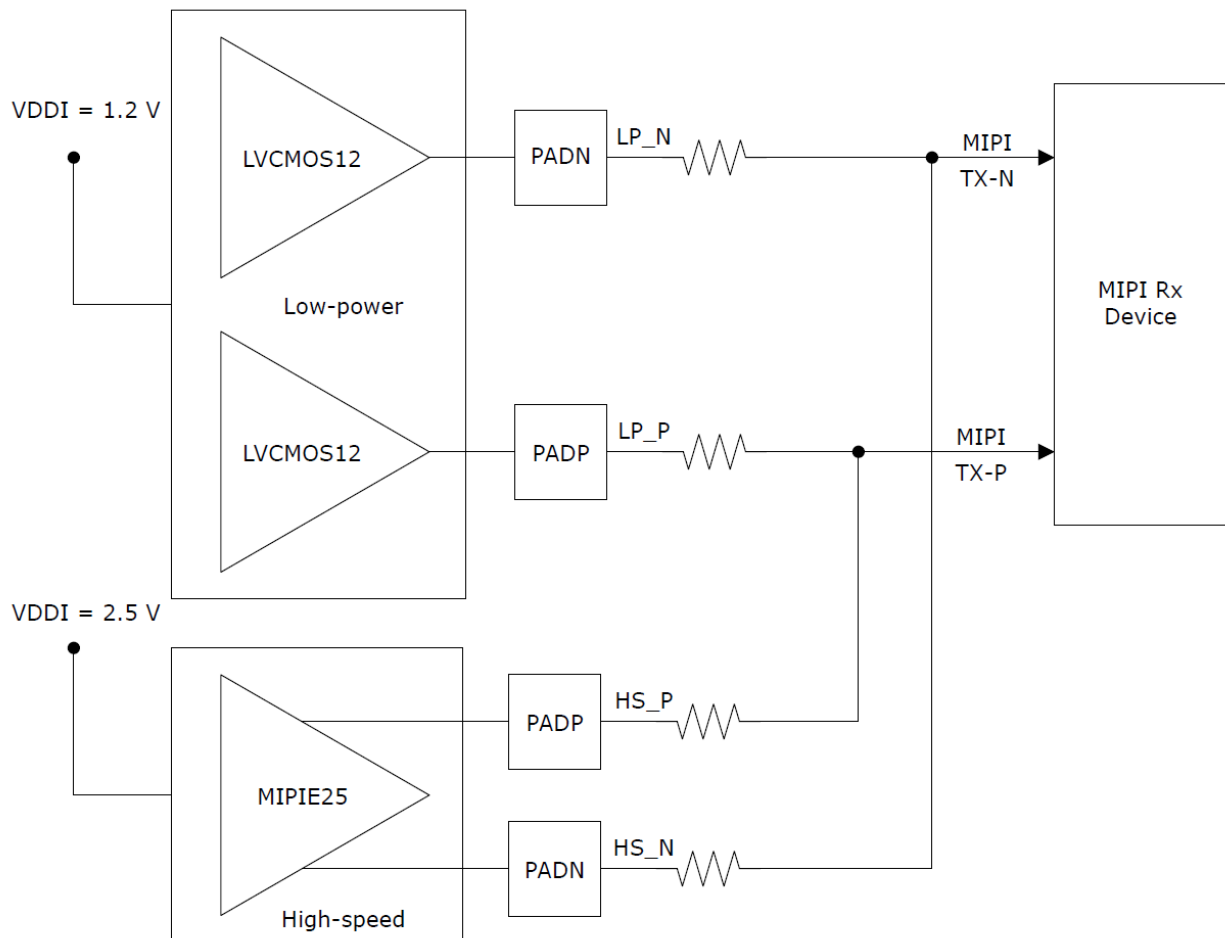


Note: 抵抗値は最適性能が得られるように選定する必要があります。抵抗の仕様については『UG0726: PolarFire FPGA Board Design User Guide』または『PolarFire SoC FPGA Board Design Guidelines User Guide』を参照してください。

7.2.5.3 送信専用 MIPI D-PHY (HS および LP)

MIPI 低消費電力(LP)信号の送信には GPIO または HSIO バンク内のピンを使う事ができ、1.2 V VDDI I/O バンク電源と、LVCMOS12 出力を使います。高速(HS) MIPI 信号の送信には GPIO バンク内のピンを使う必要があり、2.5 V VDDI I/O バンク電源と、MIPIE25 エミュレート差動出力ドライバを使います。MIPI TX 規格は、低消費電力(LP)および高速(HS)信号向けに抵抗分圧回路を使う事により実装します(図 7-10 参照)。HS および LP Tx ピン向けのピン配置については、『UG0726: PolarFire FPGA Board Design User Guide』または『PolarFire SoC FPGA Board Design Guidelines User Guide』を参照してください。

図 7-10. MIPI D-PHY 送信インターフェイス(HS および LP)



Note: 抵抗値は最適性能が得られるように選定する必要があります。『UG0726: PolarFire FPGA Board Design User Guide』または『PolarFire SoC FPGA Board Design Guidelines User Guide』を参照してください。

HS 差動ドライバの OE を制御する HS_DATA_SEL/HS_CLK_SEL ポートがアサートされている場合、MIPI D-PHY は TXD_DATA 出力を TXD/TX_CLK MIPI ピンへ送信します。HS_DATA_SEL/HS_CLK_SEL は、Libero SoC IOD コンフィグレータを使ってオプションで設定されます。

HS_DATA_SEL/HS_CLK_SEL がアサートされた場合、両方のシングルエンド LVC MOS12 8 mA ドライバは IOD によって Low に駆動され、高速(HS)動作向けに適正なレベルシフトが確保されます。

LP 動作時は、HS_DATA_SEL/HS_CLK_SEL がデアサートされ、LP_DATA と LP_CLK が TXLP/ TX_CLK_LP MIPI ピンへ送信されます。この間、HS_TX ペアは High-Z 状態で無効となります。

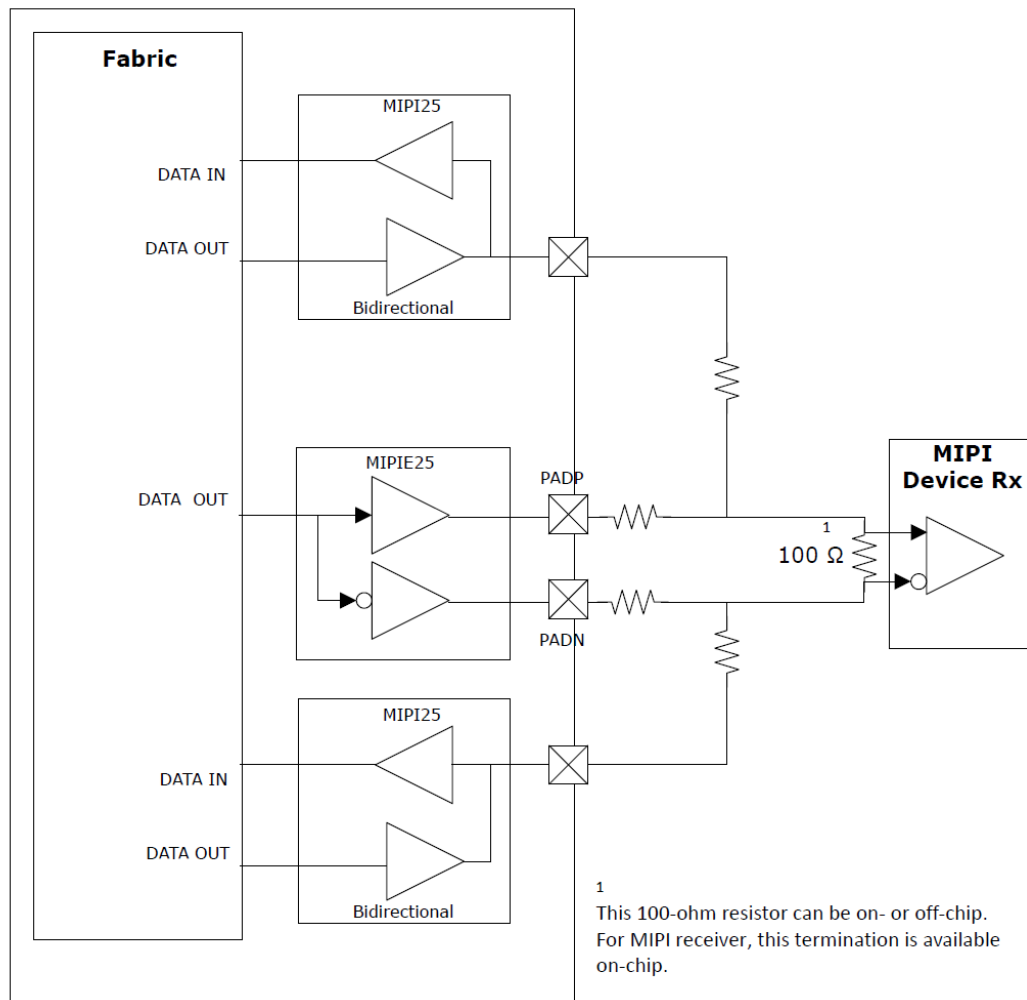
IOD の RX_CLK_R を使って LP_DATA を受信する場合、データを正しくキャプチャするために FPGA ファブリック同期レジスタが必要です。

D-PHY 送信は、図 7-10 に示す通り、終端処理されたインターフェイスを使って MIPI レシーバへ接続する必要があります。

7.2.5.4 MIPI D-PHY 送信インターフェイス(HS 専用)への双方向 LP モードの実装

GPIO は、外付け抵抗を用いて双方向 MIPI D-PHY レーンもサポートします(図 7-11 参照)。Microchip 社は、MIPI 送信インターフェイス(HS 専用)へ双方向 LP モードを実装するためにユーザ回路内でインスタンス化可能なマクロを提供しています。詳細は 8.5. 「汎用 I/O インターフェイス」を参照してください。

図 7-11. 双方向モードによる高速送信



Note: 抵抗の仕様については、『UG0726: PolarFire FPGA Board Design User Guide』または『PolarFire SoC FPGA Board Design Guidelines User Guide』を参照してください。

Note: 実装については、『DG0807: PolarFire Imaging and Video Kit Demo Guide (MIPI CSI-2 Camera Sensor)』を参照してください。

7.2.6 各種動作モード中の I/O ステート

I/O の状態は、その時点でのデバイスの動作モードによって決まります。ユーザが適切に回路基板を設計できるよう、以下では各種動作モード中の I/O ステートについて説明します。

7.2.6.1 電源投入と初期化

表 7-16 に、電源投入および初期化モード中の I/O ステートを示します。

表 7-16. 電源投入および初期化中の I/O ステート

デバイスステート	I/O ステート
電源投入時	3 ステート I/O バッファは無効 出力ドライバは無効(3 ステート) レシーバは無効(入力信号は FPGA ファブリックへ渡されない) 全ての終端抵抗、PCI クランプ ダイオード、Weak プルアップ/プルダウン モードは OFF 全ての I/O バンクパワーオン検出回路と PVT コントローラは無効
ユーザモード	バッファは Libero SoC I/O の設定に基づいて設定される データと出カインエーブル信号はユーザ設定に基づく

I/O ステートの詳細は『[PolarFire FPGA and PolarFire SoC FPGA Programming User Guide](#)』を参照してください。
未使用 I/O ピンの I/O 設定については、PPAT スプレッドシートを参照してください。

7.2.6.2 デバイス プログラミング モード

表 7-17 に、各種プログラミング モード中の I/O ステートを示します。プログラミング モードの詳細は『[PolarFire FPGA and PolarFire SoC FPGA Programming User Guide](#)』を参照してください。

表 7-17. プログラミング モード中の GPIO/HSIO ステート

プログラミング モード	I/O ステート
JTAG	JTAG プログラミング中に Libero SoC 内で設定
SPI スレーブ プログラミング	Weak プルアップ/プルダウンによる 3 ステート
IAP	Weak プルアップ/プルダウンによる 3 ステート
Auto プログラミング	3 ステート
IAP リカバリ	Weak プルアップ/プルダウンによる 3 ステート

7.2.7 コールドスペアとホットスワップ

以下では、ユーザ I/O のコールドスペア機能とホットスワップ機能について説明します。詳細は『[UG0726: PolarFire FPGA Board Design User Guide](#)』または『[PolarFire SoC FPGA Board Design Guidelines User Guide](#)』を参照してください。

7.2.7.1 コールドスペア

コールドスペア アプリケーションでは、電源投入前または電源投入中にデバイス I/O に電圧を印加できます。このために、デバイスは以下の特性をサポートする必要があります。

- I/O は電源投入前および電源投入中に 3 ステートである事
- I/O に印加される電圧によってデバイスのどの部分も給電されない事
- 電源投入前または電源投入中に I/O に電圧が印加される事によってデバイスの信頼性が低下しない事

コールドスペアは GPIO でサポートされ、未給電デバイスの全ての GPIO を最小限のリーク電流で安全に駆動できます。コールドスペアは、デバイスの電源が OFF である時に VDD と VDDI の両方がグラウンドにクランプされる事で、入力に電圧が印加された時にこれらの電源が投入されてしまう事を防ぎます。未給電または部分的に給電中のデバイスの出力によってシステム内の他の部分が駆動される事がないように設計する事を推奨します。

HSIO は疑似コールドスペアです。スペアデバイスは、その HSIO VDDI バンクに電源を投入する事により、ESD ダイオードを介する I/O リーク電流を防ぐ必要があります。これは低消費電力と保護された状態を維持するために必要です。

7.2.7.1.1 ホットスワップ

ホットスワップにより、VDDI ピンに電源が投入される前にデバイスの入力へ電圧を印加する事が可能となります。ホットスワップを適用する I/O 回路内にプルアップ クランプ ダイオードが存在してはいけません。GPIO はホットスワップをサポートしますが、HSIO はサポートしません。

FPGA が給電中ではない時に GPIO はハイ インピーダンス(Hi-Z)状態(無効状態とも呼ぶ)となります。GPIO が電圧参照型 I/O 規格向けに設定されている場合、外部 VREF 信号への影響を防ぐため、GPIO ピンの流入および流出電流を最小化する必要があります。

7.2.8 I/O グリッチ

I/O グリッチは、電源の投入時または遮断時に発生する可能性があります。グリッチが発生する条件は、システム内の GPIO または HSIO の用法によって決まります。I/O インターフェイスでのグリッチを軽減するための VDD、VDDI、VDDAUX の投入シーケンスについては、『UG0726: PolarFire FPGA Board Design User Guide』または『PolarFire SoC FPGA Board Design Guidelines User Guide』を参照してください。

7.2.9 I/O キャリブレーション

HSIO と GPIO は、バンク 3 を除く各バンク向けに I/O キャリブレーション機能を内蔵しています。I/O キャリブレーション回路は自己完結型であり、抵抗等の外付け部品を必要としません。キャリブレーションの基本は PVT (プロセス/電圧/温度)変動の影響を補償してデバイスの性能を最適化する事です。キャリブレーション コントローラは、I/O ドライバをキャリブレートする事によって GPIO/HSIO 出力バッファ駆動、終端抵抗、HSIO スルーレート制御のためのインピーダンス制御を達成するために使われます。電源投入時に、初期の I/O キャリブレーションが VDDI および VDDAUX 電源のパワーオン検出回路により開始されます。電源投入時に、内部キャリブレーション エンジンが内部近似レジスタの設定を使って I/O を初期化します。初期 I/O キャリブレーションの実行後に、ユーザはオンデマンドキャリブレーションを呼び出す事ができます。I/O キャリブレーション再実行の制御または初期 I/O キャリブレーションの監視用に PF_INIT_MONITOR FPGA IP が使われます。適正な起動のためのキャリブレーション要件、初期化、再キャリブレーション、PF_INIT_MONITOR モジュールの使用法については、『PolarFire FPGA and PolarFire SoC FPGA Device Power-Up and Resets User Guide』を参照してください。

HSIO と GPIO の ODT と出力駆動機能は、Libero SoC 内で選択されている I/O 規格に応じてキャリブレートされます。電源投入時のキャリブレーション ロジックの初期状態はリセットステートです。この初期キャリブレーション前の状態では、デバイスにキャリブレーションの最大設定が適用されます。これは、電源投入完了後にバッファが機能できるようにするために必要です。

最大設定は、初期起動が完了するまでバッファによって一時的に使われます。初期起動が完了した後に、最適化されたキャリブレーション値がバンク内の対応する I/O に適用されます。これらのキャリブレーション値は PVT 補償用に使われます。GPIO と HSIO は、キャリブレート値を駆動強度と終端抵抗調整の両方に使います。加えて、GPIO では差動終端抵抗がキャリブレートされ、HSIO では出力スルーレート制御用にバッファがキャリブレートされます。

HSIO と GPIO のキャリブレーション値は、電源投入後最初に既定の最大値に設定されます。この最大設定は、高駆動強度(低出力インピーダンス)かつ低終端抵抗として定義されています。この最大設定により、対応するバンクの VDDI で過渡電流が発生しますが、長期的な信頼性には影響を及ぼしません。過渡電流は、キャリブレーション前の初期フェイズの終了時に消滅します。

この初期過渡電流がシステムにとって好ましくない場合、これを低減する事は可能です。ODT によって生じる過渡電流は、I/O 内の ODT 制御機能を使って管理できます(7.1.7 「A: オンダイ ターミネーション(ODT)」参照)。通常、高速 DDR インターフェイス向けのトレーニング IP (TIP)を使う事で、キャリブレーションが完了するまで I/O 終端抵抗を無効にできます。未トレーニングの終端インターフェイスの場合、ODT_DYN インターフェイスを使う事で、キャリブレーション前の終端抵抗を無効にできます。

7.2.10 動的 ODT またはフェイルセーフ LVDS

どちらのデバイスファミリも内部 LVDS フェイルセーフ ソリューションをサポート可能です。このソリューションは、以下のデバイス機能と組み合わせで使います。

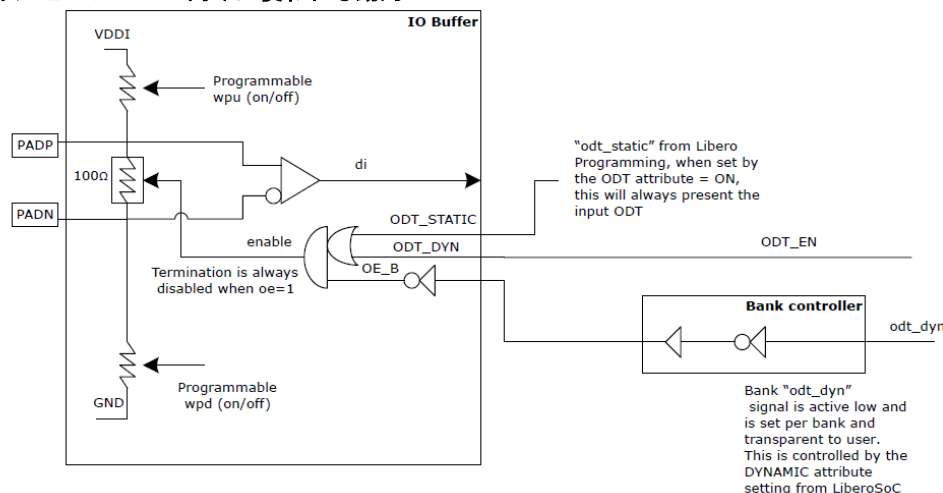
- I/O ごとの動的 ODT (オンダイ ターミネーション) アクセス
- 差動入力向けの Weak プルアップ/プルダウン抵抗

動作中に LVDS 入力が一時的にフローティング状態になった時に、バンクレベル入力信号は ODT 抵抗を動的に無効にできます。これにより、有効にされた Weak プルアップおよびプルダウン抵抗のみが LVDS ペアの各入力から見えるようにする事で、LVDS フェイルセーフ入力を構成します。

バンクごとに、LVDS フェイルセーフに必要な DYNAMIC ODT を予約する全ての I/O 向けに ODT_EN ピンを利用可能にできます。ユーザ回路は ODT_EN を使って差動抵抗を ON/OFF すると共に、Weak プルアップ抵抗の I/O 属性が LVDS I/O の PADP に追加され、PADN は自動的に弱くプルダウンされます。フェイルセーフ条件は、ODT を無効にしてプル抵抗が PADP と PADN を差動バイアスしたままにする事で、入力フローティング時の好ましくない挙動を防ぎます。

通常動作時は、内部 ODT が LVDS レシーバに提供される必要があります。フェイルセーフ条件中は、ODT を無効にするために ODT_EN = 0 に駆動する必要があります。

図 7-12. フェイルセーフ LVDS 向けに使われる動的



LVDS 入力を使う場合、I/O コンフィグレータ内で「Enable ODT_EN pin for LVDS Failsafe」オプションが利用できます。I/O Editor 内では、差動 I/O の ODT 属性として「Dynamic」オプションが利用できます。

GPIO のみが、動的に制御可能な内部 100 Ω ODT 終端抵抗を備えています。HSIO は、PCB 上で固定された外付け終端抵抗を必要とします。set_io PDC コマンドは、差動 I/O 向けに「-dynamic」属性をサポートします。

Note: 差動トランシーバの参照クロック入力は、オプションの 100 Ω 差動終端抵抗を備えています。動的フェイルセーフ機能は備えていません。XCVR REFCLK P/N ピンがフロート状態にならないように回路を設計する必要があります。未使用の REFCLK ピンは、PPAT (Public Pin-out Assignment Table) 内の推奨に従う必要があります。

Note: Libero SoC I/O Editor とピンレポートには既知の問題が存在します。ソフトウェアの制限により、P 側と N 側で異なる値を設定することはできません。現時点では、P 側と N 側は同じ値を持つ必要があります。プログラム時は Libero SoC は、P 側と N 側を正しく設定します。I/O Editor またはピンレポート内で RES_PULL が P/N の両方で UP である場合、N 側は DOWN として設定されます。逆に RES_PULL が両方で DOWN であれば、N 側は UP として設定されます。

7.2.11 専用 I/O ピン

どちらのデバイスファミリも、I/O の専用バンクを備えています。これらの I/O は JTAG、SPI、その他の専用機能向けに使われる他、専用 VDDI3 バンクを使って 3.3~1.8 V (公称)での動作をサポートするピン向けに使われます。シングルエンド CMOS/TTL レシーバ入力および出力ドライバの設定は、表 7-18 に示す通りにデバイス内で固定されています。

表 7-18. 専用 I/O — 固定設定

専用 I/O 信号	方向	ホットスワップ	プルモード	クランプ	ヒステリシス	駆動強度
SCK	BIDI	Yes	OFF	OFF	ON	n/a
SS	BIDI	Yes	OFF	OFF	ON	n/a
SDO	OUT	Yes	OFF	OFF	OFF	8 mA
TDO	OUT	Yes	OFF	OFF	OFF	12 mA
TMS	IN	No	プルアップ	OFF	ON	n/a
TDI	IN	No	プルアップ	OFF	ON	n/a
TCK	IN	Yes	OFF	OFF	ON	n/a
TRSTB	IN	No	プルアップ	OFF	ON	n/a
DEVIRST_N	IN	No	プルアップ	OFF	ON	n/a
RESERVED	IN	No	プルアップ	OFF	ON	n/a

.....続き						
専用 I/O 信号	方向	ホットスワップ	プルモード	クランプ	ヒステリシス	駆動強度
SDI	IN	Yes	OFF	OFF	ON	n/a
IO_CFG_INTF	IN	Yes	OFF	OFF	ON	n/a
SPI_EN	IN	Yes	OFF	OFF	ON	n/a

Note: Libero SoC を使ってこれらの信号を変更または設定する事はできません。

5 つの専用入力(TDI、TMS、TRSTB、DEVSRSTB、RESERVED)はホットスワップをサポートしません。以下の理由により、SDI ピンは内部 Weak プルアップ抵抗を備えていません。

- 基板上で複数の SPI インターフェイスを接続した際に、SDI のプルアップが並列接続となり抵抗値が低くなりすぎる可能性がある
- SPI がシステム内で使われない場合のピン接続方法は、Microchip 社によって PPAT ファイルで定義されている (『[PolarFire FPGA and PolarFire SoC FPGA Programming User Guide](#)』 参照)

7.2.12 トランシーバのレシーバ、トランスミッタ、参照クロック入力

トランシーバ(XCVR)の入力レシーバと出力トランスミッタの詳細は、『[PolarFire FPGA and PolarFire SoC FPGA Transceiver User Guide](#)』を参照してください。

トランシーバ専用の参照クロック(REF_CLK)入力は FPGA GPIO に似ていますが、一部の機能と能力が異なります。詳細は『[PolarFire FPGA and PolarFire SoC FPGA Transceiver User Guide](#)』を参照してください。

7.2.13 MSSIO (PolarFire SoC FPGA のみ)

38 個の汎用 I/O ピンが MSS ブロック内の 2 つのバンクに分かれて配置されています。これらの I/O は MSSIO と呼ばれ、周辺デバイス/規格をサポートします。MSSIO は各種の周辺デバイス/規格(SD、SDIO、eMMC、USB 2.0、I2C、MMUART、SPI、CAN 規格および USB 2.0 OTG プロトコル等)をサポートします。MSSIO は以下の機能をサポートします。

- 3.3 V~1.2 V (公称)での動作
 - PCI/LVTTL/LVCMOS (3.3 V)
 - LVCMOS (2.5 V~1.8 V)
 - LVCMOS (1.5 V、1.2 V)
- シングルエンド CMOS/TTL 出力ドライバモードとレシーバ入力モード
- レシオレシーバ(動的なヒステリシスの ON/OFF 設定可能)
- 動的に設定可能な ON/OFF クランプ
- ホットソケットとコールドスペア
- プッシュプル出力ドライバ
- I2C の標準および高速モード動作をサポート

Libero SoC プロジェクトに MSS モジュールが含まれる場合、PolarFire SoC MSS コンフィグレータを使って MSSIO を設定します。ピン配置情報は、『[PolarFire SoC FPGA Package Pin Assignment Tables](#)』を参照してください。MSS 内では、MSSIO はバンク 2 またはバンク 4 内に配置され、MSSIO 周辺モジュールが有効である場合に使われます。割り当てられた周辺モジュールをサポートするには、これらのバンクの対応する VDDI を接続する必要があります。

PolarFire SoC では、MSSIO に加えて Ethernet MAC 向け PHY インターフェイス用に SGMII I/O が提供され、外部参照クロック入力用に 2 つの I/O が利用できます。さらに、MSS DDR サブシステムが DDR3、DDR4、LPDDR3、LPDDR4 メモリデバイスをサポートするように設定されている場合、DDR I/O も使えます。これらの I/O と MSS I/O の全ては、全ての PolarFire SoC パッケージ内でピンに接続されています。

7.2.14 未使用 I/O ピン

アプリケーション回路内の未使用 I/O ピンの設定は Libero SoC により管理されます。Libero SoC による未使用 I/O の既定値設定は、PPAT スプレッドシートで調べる事ができます。未使用の電源ピンと特殊機能ピン向けの推奨設定は、『[UG0726: PolarFire FPGA Board Design User Guide](#)』または『[PolarFire SoC FPGA Board Design Guidelines User Guide](#)』を参照してください。

8. IOD の機能とユーザモード

各 I/O (GPIO と HSIO)は、FPGA ファブリックと IOA バッファの間を中継するデジタルブロック(IOD)を備えています(図 8-1 参照)。各 IOD ブロックは各種デジタル機能(I/O デジタルを含む)を備えています。I/O デジタルにより、高速の IOA バッファと低速の FPGA コアの間でデータを容易に転送できます。

IOD ブロックは、SDR および DDR モードの入力および出力向けに設定できます。また、出力データレートのギアリング アップと入力データレートのギアリング ダウンも可能です。これらのオプションは、Libero SoC 内で設定します。これらを設定する事でソース同期 I/O インターフェイス(DDR および QDR メモリ コントローラ等)、共通インターフェイス(RGMII、MIPI D-PHY、7:1 Video LVDS 等)、その他の非メモリ ユーザ インターフェイスを構成できます。

以下では、IOD ブロックと各種 I/O ユーザモード(各種 SDR、DDR、デジタルモードを含む)に関する情報を提供します。

8.1 IOD ブロックの機能

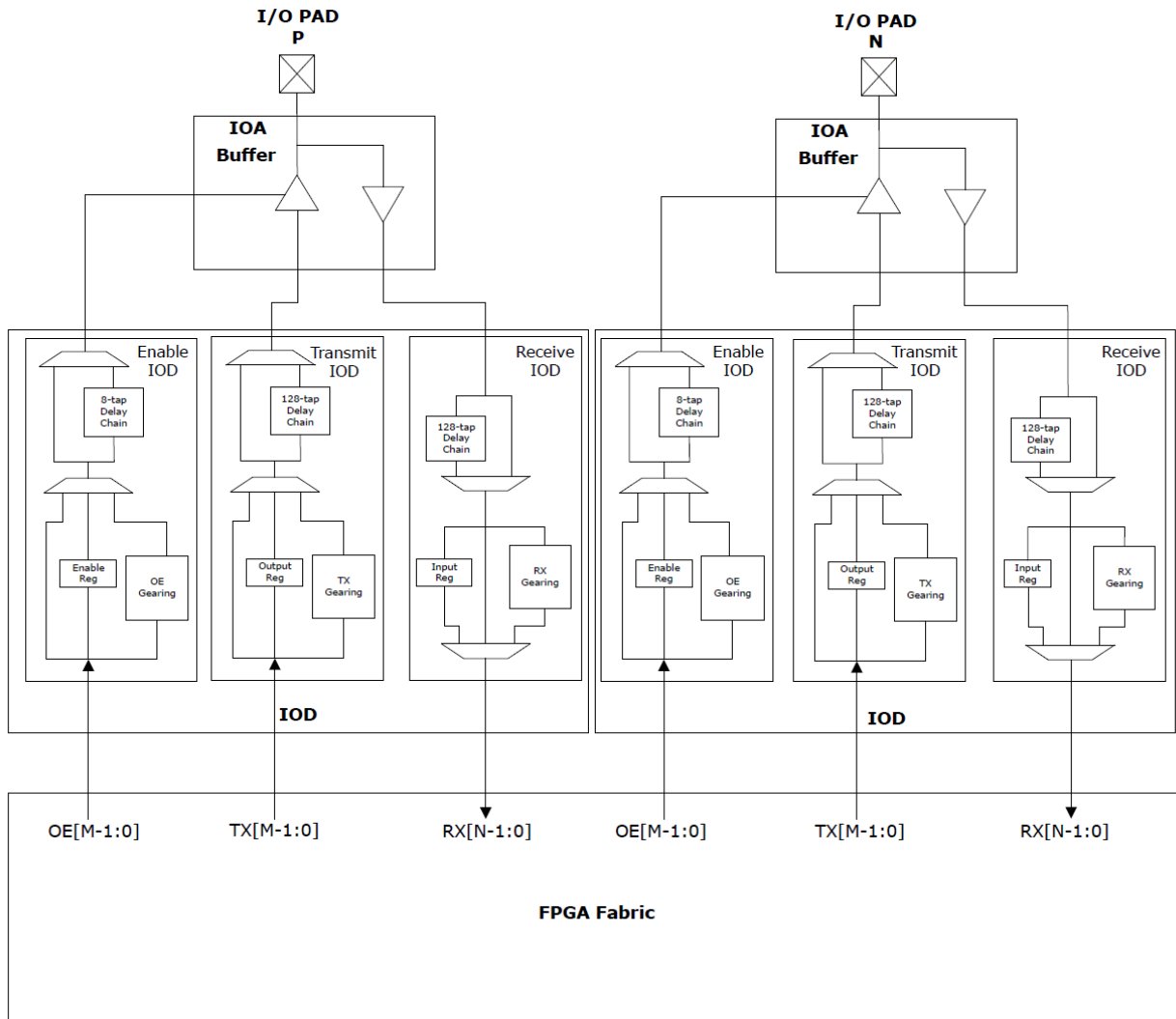
- 設定可能な入出力遅延チェーン
- データ入力、データ出力、イネーブル信号出力用の I/O レジスタ
- 最大 1:10 の入力デシリアライズ(入力デジタル)
- 最大 10:1 の出力シリアライズ(出力デジタル)
- DDR および SDR インターフェイスのサポート
- スリップ制御によるワード アライメント
- 高速かつ低スキューの I/O クロック ネットワーク
- シリアル プロトコル(および類似したその他のインターフェイス)向けのクロック リカバリ
- 入力または出力データ状態のラッチをサポートする低消費電力モード

8.2 IOD ブロックの概要

IOD ブロックは入力および出力遅延機能、I/O レジスタ、デジタルロジック ブロックを含みます。デジタルロジック ブロックは入力用の受信デジタル(Rx デジタル)と出力用の送信デジタル(Tx デジタル)、イネーブル信号用のイネーブル デジタル(OE デジタル)を含みます。IOD ブロックは、各種の高速/低スキュークロック ネットワークも含みます。図 8-1 に、IOD ブロックの概要を示します。各種 I/O 機能は、主にプロトコル コンフィグレータまたは Libero SoC コンフィグレータにより設定します。一部の I/O 機能(I/O レジスタ、プログラマブル遅延等)は、Libero SoC によって自動または手動で制御可能です。

図 8-1 に、IOD ブロックの概要を示します。

図 8-1. I/O レジスタ向けに構成された IOD



Note: M と N の値は、デジタルレシオによって決まります。

8.2.1 プログラマブル I/O 遅延

IOD ブロックは、入力および出力データパス向けのプロセス/電圧プログラマブル遅延チェーンを備えています。遅延チェーンが有効である場合、入力遅延パスは固有の遅延チェーンを持ちます。この追加された遅延は、インクリメンタル タップ遅延の値を上回り、使用時に Libero SoC ソフトウェアにより報告されます。結果として、入力遅延チェーンが存在しなければファブリックへのデータパスは高速となります。出力データパスに対するプログラマブル遅延チェーンは、128 タップの遅延を許容します。イネーブル信号パスも 8 タップのプログラマブル遅延チェーンを備えます。プログラマブル遅延チェーンは、I/O Editor または Libero SoC 内で PDC コマンドを使って静的に設定できます。タップあたりの遅延値はプロセス/電圧/温度(PVT)補償されず、変動する可能性があります。遅延の詳細は、『[PolarFire FPGA Datasheet](#)』または『[PolarFire SoC Advance Datasheet](#)』を参照してください。

プログラマブル遅延チェーンは以下の目的で使われます。

- 入力レジスタのゼロホールド時間を確保する
- 入力データパスとクロック注入パスの間のスキューをキャンセルする
- 同時スイッチング出力(SSO)時のノイズ抑制を目的として I/O バッファのエッジタイミングを拡散させる

プログラマブル遅延チェーンは、FPGA ファブリックからの動的制御信号を使って制御することもできます。動的遅延制御は、ビットごとのアライメントを要求する高速インターフェイス向けに役立ちます。この動的制御は、特定の I/O インターフェイス向けにのみ利用可能です。詳細は 8.5. 「汎用 I/O インターフェイス」を参照してください。

静的遅延値は、I/O Editor を介する PDC コマンド制約または手動の制約ファイル入力により制御できます。\$\$PDC 制約ファイルでは、IN_DELAY を OFF、0~127、128~254 (偶数のみ)に設定できます。

例:

```
set_io -port_name PAD \
-IN_DELAY 2 \
-DIRECTION INPUT
```

出力遅延値は、I/O Editor を介する PDC コマンド制約または手動の制約ファイル入力により制御できます。PDC 制約ファイルでは、OUT_DELAY を OFF、0~128 に設定できます。

```
set_io -port_name PAD_0 \
-OUT_DELAY 2 \
-DIRECTION OUTPUT
```

8.2.1.1 静的タイミング解析

静的遅延は、IOD コンフィグレータによって自動的に代入されます。IOD 設定に基づいて加算される値は、boardlayout.xml レポート内に示されます(図 8-2 参照)。これらの値は、初期 IOD 設定情報に基づいてソフトウェアが設定する初期値です。前述の通り、これらの設定値は PDC または I/O Editor を使って変更できます。Libero SoC コンフィグレータ内で適用されている初期値を増減する事により、遅延値を調整できます。タップあたりの遅延値の増分は、『PolarFire FPGA Datasheet』または『PolarFire SoC Advance Datasheet』に記載されています。

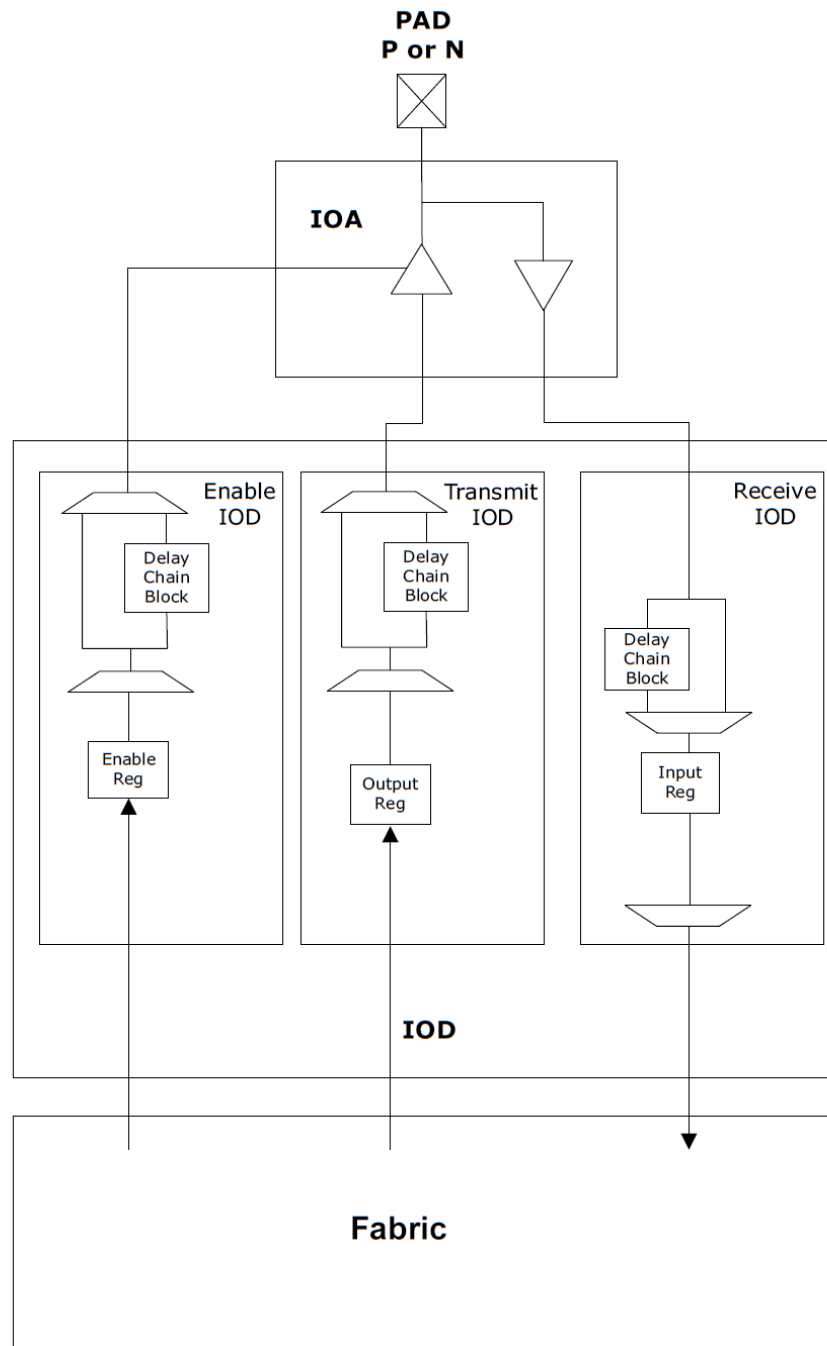
図 8-2. IOD 入力遅延の例

Pin	Port	Function	Bank	State	Use I/O Reg	I/O Std	Direction	User I/O Lock Down	Clamp Diode	Resistor Pull	Schmitt Trigger	Vcc Input Range	On Die Termination	Qdi Value (Ohm)	Input Delay	Slew	Output Drive (mA)	Impedance (ohm)	Output Load (pF)	Source Termination (Ohm)	Output Delay	Board Layout
AA2	adc_xrd_n_j101	HSIO91NB0	Bank0	Fixed	No	LVDS18	Input	No	ON	None	OFF	MID	---	---	49	---	---	---	---	---	---	adc_xrd_n_j101
AA3	adc_xrd_e_j111	HSIO90PB0	Bank0	Fixed	No	LVDS18	Input	No	ON	None	OFF	MID	---	---	49	---	---	---	---	---	---	adc_xrd_e_j111
AA4	adc_xrd_e_j121	HSIO95PB0	Bank0	Fixed	No	LVDS18	Input	No	ON	None	OFF	MID	---	---	49	---	---	---	---	---	---	adc_xrd_e_j121
AA5	adc_xrd_n_j121	HSIO95NB0	Bank0	Fixed	No	LVDS18	Input	No	ON	None	OFF	MID	---	---	49	---	---	---	---	---	---	adc_xrd_n_j121

8.2.2 I/O レジスタ

IOD ブロックはデータ入力、データ出力、イネーブル信号出力用のレジスタを含みます。データ入力レジスタ (IOINFF)は、IOA から FPGA ファブリックへの入力信号用に使われます。データ出力レジスタ (IOUTFF)は、FPGA ファブリックから IOA への出力信号用に使われます。イネーブル出力レジスタ (IOENFF)は、I/O が 3 ステートまたは双方向として設定されている場合に制御信号出力として機能します。図 8-3 に、これらの I/O レジスタを示します。IOD ブロック内のこれらのレジスタは、ファブリック ロジック エLEMENT内で利用可能な D 型フリップフロップに類似します。IOD ブロックは、インスタンス化できない各種マクロを格納します。これらのマクロは place and route ソフトウェアに含まれています。

図 8-3. IOD 内の I/O レジスタ



I/O レジスタは以下の目的で使われます。

- I/O インターフェイス性能の向上(低遅延確保のため I/O レジスタをパッド直近に配置)
- 送信および受信バスの信号同期
例えば、I/O レジスタを使う事で、データの送受信時にバスの全てのビットを確実にクロック信号に同期させる事ができます。

I/O に対してレジスタが割り当て可能である場合、place and route の既定値により I/O レジスタが使われます。

8.2.2.1 入力レジスタ

図 8-4 に、入力レジスタを示します。

図 8-4. 入力レジスタ

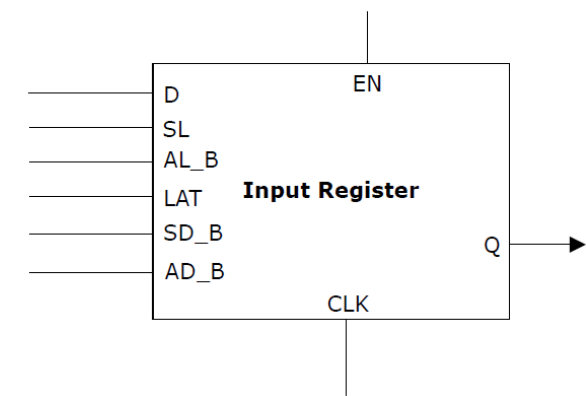


表 8-1 に、入力レジスタピンの概要を示します。

表 8-1. I/O 入力レジスタポート

ポート	タイプ	概要
CLK	入力	クロック入力
D	入力	データ入力
Q	出力	データ出力
EN	入力	クロック イネーブル (アクティブ High)
SL	入力	同期ロード (アクティブ High)
SL AL_B	入力	同期ロード (アクティブ Low)
LAT	入力	ラッチ イネーブル (アクティブ High)
SD_B	入力	同期データ
AD_B	入力	非同期データ (アクティブ Low)

8.2.2.2 出力レジスタ

図 8-5 に、出力レジスタを示します。

図 8-5. 出力レジスタ

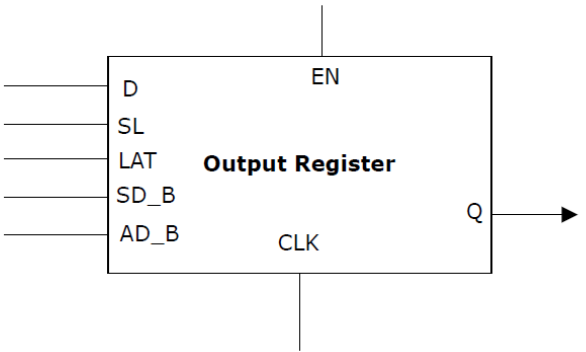


表 8-2 に、出力レジスタピンの概要を示します。

表 8-2. I/O 出力レジスタポート

ポート	タイプ	概要
CLK	入力	クロック入力
D	入力	データ入力
Q	出力	データ出力
EN	入力	クロック イネーブル (アクティブ High)
SL	入力	同期ロード (アクティブ High)
LAT	入力	ラッチ イネーブル (アクティブ High)
SD_B	入力	同期データ
AD_B	入力	非同期データ (アクティブ Low)

8.2.2.3 イネーブル レジスタ

図 8-6 に、イネーブル レジスタを示します。

図 8-6. イネーブル レジスタ

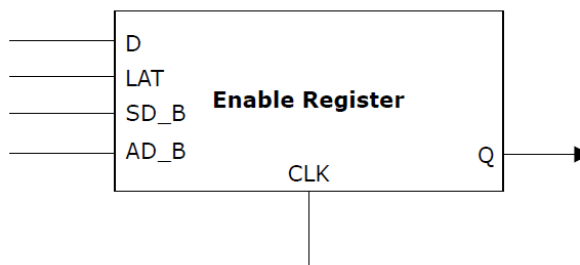


表 8-3 に、イネーブル レジスタ ピンの概要を示します。

表 8-3. イネーブル レジスタポート

ポート	タイプ	概要
CLK	入力	クロック入力
D	入力	データ入力
Q	出力	データ出力
LAT	入力	ラッチ イネーブル (アクティブ High)
SD_B	入力	同期データ
AD_B	入力	非同期データ (アクティブ Low)

8.2.2.4 I/O レジスタとポートの結合

I/O レジスタとポートの結合は全ての I/O のイネーブル、入力、出力でサポートされます。これには `set_i off` コマンドを使います。このコマンドは Compile Netlist Constraint (*.ndc) ファイルに含まれており、合成後に netlist 最適化用に Libero SoC コンパイル エンジンに渡されます。

構文:

```

set_ioff -port_name {portname}
\ [-IN_REG true/1|false/0] \
[-OUT_REG true/1|false/0]
\ [-EN_REG true/1|false/0]

```

引数

- <portname>: レジスタを結合する I/O ポートの名前を指定します。入力ポート、出力ポート、入出力ポートが指定できます。
- IN_REG: 入力レジスタをポート<portname>に結合するかどうかを指定します。
- OUT_REG: 出力レジスタをポート<portname>に結合するかどうかを指定します。
- EN_REG: イネーブル レジスタをポート<portname>に結合するかどうかを指定します。

I/O レジスタの結合は、1 つの I/O で 1 つのレジスタとのみ可能です。レジスタは単一ファンアウトで I/O へ接続する必要があります。D ピンと Y ピンの両方がレジスタ経由の信号で駆動される双方向 I/O の場合、1 つのレジスタのみ I/O ピンと結合できます。

オプションにより、I/O レジスタを自動的に結合する事ができます。このオプションは、**Place and Route** 設定から有効にできます。プロジェクトナビゲータ内で**[Place and Route]**を右クリックし、**[I/O Register Combining]**チェックボックスを有効にします。I/O がタイミング制約を持つ場合、このオプションを有効にする事で、I/O に直接接続された任意のレジスタを結合できます。複数のレジスタが(双方向の)I/O に直接接続されている場合、結合する 1 つのレジスタを以下の順番で選択します。

データ入力、データ出力、イネーブル出力

前述の NDC(Non Timing Constraint)制約を使う事で、I/O レジスタの結合をより厳密に制御できます。

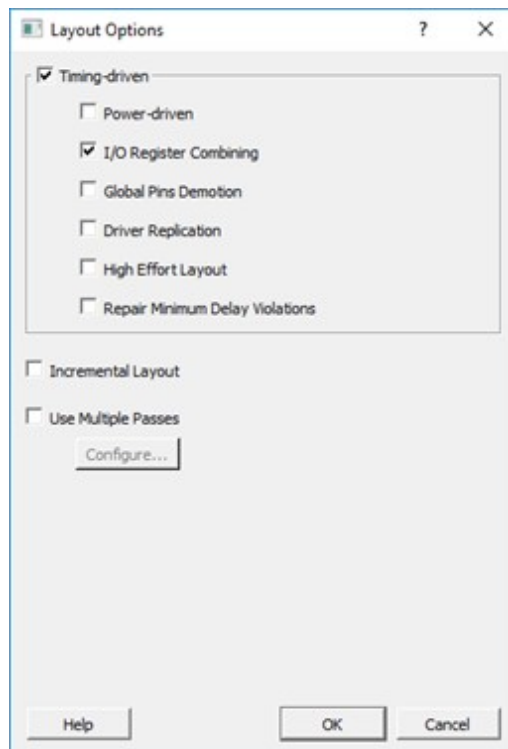
Note: この機能は、既定値で OFF です。レジスタ接続機能は、ユーザが有効にする必要があります。

全ての I/O は、より高速な Clock-to-Out タイミングと外部ホールド/セットアップのために使える各種の組み込みレジスタを備えています。これらのレジスタを I/O バッファで結合する場合、いくつかの設計規則に従う必要があります。

この機能は全ての I/O 規格によってサポートされます。I/O レジスタを結合するには、以下の規則に従う必要があります。

- 1 つの I/O に対して 1 つのレジスタ(IN、OUT、EN のいずれか) のみ結合できます。
- 入力レジスタを異なる複数の I/O と結合する事はできません。
- 入力レジスタ(INFF)の場合、I/O の Y 出力はファンアウトを 1 としてレジスタ D 入力を駆動する必要があります。
- 出力レジスタ(OUTFF)の場合、レジスタ Q 出力はファンアウトを 1 として I/O の D 入力を駆動する必要があります。
- イネーブル レジスタ(ENFF)の場合、レジスタ Q 出力はファンアウトを 1 として I/O の E 入力を駆動する必要があります。

図 8-7. Place and Route レイアウト オプションによる I/O レジスタとポートの結合

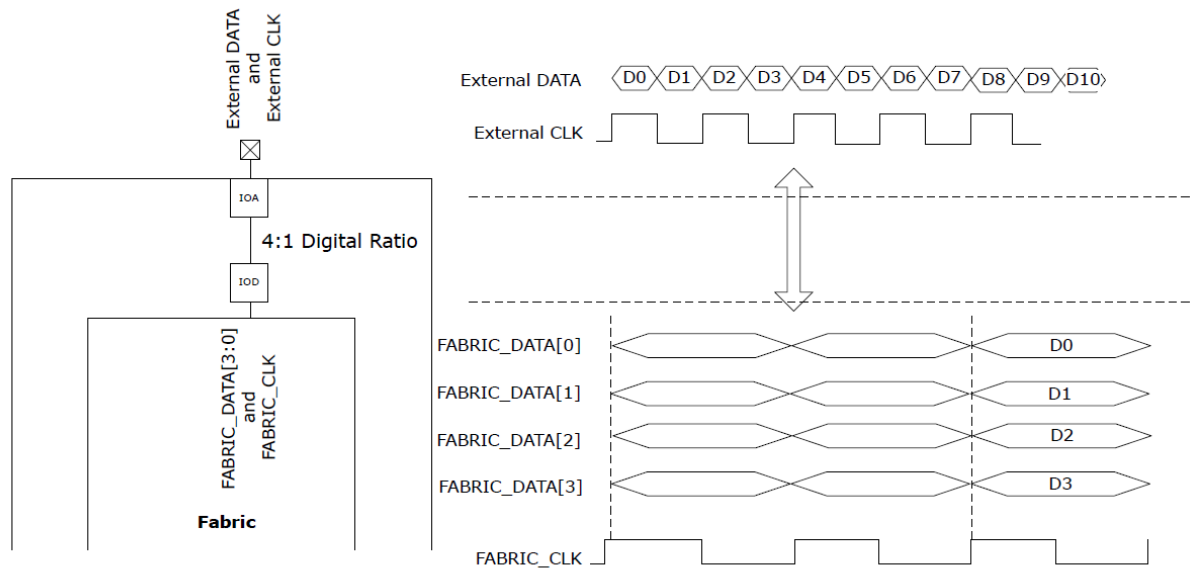


8.2.3 I/O ギアリング

I/O ギアリングは、ユーザのクロック設定に基づいて、1つのデバイス I/O で入出力される複数の FPGA ファブリック信号のシリアル→パラレルおよびパラレル→シリアル変換を処理します。ギアボックスは入力データを低速のコアクロック ドメインへデシリアライズして転送し、ファブリックからの低速データを高速の出カクロック ドメインへシリアライズして転送します。Libero SoC は、アプリケーション設定に基づいて、これらのギアボックスを自動的に設定します。汎用 IOD インターフェイスは、I/O ピンからファブリックまでの完全なソリューションを提供します。汎用 IOD は、Libero SoC コンフィグレータを使って構成できます(リスト内の定義済みユースケースに制限されます)。利用可能なサポートについては、[8.5. 「汎用 I/O インターフェイス」](#)を参照してください。

図 8-8 に、I/O ギアリングの例を示します。この例では、高速シリアルデータが I/O からファブリックへ 4 つの低速信号を介して渡されます。

図 8-8. I/O デジタル



8.2.4 I/O FIFO

IOD ブロックは、位相補償クロックドメイン転送向けの I/O FIFO を含みます。DDR アプリケーションでは、高速データを外部 DQS ドメインから内部データ クロックドメインへ転送するために I/O FIFO が使われます。Libero SoC および Microchip メモリ コントローラ コアは、アプリケーション設定に基づいて I/O FIFO を構成します。

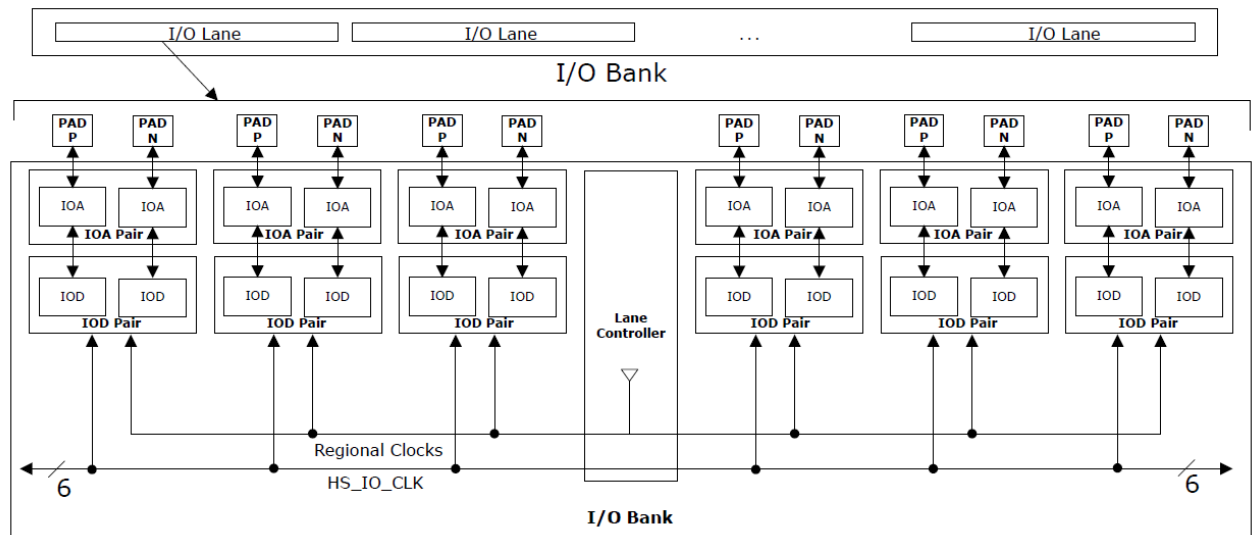
8.3 I/O レーン

メモリ インターフェイスをサポートするために I/O ペアはレーンへとグループ化されます(各バンクは複数のレーンを含む)。各レーンは 12 個の I/O (6 個の I/O ペア)、1 つのレーン コントローラ、1 セットの高速/低スキュー クロック リソースにより構成されます。デバイスの West 端の最上位レーンに含まれる I/O ペアの数 は 6 未満となります。I/O レーン内の高速/低スキュークロック リソースはグローバル クロック、リージョナル クロック、高速クロック、レーン コントローラ クロック向けのネットワークを含みます。詳細は『[PolarFire FPGA and PolarFire SoC FPGA Clocking Resources User Guide](#)』を参照してください。

I/O レーンを使う事で、メモリ用の内蔵 PHY を容易に実装できます。例えば 32 ビット SDRAM インターフェイスは 4 つの I/O データレーンを必要とします。各データレーンは 1 つの I/O レーンを使います(DQS 用に 2 本、DQ ビット用に 8 本、データマスク(DM)用に 1 本、スペアとして 1 本の I/O ピンを使用)。レーントポロジは、高速/低スキュークロックを要求する汎用 I/O インターフェイス向けにも使われます。

図 8-9 に、I/O レーンの構成を示します。

図 8-9. I/O レーン



- ・ **グローバル クロック ネットワーク:** 高ファンアウト信号(クロック、リセット信号等)を FPGA ファブリック全体に分配するために使われます。
- ・ **リージョナル クロック ネットワーク:** クロックを特定の領域にのみ分配する低レイテンシ ネットワークです。リージョナル クロック ネットワークは、ファブリックとの間の双方向のデータ転送用に使われます。
- ・ **高速 I/O クロック ネットワーク:** I/O をサービスするため、デバイスの端部に高速クロックを分配するために使われます。高速 I/O クロック ネットワークは、高速インターフェイスを実装するために使われます。

リージョナルおよびグローバル I/O クロックの性能は、デバイスの周囲条件によって変化します。リージョナル クロックの最大周波数は、グローバル I/O クロックよりも低速です。なぜなら、リージョナル クロックはそのクロック源の直近で使われる事を意図して設計されているためです。

8.3.1 レーンコントローラ

レーン コントローラは、高速インターフェイス(DDR メモリインターフェイス、CDR インターフェイス等)で要求される複雑な動作を処理します。レーン クロックを高速 I/O クロックへブリッジするため、レーン コントローラは各 IOD 内の I/O FIFO を制御します。この I/O FIFO は、レーンクロック上で DQS ストローブを使う事により DDR メモリと通信します。レーン コントローラは、DLL からの PVT に基づいて計算された遅延コードを使ってレーンクロックを遅延させる事により、90°の位相シフトを提供する事もできます。特定の I/O インターフェイスでは、高いギアレシオを要求するクロックドメインに対応するためにレーン コントローラが必要です。詳細は [8.5. 「汎用 I/O インターフェイス」](#) を参照してください。

レーン コントローラは、IOD CDR 向けの機能も提供します。レーン コントローラは CCC (Clock Conditioning Circuitry) PLL からの 4 つの位相を使って 8 つの位相を生成し、入力データの現在の入力条件に対して適正な位相を選択します。詳細は [10.1. 「PF_IOD_CDR」](#) を参照してください。クロックリカバリ後に分周したクロック(DIVCLK)がファブリックへ提供されます。

8.3.2 各バンク内の I/O レーン

表 8-4 に、各デバイスおよびパッケージオプションにおける各バンク内の I/O とレーンの数を示します。

表 8-4. PolarFire FPGA の各バンク内の I/O レーン数

デバイス	パッケージ	North 端 I/O						South 端 I/O						West 端 I/O			
		バンク 0		バンク 7		バンク 1		バンク 3		バンク 2		バンク 6		バンク 4		バンク 5	
		HSD	↙	HSD	↙	HSD	↙	JTAG	GPIO	↙	HSD	↙	GPIO	↙	GPIO	↙	
MPF100	FCSG325	36	3	0	0	48	4	13	48	4	0	0	38	3	0	0	
MPF200	FCSG325_14.5x11	36	3	0	0	48	4	13	48	4	0	0	38	3	0	0	

.....続き

デバイス	パッケージ	North 端 I/O						South 端 I/O						West 端 I/O			
		バンク 0		バンク 7		バンク 1		バンク 3		バンク 2		バンク 6		バンク 4		バンク 5	
		HSIO	↕	HSIO	↕	HSIO	↕	JTAG	GPIO	↕	HSIO	↕	GPIO	↕	GPIO	↕	
MPF200	FCSG536	60	5	0	0	60	5	13	96	8	0	0	84	7	0	0	
MPF300	FCSG536	60	5	0	0	60	5	13	96	8	0	0	84	7	0	0	
MPF100	FCVG484	60	5	0	0	60	5	13	96	8	0	0	68	5	0	0	
MPF200	FCVG484	60	5	0	0	60	5	13	96	8	0	0	68	5	0	0	
MPF300	FCVG484	60	5	0	0	60	5	13	96	8	0	0	68	5	0	0	
MPF100	FCG484	48	4	0	0	48	4	13	84	7	0	0	64	5	0	0	
MPF200	FCG484	48	4	0	0	48	4	13	84	7	0	0	64	5	0	0	
MPF300	FCG484	48	4	0	0	48	4	13	84	7	0	0	64	5	0	0	
MPF200	FCG784	72	6	24	2	60	5	13	96	8	0	0	92	7	44	3	
MPF300	FCG784	72	6	24	2	60	5	13	96	8	0	0	92	7	44	3	
MPF500	FCG784	72	6	24	2	60	5	13	96	8	0	0	92	7	44	3	
MPF300	FCG1152	72	6	72	6	60	5	13	96	8	72	6	92	7	48	4	
MPF500	FCG1152	72	6	96	8	60	5	13	96	8	96	8	92	7	72	6	

表 8-5. PolarFire SoC FPGA の各バンク内の I/O レーン数

デバイス	パッケージ	North 端 I/O						South 端 I/O						West 端 I/O			
		バンク 0		バンク 7		バンク 1		バンク 3	バンク 2		バンク 6		バンク 4		バンク 5		
		HSIO	↕	HSIO	↕	HSIO	↕	JTAG	GPO	↕	HSIO	↕	GPO	↕	GPO	↕	
MPFS250	FCVG484	60	5	0	0	44	10	14	24	0	0	84	7	13	0	0	
MPFS250	FCG1152	120	10	60	5	44	10	14	24	60	5	72	6	13	96	8	

Note: IOCDR とリージョナル クロックを使う全ての IOD 汎用 Rx インターフェイスに関しては、一部のデバイス内の下記のレーンの接続に制約が適用されます。このため、リージョナル クロックの接続に一切の制約を受けない MPF300 から、それらの制約を受けるレーンを持つ他のデバイスへ回路を移植する事はできません。制約を受けるレーンは以下の通りです(対応する PPAT(Package Pin Assignment Table)内に記載)。

MPF100、MPF200: DDR_S_3 (バンク 2、レーン 3)

MPF500: DDR_S_6 (バンク 2、レーン 6)、DDR_N_9 (バンク 7、レーン 9)

全二重 1GbE および SGMII IOCDR は GPIO バンク内でレーンあたり 1 つだけサポートされます。[10.1.5.2. 「全二重 1GbE および SGMII IOCDR」](#)を参照してください。

8.4 I/O クロック ネットワーク

各 I/O は効率的なクロックの分配を行うためにファブリック クロック、高速 I/O クロック、レーンコントローラ クロック用のリソースを含みます。これら 3 つのクロック ネットワークは IOD ブロックとの接続用に使えます。

PolarFire FPGA デバイスの North 端と South 端の I/O クロックは、デバイスごとに一部異なります。North 端の HS_IO_CLK ツリーの I/O スパン幅は、MPF300/MPF500 内のバンク 0/1/7 で異なります。MPF100/MPF200 にはバンク 7 はありません。

全ての PolarFire FPGA デバイスでバンク 2 は利用できますが、HS_IO_CLK ツリーの I/O スパン幅はデバイスサイズに応じて異なります。MPF100/200 デバイスは、バンク 2 を 2 つのサブバンクに分割します。この場合、HS_IO_CLK ツリーはバンク 2 内で利用可能な I/O の間で分割されます。MPF300/500 では、1 つの連続したバンク 2 とバンク 6 が利用できます。これらのデバイスでは、HS_IO_CLK はどのバンクでも分割されません。

グローバル クロック ネットワークの詳細は、『[PolarFire FPGA and PolarFire SoC FPGA Clocking Resources User Guide](#)』を参照してください。

8.4.1 グローバル クロックリソース

各 IOD は、ファブリックからの 2 つのグローバル クロック入力(受信ブロック(受信 IOD)用と、送信ブロック(送信 IOD/イネーブル IOD)用)を備えています。Libero SoC は、グローバル クロック ネットワークを介してクロック信号を自動的に IOD ブロックの 2 つのグローバル クロック入力に接続します(それらのクロック信号が指定されたリソースから駆動される場合)。グローバル クロック ネットワークは以下により駆動できます。

- 優先クロック入力(CLKIN_z_w)
- オシレータ クロック
- CCC (PLL/DLL)
- ファブリック ルーティング
- クロック分周器
- NGMUX
- トランシーバ参照クロック入力

グローバル クロック アーキテクチャの詳細は、『[PolarFire FPGA and PolarFire SoC FPGA Clocking Resources User Guide](#)』を参照してください。

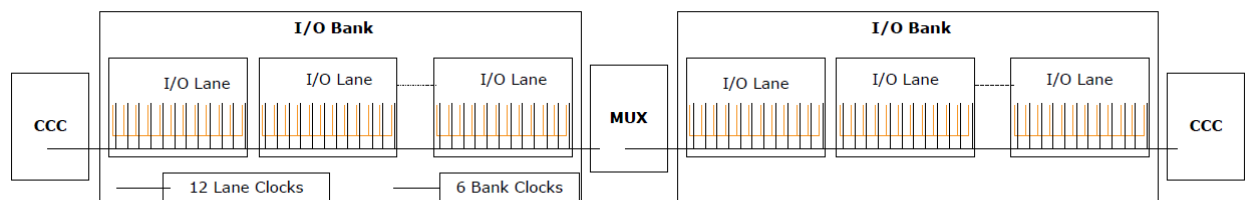
8.4.2 リージョナル クロック ネットワーク

リージョナル クロック ネットワークは低レイテンシ ネットワークです。これらの ネットワークは、デバイスの特定領域に対してのみクロックを低スキューで分配できます。これらは分周済み CDR クロックおよび分周済み高速 I/O クロックから駆動可能です。PolarFire FPGA と PolarFire SoC FPGA は North、South、West 端で I/O レーンあたり 1 つのリージョナル クロックバッファを提供します。領域のサイズは、リージョナル クロックバッファの位置によって決まり、オーバーラップしません。リージョナル クロックバッファの位置に関する詳細は、『[PolarFire FPGA and PolarFire SoC FPGA Clocking Resources User Guide](#)』を参照してください。

8.4.3 レーン クロックリソース

各 I/O レーンは複数のクロック ネットワークを持ちます。レーン クロックリソースは、各レーン コントローラからレーン内の 12 個の各 IOD へ分配されます。Libero SoC は I/O コンフィグレーションに基づいて自動的にレーン クロックリソースを使うため、ユーザがレーン クロックリソースを制御する事はできません。

図 8-10. レーンクロックの分配

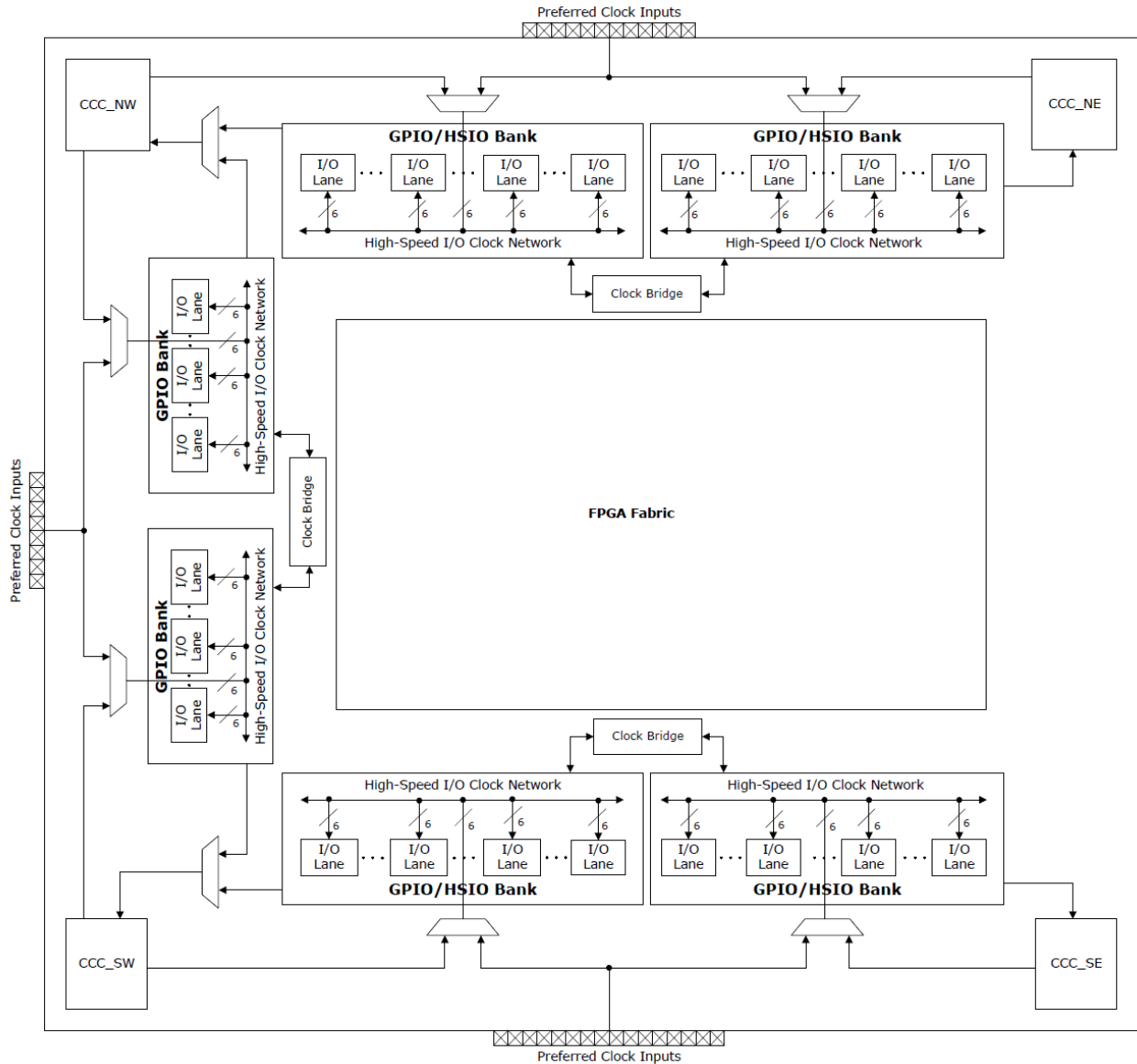


8.4.4 高速 I/O バンク クロックリソース(HS_IO_CLK)

高速 I/O バンククロック ネットワークは I/O バンクに内蔵され、I/O バンク全体に低スキューでクロックを分配します。これらのクロックは、高速インターフェイスの実装時に、I/O ロジックのデータ入出力用に使われます。高速 I/O クロック ネットワークは、FPGA ファブリックの East 端に配置されています。各 I/O バンクは 6 個の高速 I/O クロックを持つ事ができます。デバイスの同じ端にある隣接バンクからの高速 I/O クロックをブリッジする事で、より大きな I/O インターフェイスを構築できます。HS_IO_CLK のブリッジは、Fractional IOD Rx インターフェイス向けにのみ可能です(8.5.5. 「RX_DDR Fractional Aligned/Fractional Dynamic インターフェイス」参照)。

高速 I/O クロック ネットワークは I/O または CCC から駆動可能です。高速クロックは、隣接する CCC の参照クロック入力へ供給する事ができます。HS_IO_CLK は、コンフィグレーションに基づいて Libero SoC により設定されます。

図 8-11. HS_IO_CLK の分配



8.4.5 ビットスリップ

BITSLIP は、デシリアライズされた入力データバーストをファブリック内で整列させるために使います(ワードまたはビット アライメントと呼ぶ)。シリアル入力データストリームは、FPGA 入力へのシリアル入力信号から生成される高周波数クロック(HS_IO_CLK) のマッチングを要求します。BITSLIP を使うと、FPGA ファブリック内で生成される制御信号を提供する事により、パラレルワード クロックレートで動作するパラレルワード ロジックによるワードフレーミングが可能になります。Lx_BIT_SLIP 入力制御は HS_IO_CLK クロックに対して同期され、1 つの HS_IO_CLK パルスを抑制する事によるワードフレーミングが可能になります。Lx_BITSLIP 制御信号のアサートにより、ワードフレーミングは 1 ビット位置だけ変更できます。受信データを 1 ビットだけスリップする事により、ワード境界はワードあたり 1 回だけ 1 ビットシフトします。この動作は、初期のデータ開始時に 1 回だけ発生します。スリップは、コアファブリックからの Lx_BIT_SLIP 信号の立ち上がりエッジにより開始されます。これにより、バンククロック(HS_IO_CLK)ドメイン内で 1 つの高速クロックパルスが生成されます。このパルスは、グリッチレスで同期したクロック停止のために使われます。BITSLIP を有効にすると Lx_BIT_SLIP ポートが利用可能となり、これを使って IOD からの 8 ビットワードをローテートさせる事で、レーンごとにデータを適正にアライメントできます。標準的なビットスリップ手順は以下の通りです。

- データのビットおよびワード アライメントを許可します。

- 適正なアライメントが得られるまでスリップを繰り返します。

BITSLIP 機能は、**Libero SoC Generic IO Interface** コンフィグレータにより最適に使えます。ビットスリップ機能は 4 通りのモードで使えます。以下に、それらの例を示します。

DDRX2 モード: (インクリメント、ラウンドロビン)

1 度に 1 ビットずつワードをスリップさせます。Lx_BIT_SLIP の立ち上がりエッジを使ってスリップ機能を 4 回実行する事により、入力トレーニング中に全てのワード コンビネーションを評価して必要なワード アライメントを見つける事ができます。

ワード内の最初のビットは、スリップパルスのたびに变化します (0、1、2、3、0、1、2、....)。

(例: 1000、0100、0010、0001)

DDRX4 モード: (スクランブル、ラウンドロビン)

ワードを異なる開始位置へ 1 度に 1 つずつスリップさせます。Lx_BIT_SLIP の立ち上がりエッジを使ってスリップ機能を 8 回実行する事により、入力トレーニング中に全てのワード コンビネーションを評価して必要なワード アライメントを見つける事ができます。

ワード内の最初のビットは、スリップパルスのたびに变化します。

例えば、最初のビットが 0 のワードから開始する場合、スリップのパターンは 0、5、6、3、4、1、2、7、0、5、... (-3、+1、-3、+1...)です。次のスリップ(-3 または +1)は、常に直前のスリップによって決まります。

ARST_N の後の最初のスリップは常に -3 スリップで始まります。

(リセット後に始まる各スリップ後のワードの例: 01101000、01000011、10100001、00001101、10000110、00110100、00011010、11010000)

DDRX5 モード: (スクランブル、ラウンドロビン)

ワードを異なる開始位置へ 1 度に 1 つずつスリップさせます。Lx_BIT_SLIP の立ち上がりエッジを使ってスリップ機能を 10 回実行する事により、入力トレーニング中に全てのワード コンビネーションを解析して必要なワード アライメントを見つける事ができます。ワード内の最初のビットは、スリップパルスのたびに变化します。

例えば、最初のビットが 0 のワードから開始する場合、スリップのパターンは 0、7、8、5、6、3、4、1、2、9、0、7、... (-3、+1、-3、+1...)です。次のスリップ(-3 または +1)は、常に直前のスリップによって決まります。

IOD リセットの後の最初のスリップは常に -3 スリップで始まります。

(リセット後に始まる各スリップ後のワードの例: 0111110000、1110000011、1111000001、100001111、1100000111、0000111110、0000011111、0011111000、0001111100、1111100000)

DDRX3.5 モード: このモードでは Lx_BIT_SLIP 機能が使えません。ワードアライメントには FPGA IP を使う必要があります。

8.5 汎用 I/O インターフェイス

Libero SoC I/O コンフィグレータから各種の定義済みインターフェイスが利用できます。リストからニーズに適したインターフェイスを選択できます。ソフトウェアでサポートされるコンフィグレータの詳細は [9. 「汎用 IOD インターフェイスの実装」](#) を参照してください。コンフィグレータは、目標データレートに基づいて静的設定を使います。この設定により、Libero SoC によって固定される IOD 内の遅延要素のクロック-データ関係が決まります。動的設定には、ファブリックベースのトレーニング IP によって制御される専用ロジックが使われます。これは、内部タイミング要素をサンプリングして調整する事で、クロック-データ関係を動的に最適化します。[11. 「動的 IOD インターフェイス タイミング」](#) を参照してください。

汎用高速 DDR インターフェイスを構築する場合、インターフェイスのタイプごとに決められた規則に従う必要があります。I/O は各種のインターフェイス モードをサポートします。その中の 1 つを選択する事で、必要なデータ インターフェイスを構築できます。デバイス/パッケージに対応する PPAT (Package Pin Assignment Table) を参照する事で、インターフェイス向けリソースの接続用に正しいピンを選択する必要があります。また、各 IOA タイプの性能仕様にも注意する必要があります。要求性能に適合する I/O タイプを選択するには、[『PolarFire FPGA Datasheet』](#) または [『PolarFire SoC Advance Datasheet』](#) を参照してください。

I/O ブロックは、専用メモリ インターフェイスを構成するために使われます。これらのインターフェイスは LPDDR3、DDR3、DDR4 インターフェイス向けの専用メモリ インターフェイス コンフィグレータを使って Libero SoC により生成されます。

8.5.1 RX DDR インターフェイス

IOD ブロックは各種モジュールの組み合わせにより構成されます。これらのモジュールには遅延モジュール、IREG または IGEAR、FIFO、ギアリング、レーン コントローラ、ソフト トレーニング IP (TIP) が含まれます(TIP は Libero SoC によって自動的に構築されません)。I/O は、I/O ブロックで利用可能なクロックネットワークを直接使って、同期 I/O インターフェイス(レーンクロックとバンククロック(HS_IO_CLKs)、ローカルおよびグローバル クロックを含む)を構築します。

専用の入力キャプチャ回路は、入力クロックの立ち上がり/立ち下がり両方のエッジで、DDR レジスタを使って入力データをキャプチャします。RX DDR インターフェイスは、Libero SoC I/O インターフェイス コンフィグレータを使って、各種の入力幅とクロック仕様で構築されます。

FPGA 汎用 I/O インターフェイスには、3 タイプの外部インターフェイス定義(Centered、Aligned、Fractional-Aligned)が存在します。Centered I/O インターフェイスの場合、デバイス入力ピンでクロック遷移がデータオープン期間の中央で発生します。Aligned 外部インターフェイスの場合、デバイスピンでクロックとデータの遷移が同時に発生します。Fractional-Aligned IOD モードは、受信クロックとデータレートとの比が小数である場合に使われます。指定されたデータレート目標を達成するため、インターフェイスは静的または動的な最適化手法を使います。静的最適化は、Libero SoC が生成するデータおよびクロックの遅延チューニングを使います。制約ファイルを使う事で、静的インターフェイスのデータ遅延を調整できます。動的最適化は、IOD 機能を使ってインターフェイスが最適性能となるよう調整します。静的インターフェイスは Libero SoC を使うターンキー ソリューションですが、動的インターフェイスでは最高の性能が得られるようにユーザがインターフェイスを最適化する必要があります。

どちらのタイプのインターフェイスもグローバル、リージョナル、レーンクロック向けに使えます。クロック トポロジの詳細は、『[PolarFire FPGA and PolarFire SoC FPGA Clocking Resources User Guide](#)』を参照してください。

汎用 I/O インターフェイスは、以下の命名規則を使います。

方向_ギアリング_キャプチャクロック_ファブリック クロック_クロック-データ関係

例: TX (方向)、DDR (ギアリング)、R (リージョナル クロック)、C (Centered) ==> TX_DDR_R_C

DDR (方向)、B (HS_IO_CLK)、FA (Fractional Aligned)、DYN (動的アライメント)、FDYN (動的アライメントを使う Fractional クロック)

どちらのデバイスファミリも、表 8-6 に示す汎用 RX DDR インターフェイス タイプを含みます。

表 8-6. 汎用 RX DDR インターフェイス ^{1, 2}

名称	クロックタイプ	ギアリング レシオ	概要
RX_DDR_G_A	連続	1	Rx DDR w/Global aligned
RX_DDR_R_A	連続	1	Rx DDR w/Regional clock aligned
RX_DDR_G_C	連続	1	Rx DDR w/Global centered
RX_DDR_R_C	連続	1	Rx DDR w/Regional clock centered
RX_DDRX_B_G_A	連続	2、3.5、4、5	Rx DDR geared w/Bank aligned using Global clock
RX_DDRX_B_G_C	連続	2、3.5、4、5	Rx DDR geared w/Bank centered using Global clock
RX_DDRX_B_R_A	連続	2、3.5、4、5	Rx DDR geared w/Bank aligned using Regional clock
RX_DDRX_B_R_C	連続	2、3.5、4、5	Rx DDR geared w/Bank centered using Regional clock

(1) 最高動作周波数の詳細は、『[PolarFire FPGA Datasheet](#)』または『[PolarFire SoC Advance Datasheet](#)』を参照してください。

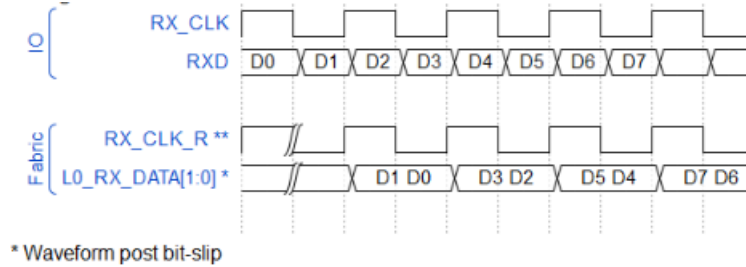
(2) リージョナル クロック インターフェイスは、生成された HS_IO_CLK を使ってキャプチャしたデータを、FPGA ファブリック内のリージョナル クロックドメインへ転送します。

8.5.2 RX_DDR_G_A/ RX_DDR_R_A — 静的遅延を使う Aligned インターフェイス

RX_DDR_G_A および RX_DDR_R_A インターフェイスは、DDR データ/クロック信号を外入出力ピンでアライメントする場合に使われます(図 8-12 参照)。このインターフェイスは連続クロックを使います。内部では、キャプチャ フリップフロップのセットアップ/ホールド時間要件を満たすために、Aligned インターフェイスが必要となります。この調整は、Libero SoC ソフトウェアから自動的に適用される入力遅延設定により行われます。

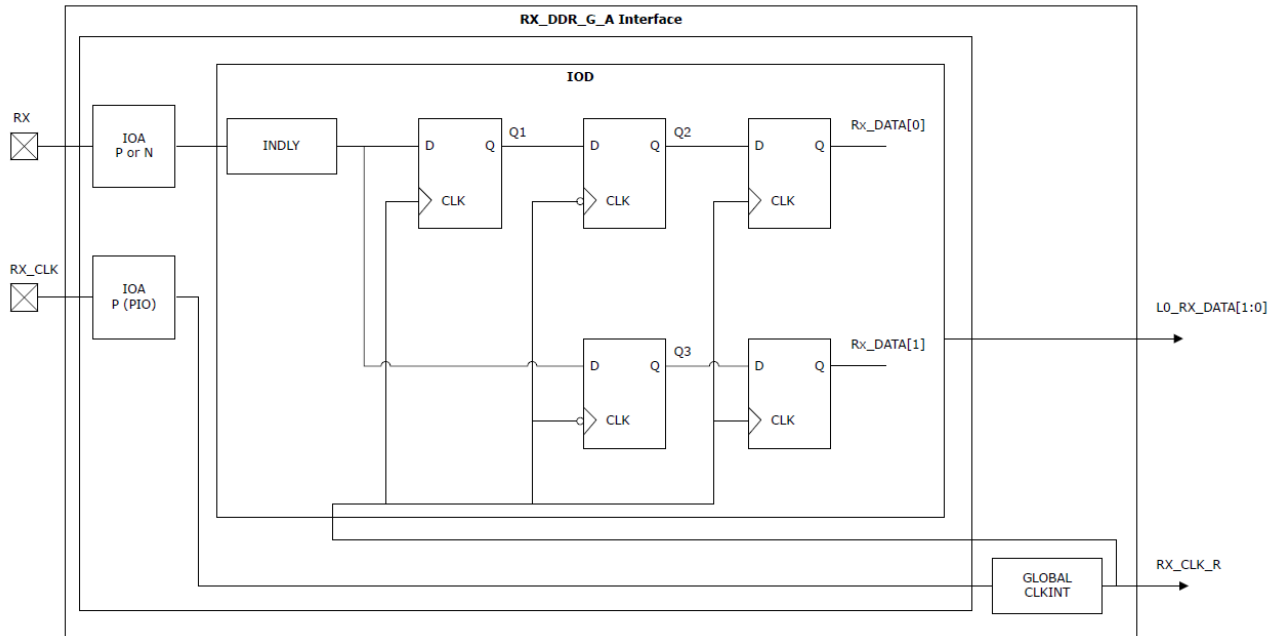
図 8-12 に示すインターフェイスは、ギアリング レシオ = 1 と最大 X1 のデータレートを使っています。データレートの詳細は、『PolarFire FPGA Datasheet』または『PolarFire SoC Advance Datasheet』を参照してください。クロック源トポロジに基づいて 2 種類のインターフェイス コンフィグレーション (グローバルまたはレーンベース)が存在します。

図 8-12. Aligned インターフェイスのデータ/クロック波形



グローバル クロック割り当てを使う RX_DDR Aligned インターフェイスでは、I/O を介して RX データと RX_CLK クロックを受信し、RX_DATA と RX_CLK_R をファブリックへ渡します。入力クロックは、IOD ロジックへ供給される GLOBAL_CLKINT に直接渡されます。Libero SoC は、IOD 内で静的に入力遅延セルを設定する事で、フリップフロップに対する RX vs RX_CLK 注入時間をキャンセルすると共にオフセットを追加する事でデータ-クロック関係を内部で中央に合わせます。グローバル CLKINT リソースは、ファブリック インターフェイス RX_CLK_R 向け受信クロックをファブリック内へと駆動します。

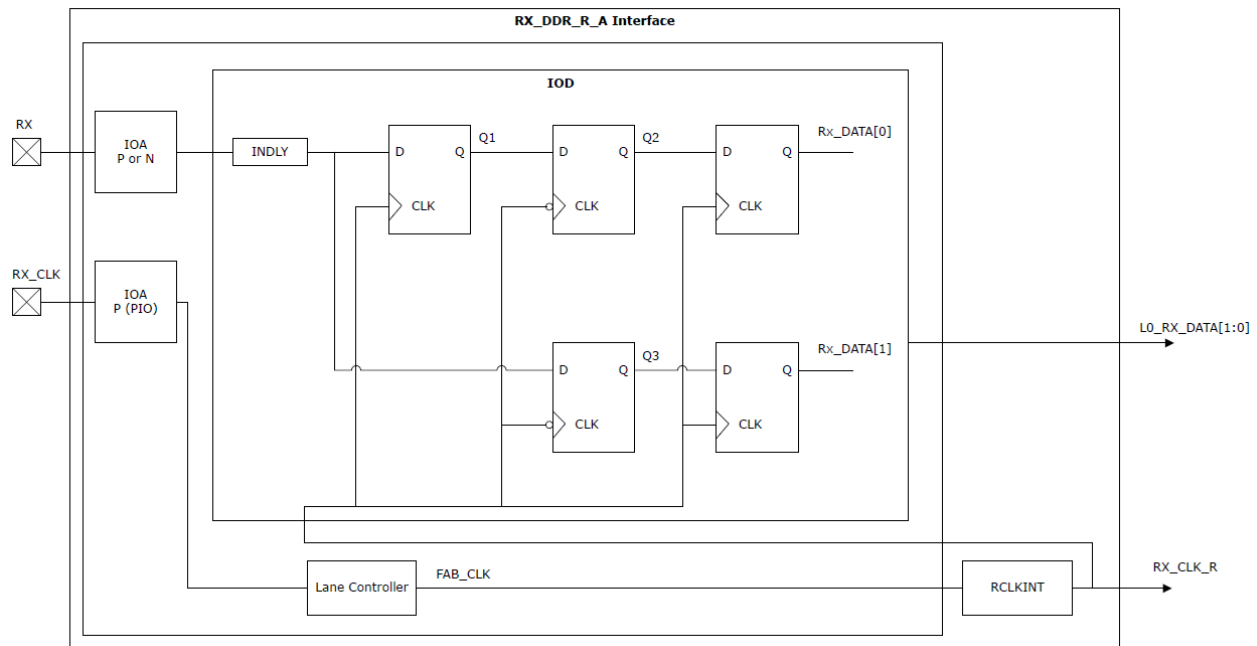
図 8-13. グローバル クロックを使う RX_DDRX1 Aligned インターフェイス



レーンクロック割り当てを使う RX_DDR Aligned インターフェイスは、I/O を介して RX データと RX_CLK クロックを受信し、RX_DATA を IOD へ渡しますこれは、リージョナル システムクロック分配を使う Aligned インターフェイスです。このインターフェイスは連続クロックを使います。RX_CLK はレーン コントローラへ送信されます。レーン コントローラはスキューを管理し、FAB_CLK を RCLKINT に渡します。クロックは RCLKINT から IOD とファブリックの両方へ送信されます。Libero SoC は、静的に IOD 内の入力遅延セルを設定する事で、フリップフロップに対する RX vs RX_CLK 注入時間をキャンセルすると共に、オフセットを追加する事でデータ-クロック関係を内部で中央に合わせます。

ファブリック インターフェイス RX_CLK_R 向けの受信クロックは、RCLKINT リソースによってファブリック内へと駆動されます。

図 8-14. リージョナル クロックを使う RX_DDRX1 Aligned インターフェイス



8.5.2.1 インターフェイス ポート

表 8-7 に、RX_DDR_[G:R]_A インターフェイス モードのポートを示します。

表 8-7. RX_DDR Aligned インターフェイス モードのポート

ポート	I/O	概要
RX	入力	入力 DDR データ _G インターフェイス向けに最大 128 ビット、_R インターフェイス向けに最大 11 ビットをサポートします。
RX_CLK	入力	入力 DDR クロック
L#_RX_DATA[n:0]	出力	FPGA ファブリックへの DDR 出力 「n」は、ギアリングされた DDR コンポーネントからファブリックへの出力ピンの数です。偶数番号のピンは DDR 信号の立ち上がりエッジデータであり、奇数番号のピンは DDR 信号の立ち下がりエッジデータです。ファブリックピンの数は、I/O の数とギアリング レシオに基づきます。 L#は、外部入力ピンの数(最大 128)に対応します。
RX_CLK_R/ RX_CLK_G	出力	FPGA ファブリックへの受信クロック グローバル(G)またはリージョナル(R)クロックを使います。

(1) その他のピンは Advanced オプションを使った時に利用できます。9. 「汎用 IOD インターフェイスの実装」を参照してください。

8.5.2.2 インターフェイスの選択規則

RX_DDR_G_A Aligned インターフェイスに対するピンの割り当てには、以下の規則が適用されます。

- ・ シングルエンド データ I/O は 12 個以下、差動データ I/O は 6 個以下である事
- ・ RX_CLK 入力は他のデータ I/O と同じバンク内の CLKIN_z_w 機能を持つ I/O に配置される事
- ・ データ I/O あたり IOD は 1 つである事
- ・ データおよびクロック I/O あたり IOA は 1 つである事
- ・ RX IOA は自由に配置可能

RX_DDR_R_A Aligned インターフェイスに対するピンの割り当てには、以下の規則が適用されます。

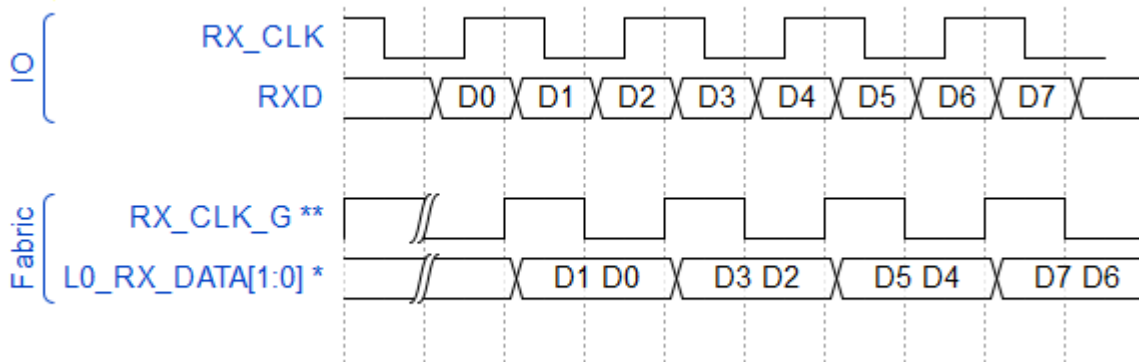
- ・ シングルエンド データ I/O は 11 個以下、差動データ I/O は 5 個以下である事
- ・ リージョナル クロックへの接続用に 1 つの LANCTRL を使う事

- 1つのリージョナル クロックを使う事
- RX および RX_CLK I/O は同じ I/O レーン内に配置される事
- RX_CLK 入力はレーン内の DQS 機能を備えた P 側 I/O 内に配置される事
- RX および RX_CLK I/O は同じバンク内に配置される事(RX および RX_CLK I/O ピンはバンク 0 および 7 の間で共有可能)
- データ I/O あたり IOD は 1 つである事
- データおよびクロック I/O あたり IOA は 1 つである事

8.5.3 RX_DDR_G_C と RX_DDR_R_C — 静的遅延を持つ Centered インターフェイス

RX_DDR_G_C および RX_DDR_R_C インターフェイスは、外部入力ピンでクロックが入力データの中央に位置する連続クロックを使います(図 8-15 参照)。このインターフェイス ストラテジは Aligned インターフェイスと似ています。Libero SoC によって制御される入力遅延は、フリップフロップに対する RX vs RX_CLK 注入時間をキャンセルするよう設定されます。これを使う事で、最初のフリップフロップに対するクロックとデータの遅延をバランスさせて内部遅延を補償する事により、セットアップ/ホールド要件を満たします。

図 8-15. Centered インターフェイスのデータ/クロック波形

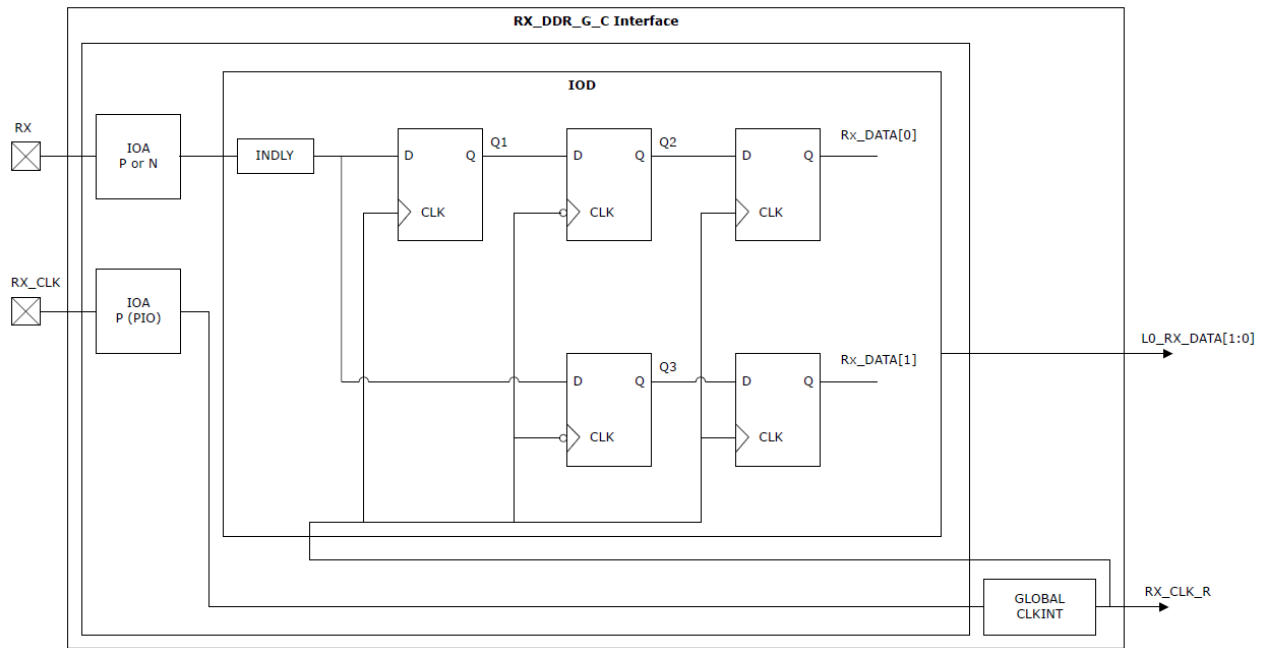


* Waveform post bit-slip

グローバル クロック割り当てを使って、I/O を介して RX データと RX_CLK クロックを受信し、RX_DATA と RX_CLK_R をファブリックへ渡します。入力クロックは直接 GLOBAL CLKINT に渡され、そこから IOD ロジックに供給されると共にファブリックへ渡されます。

グローバル CLKINT リソースは、ファブリック インターフェイス RX_CLK_R 向けの受信クロックをファブリック内へと駆動します。

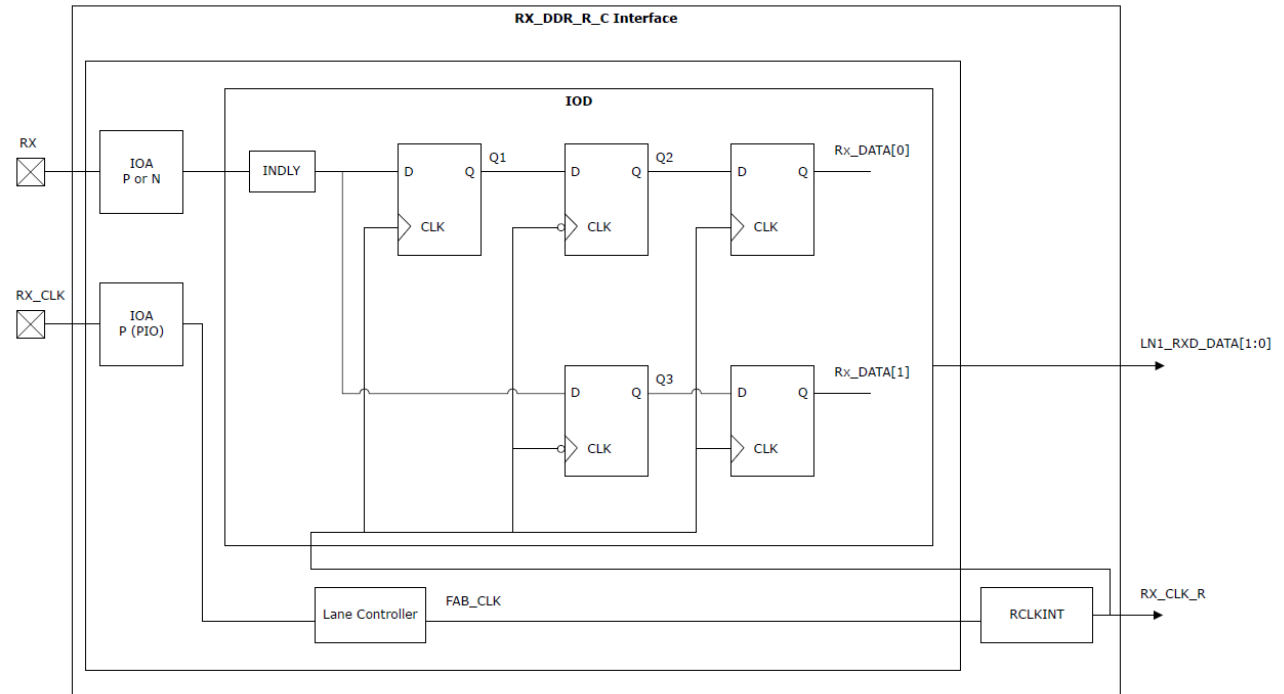
図 8-16. グローバル クロックを使う RX_DDRX1 Centered インターフェイス



レーンクロック割り当てを使う RX_DDR Centered インターフェイスは、I/O を介して RX データと RX_CLK クロックを受信し、RX_DATA を IOD へ渡し、RX_CLK_R をレーン コントローラに渡します。このインターフェイスは連続クロックを使います。レーン コントローラはスキューを管理し、FAB_CLK を RCLKINT へ渡します。入力クロックは RCLKINT から IOD とファブリックの両方へ送信されます。

RCLKINT リソースは、ファブリック インターフェイス RX_CLK_R 向けの受信クロックをファブリック内へと駆動します。

図 8-17. リージョナル クロックを使う RX_DDRX1 Centered インターフェイス



8.5.3.1 インターフェイス ポート

表 8-8 に、RX_DDR_[G:L:B]_C インターフェイス モードのポートを示します。

表 8-8. RX_DDR Centered インターフェイス モードのポート

ポート	I/O	概要
RX	入力	入力 DDR データ _G インターフェイス向けに最大 128 ビット、_R インターフェイス向けに最大 11 ビットをサポートします。
RX_CLK	入力	入力 DDR クロック
L#_RX_DATA[m:0]	出力	FPGA ファブリックへの DDR 出力 「m」は、ギアリングされた DDR コンポーネントからファブリックへの出力ピンの数です。偶数番号のピンは DDR 信号の立ち上がりエッジデータであり、奇数番号のピンは DDR 信号の立ち下がりエッジデータです。ファブリックピンの数は、I/O の数とギアリング レシオに基づきます。 L#は、外部入力ピンの数(最大 128)に対応します。
RX_CLK_R/ RX_CLK_G	出力	FPGA ファブリックへの受信クロック グローバル(G)またはリージョナル(R)クロックを使います。

(1) その他のピンは Advanced オプションを使った時に利用できます。9. 「汎用 IOD インターフェイスの実装」を参照してください。

8.5.3.2 インターフェイスの選択規則

RX_DDR_G_C Centered インターフェイスに対するピンの割り当てには以下の規則が適用されます。

- ・ シングルエンド データ I/O は 12 個以下、差動データ I/O は 6 個以下である事
- ・ RX_CLK 入力は他の I/O と同じバンク内の CLKIN_z_w 機能を備えた I/O 内に配置される事
- ・ データ I/O あたり IOD は 1 つである事
- ・ データおよびクロック I/O あたり IOA は 1 つである事
- ・ RX IOA は自由に配置可能

RX_DDR_R_C Centered インターフェイスに対するピンの割り当てには以下の規則が適用されます。

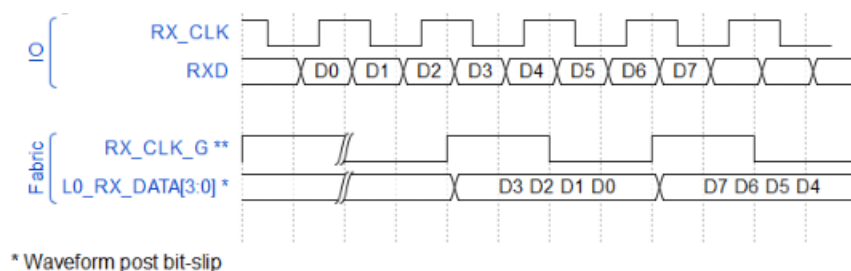
- ・ シングルエンド データ I/O は 11 個以下、差動データ I/O は 5 個以下である事
- ・ リージョナル クロックへの接続用に 1 つの LANECTRL を使う事
- ・ 1 つのリージョナル クロックを使う事
- ・ RX および RX_CLK I/O は同じ I/O レーン内に配置される事
- ・ RX_CLK 入力はレーン内の DQS 機能を備えた P 側 I/O 内に配置される事
- ・ RX および RX_CLK I/O は同じバンク内に配置される事(例外: バンク 7 を備えるデバイスでは、I/O をバンク 0 またはバンク 7 のどちらかに配置しても構わない)
- ・ データ I/O あたり IOD は 1 つである事
- ・ データおよびクロック I/O あたり IOA は 1 つである事

8.5.4 静的遅延を使う RX_DDRX_B_G_C および RX_DDRX_B_G_A/RX_DDRX_B_R_A インターフェイス

RX_DDR インターフェイスは x2、x3.5、x4、x5 のギアリングを使えます。バンクおよびレーン指向の高速 I/O クロック ネットワークは、I/O 処理用としてデバイスのエッジに沿って分配された低スキューのクロックを提供します。この I/O インターフェイスを使ってデータを I/O ロジックへ入力する事で、クロックを厳密に管理して幅広いソース同期インターフェイスに対応できます。これにより、高速 I/O クロック ドメインから低速システムクロック ドメインへのデータ転送が保証されます。これらのモードは、低速のファブリック クロックで高いデータスループットを達成するため、ファブリックへの幅広いデータ転送が可能となります。

ユーザがデバイスの境界での入力データとクロックの関係に注意を払う事で、静的設定によって RX_DDRX[2,3,5,4,5]B_G_A/B_R_A および RX_DDRX[2,3,5,4,5]B_G_C インターフェイスをサポートする事も可能です。RX_DDRX1 インターフェイスと同様に、Liberio SoC IOD コンフィグレータはギアリング基準を満たすコンポーネントを作成し、クロックとデータ向けに適切な入力ピンを使ってファブリック インターフェイスへの接続を構築します。各高速入力レシーバ向けのコンポーネントは、ギアレシオに基づいて適切なファブリック ピンを使って生成されます。例えば、1 つの高速入力のギアリング レシオを 4 とする場合、そのコンポーネントは 8 本のピンを使います。8 本のピンの名前は LN0_RXD_DATA[7:0]となります。[0:1]、[2:3]、[4:5]、[6:7]はファブリックに対する x4 ギアリング データ向けの DDR と等価です。

図 8-18. Rx_geared の波形



8.5.4.1 インターフェイス ポート

表 8-9 に、RX_DDR_B_C および RX_DDR_B_A インターフェイス モードのポートを示します。

表 8-9. RX_DDR_B_C および RX_DDR_B_A インターフェイス モードのポート¹

ポート	I/O	概要
RX	入力	入力 DDR データ _G インターフェイス向けに最大 128 ビット、_R インターフェイス向けに最大 11 ビットをサポートします。
RX_CLK	入力	入力 DDR クロック
ARST_N	入力	IOD とレーン コントローラに対する非同期リセット ARST_N 入力は、Rx および Tx IOD ブロックに対する独立した非同期リセットです。
HS_IO_CLK_PAUSE	入力	HS_IO_PAUSE のトグル: – IOD RX ステートマシンをリセットします。このリセットは、パターンを HS_IO_CLK (バンククロック) と RXCLK に対して再同期します。 – SLIP 動作によって実行された全ての調整をリセットします。 – IOD TX ステートマシンをリセットします。このリセットは、HS_IO_CLK と TXCLK を同期します。 – HS_IO_CLK_PAUSE は、PLL ロックが Fractional Aligned モードでアサートされた後にアサートされます。これにより、I/O ギアリング ステートマシンはファブリック クロックと PLL からのクロックの間の位相差を検出できます。
L#_RX_DATA[m:0]	出力	FPGA ファブリックへの DDR 出力 「m」は、ギアリングされた DDR コンポーネントからファブリックへの出力ピンの数です。偶数番号のピンは DDR 信号の立ち上がりエッジデータであり、奇数番号のピンは DDR 信号の立ち下がりエッジデータです。ファブリックピンの数は、I/O の数とギアリング レシオに基づきます。 L#は、外部入力ピンの数(最大 128)に対応します。
RX_CLK_R/ RX_CLK_G	出力	FPGA ファブリックへの受信クロック グローバル(G)またはリージョナル(R)クロックを使います。Aligned インターフェイスにはグローバル クロックとリージョナル クロックが使えますが、Center Aligned インターフェイスにはグローバル クロックしか使えません。

(1) その他のピンは Advanced オプションを使った時に利用できます。9. 「汎用 IOD インターフェイスの実装」を参照してください。

8.5.4.2 インターフェイスの選択規則

RX_DDRX_B_G_A、RX_DDRX_B_R_A、RX_DDRX_B_G_C インターフェイスに対するピンの割り当てには以下の規則が適用されます。

- 2 つの ICB_CLKDIVDELAY と 3 つの HS_IO_CLK を使う事
- RX_CLK 入力は他の I/O と同じバンク内の CLKIN_z_w 機能を備えた I/O 内に配置される事
- RX および RX_CLK I/O は同じバンク内に配置される事(例外: バンク 7 を備えるデバイスでは、I/O をバンク 0 またはバンク 7 のどちらかに配置しても構わない)
- データ I/O あたり IOD は 1 つである事
- データおよびクロック I/O あたり IOA は 1 つである事

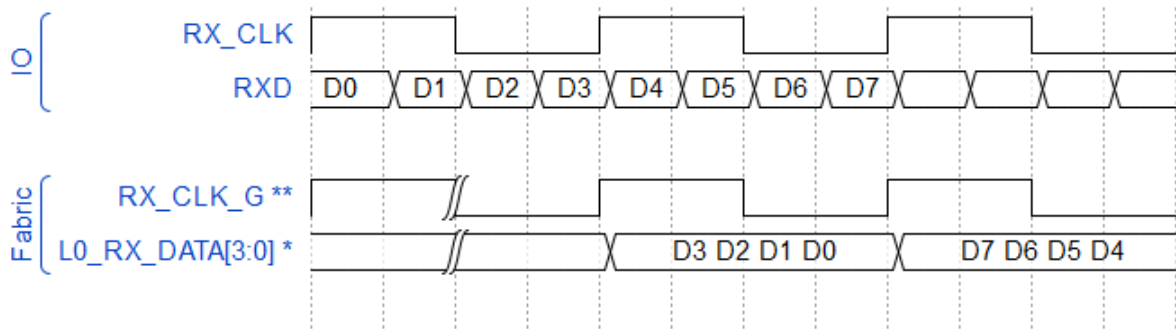
- 2つの異なるインターフェイスからの IOA (TX/RX/DDR/QDR/OCTAL/CDR) は同じ I/O レーン内に配置できない

8.5.5 RX_DDR Fractional Aligned / Fractional Dynamic インターフェイス

DDR Fractional Aligned IOD モードは、受信クロックとデータレートの比が小数である場合に使われます。CCC PLL は、Libero SoC によってクロックパスに挿入されます(データ ビットレートに適合する通倍比(1、2、4、8、10 のいずれか)を使用)。例として、ソース同期クロック入力 RX_CLK (データレート/4)がファブリック PLL への参照クロックとして提供され、HS_IO_CLK (RX_CLK x2)を生成する場合を想定します。インターフェイスが静的にトレーニングされる場合、静的遅延は HS_IO_CLK クロックエッジが RXD データビット ウィンドウ内に入るように設定されます。この事前にインスタンス化された PLL は、ファブリック クロック(RX_CLK と等速またはデータレート/4)も生成します。ファブリック内のユーザロジックは、このクロックを使って、IOD マクロからの RX_DATA ビットをファブリックへ入力します。

図 8-19 に、Fractional Aligned インターフェイスのデータおよびクロック波形を示します。

図 8-19. Fractional Aligned インターフェイスのデータ/クロック波形



* Waveform post bit-slip

8.5.5.1 インターフェイス ポート

表 8-10 に、Fractional Aligned インターフェイス モードのポートを示します。

表 8-10. Fractional Aligned インターフェイス モードのポート

ポート	I/O	概要
RX	入力	入力 DDR データ: 最大 11 ビット幅をサポートします。全てのビットは 1 つのレーン内に収まる必要があります。
RX_CLK	入力	入力 DDR クロック
ARST_N	入力	IOD とレーン コントローラに対する非同期リセット: ARST_N 入力は、Rx および Tx IOD ブロックに対する独立した非同期リセットです。電源遮断中に対応するインターフェイス PLL をホールドします。
HS_IO_CLK_PAUSE	入力	HS_IO_PAUSE のトグル: – IOD RX ステートマシンをリセットします。このリセットは、パターンを HS_IO_CLK (バンククロック)と RXCLK に対して再同期します。 – SLIP 動作によって実行された全ての調整をリセットします。 – IOD TX ステートマシンをリセットします。このリセットは、HS_IO_CLK と TXCLK を同期します。
L#_RX_DATA[m:0]	出力	FPGA ファブリックへの DDR 出力: 「m」は、ギアリングされた DDR コンポーネントからファブリックへの出力ピンの数です。偶数番号のピンは DDR 信号の立ち上がりエッジデータであり、奇数番号のピンは DDR 信号の立ち下がりエッジデータです。ファブリックピンの数は、I/O の数とギアリング レシオに基づきます。L#は、外部入力ピンの数(最大 128)に対応します。
RX_CLK_R/RX_CLK_G	出力	FPGA ファブリックへの受信クロック: グローバル(G)またはリージョンアル(R)クロックを使います。
PLL_LOCK	出力	クロックパス内で使われる内蔵 PLL のロックステータスです。

.....続き		
ポート	I/O	概要
CLK_TRAIN_DONE	出力	HS_IO_CLK とシステムクロックのトレーニングが完了した事を示します。 11.1.1. 「HS_IO_CLK とシステムクロックのトレーニング」 参照

8.5.5.2 インターフェイスの選択規則

RX_DDRX_B_G_FA インターフェイスに対するピンの割り当てには以下の規則が適用されます。

- RX_CLK 入力以外の I/O と同じバンク内の CCC_CLKIN_z_w 機能を備えた I/O 内に配置される事
このピンは PLL 参照クロックへ接続できます。各デバイスで利用可能なピンについては、『[PolarFire FPGA and PolarFire SoC FPGA Clocking Resources User Guide](#)』を参照してください。その他の優先クロック入力ピンは、この接続に適しません。
- RX および RX_CLK I/O は同じバンク内に配置される事(例外:バンク 7 を備えるデバイスでは、I/O をバンク 0 またはバンク 7 のどちらに配置しても構わない)
- インターフェイスは PLL を使って高速クロックを生成する事
- データ I/O あたり IOD は 1 つである事
- データおよびクロック I/O あたり IOA は 1 つである事
- 2 つの異なるインターフェイスからの IOA (TX/RX/DDR/QDR/OCTAL/IO_CDR)は同じ I/O レーン内に配置できない

8.5.6 RX_DDRX_B_G_DYN / RX_DDRX_B_R_DYN インターフェイス

RX_DDRX_B_G_DYN / RX_DDRX_B_R_DYN インターフェイスは、動的制御を使って差動 DDR データをキャプチャするために使われます。デバイスが差動 DDR データを受信する時に、クロックとデータの間係を動的に調整できます。RX_DDRX_B_G_DYN / RX_DDRX_B_R_DYN インターフェイスは 2、3.5、4、5 のデジタルレシオを使います。

このインターフェイスは I/O を介して差動データ RXD/RXD_N と差動クロック RX_CLK_P/RX_CLK_N を受信し、データ Lx_RXD_DATA とファブリック クロック(RX_CLK_FAB)をファブリックへ渡します。受信クロック入力(RX_CLK_P / RX_CLK_N)はレーン コントローラを介して、RCLKINT から駆動される RX_CLK_FAB を生成します。

図 8-20 に、スリップ入力を使わない場合の RX_DDRX_B_G_DYN / RX_DDRX_B_R_DYN インターフェイスの信号波形を示します。

図 8-20. RX_DDRX_B_G_DYN / RX_DDRX_B_R_DYN 波形

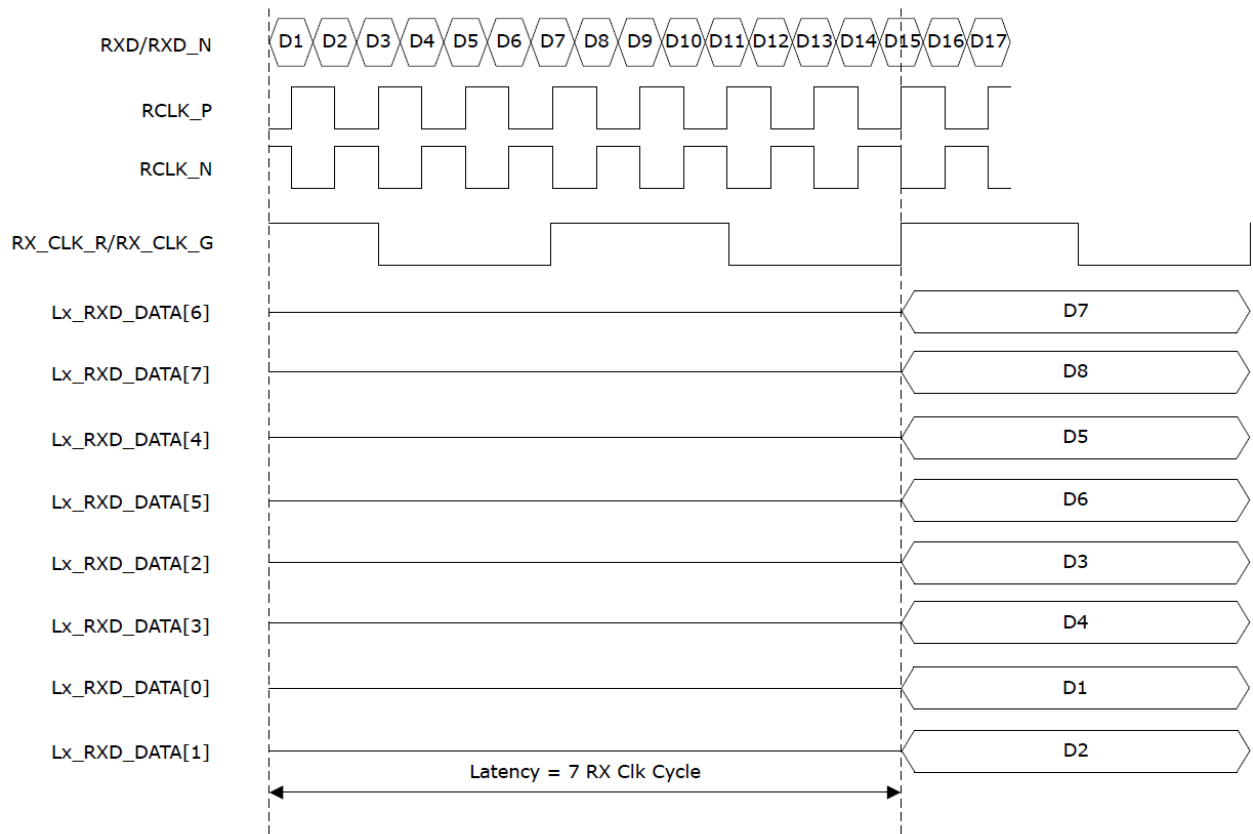
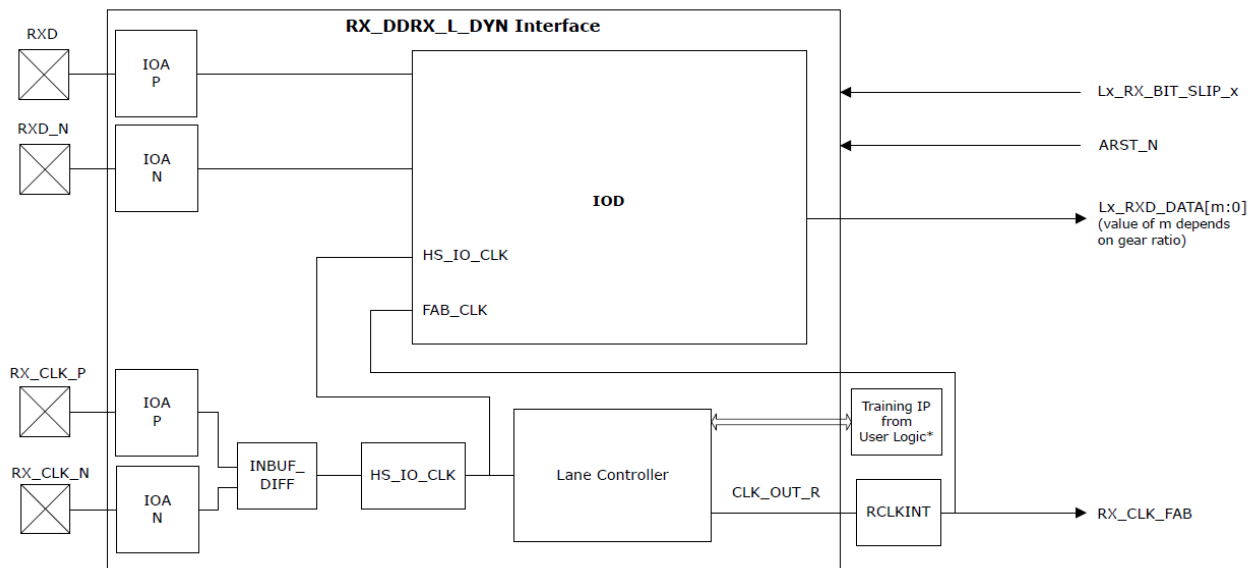


図 8-21 に、RX_DDRX_B_G_DYN/ RX_DDRX_B_R_DYN インターフェイスのブロック図を示します。

図 8-21. RX_DDRX_B_G_DYN / RX_DDRX_B_R_DYN インターフェイスのブロック図



Note: IOD ブロックとユーザ トレーニング IP の間の接続については、[9.2.3. 「動的遅延制御」](#)を参照してください。

8.5.6.1 インターフェイス ポート

表 8-11 に、RX_DDRX_B_G_DYN / RX_DDRX_B_R_DYN インターフェイス モードのポートを示します。

表 8-11. RX_DDRX_L_DYN ポート

ポート	I/O	概要
RXD/RXD_N	入力	差動入力 DDR データ
RX_CLK_P/RX_CLK_N	入力	差動入力クロック
ARST_N	入力	IOD とレーン コントローラに対する非同期リセット
Lx_BIT_SLIP	入力	ファブリックからのレーンごとのビットスリップ入力は、コアファブリックからのスリップ信号の立ち上がりエッジにより開始します。Lx_BIT_SLIP は DDRX3.5 ギアリング向けに利用できません。
Lx_RXD_DATA[m:0]	出力	FPGA ファブリックへの DDR 出力(値はデジタルレシオに依存)
RX_CLK_R/RX_CLK_G	出力	FPGA ファブリックへの受信クロック グローバル(G)またはリージョナル(R)クロックを使います。
CLK_TRAIN_DONE	出力	HS_IO_CLK とシステムクロックのトレーニングが完了した事を示します(11.1.1. 「HS_IO_CLK とシステムクロックのトレーニング」参照)。
CLK_TRAIN_ERROR	出力	HS_IO_CLK とシステムクロックのトレーニングが完了しなかった事を示します(11.1.1. 「HS_IO_CLK とシステムクロックのトレーニング」参照)。

(1) 詳細は 9.2.3. 「動的遅延制御」を参照してください。

RX_DDRX_B_G_DYN / RX_DDRX_B_R_DYN インターフェイスは、ファブリックからのビットスリップ入力 (Lx_BIT_SLIP)を備えています。スリップ入力ピンはワード アライメント用に使われます。スリップ機能は 2、4、5 デジタルモード(1 ビットずつスリップ)で使われます。

8.5.6.2 インターフェイスの選択規則

RX_DDRX_B_G_DYN / RX_DDRX_B_R_DYN インターフェイスに対するピンの割り当てに適用される規則は以下の通りです。

- 2つの ICB_CLKDIVDELAY と 3つの HS_IO_CLK を使う事
- RX_CLK 入力は他の I/O と同じバンク内の CLKIN_z_w 機能を備えた I/O 内に配置される事
- RX および RX_CLK I/O は同じバンク内に配置される事(例外:バンク 7 を備えるデバイスでは、I/O をバンク 0 またはバンク 7 のどちらに配置しても構わない)
- データ I/O あたり IOD は 1 つである事
- データおよびクロック I/O あたり IOA は 1 つである事
- 2つの異なるインターフェイスからの IOA (TX/RX/DDR/QDR/OCTAL/CDR)は同じ I/O レーン内に配置できない

8.5.7 TX DDR インターフェイス

表 8-12 に、TX DDR インターフェイスのクロック-データ条件を示します。

表 8-12. TX DDR インターフェイス

インターフェイス名	トポロジ	ギアリング レシオ	クロック-データ条件
TX_DDR_G/B_A	TX DDR	1	グローバルクロック源から、Aligned クロックとデータ

8.5.7.1 TX_DDR_G/B_A

TX_DDR_G_A インターフェイスは、クロックエッジが DDR データとアライメントされる DDR 送信インターフェイスを実装します。IOD ブロックは、グローバル クロックリソース上で転送されるファブリック クロック (TX_FAB_CLK)を使ってファブリックから送信されたデータをキャプチャし、TX ピンを介してそれを送信します。

図 8-22 に、TX_DDR_G_A インターフェイスの信号波形を示します。

図 8-22. TX_DDR_G_A インターフェイスの信号波形 — TXDDR1

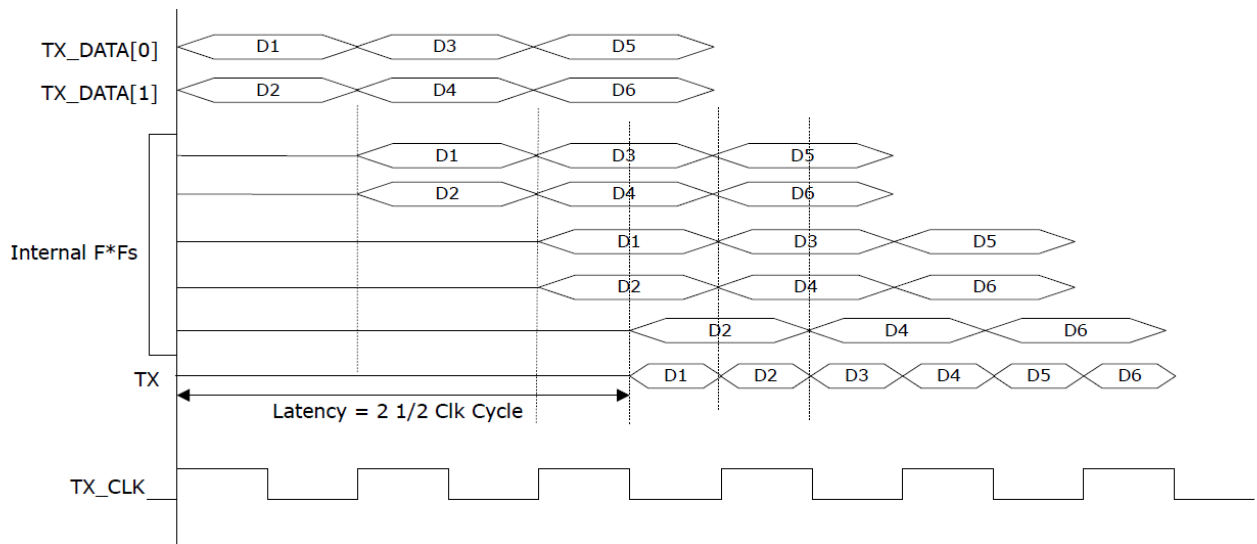
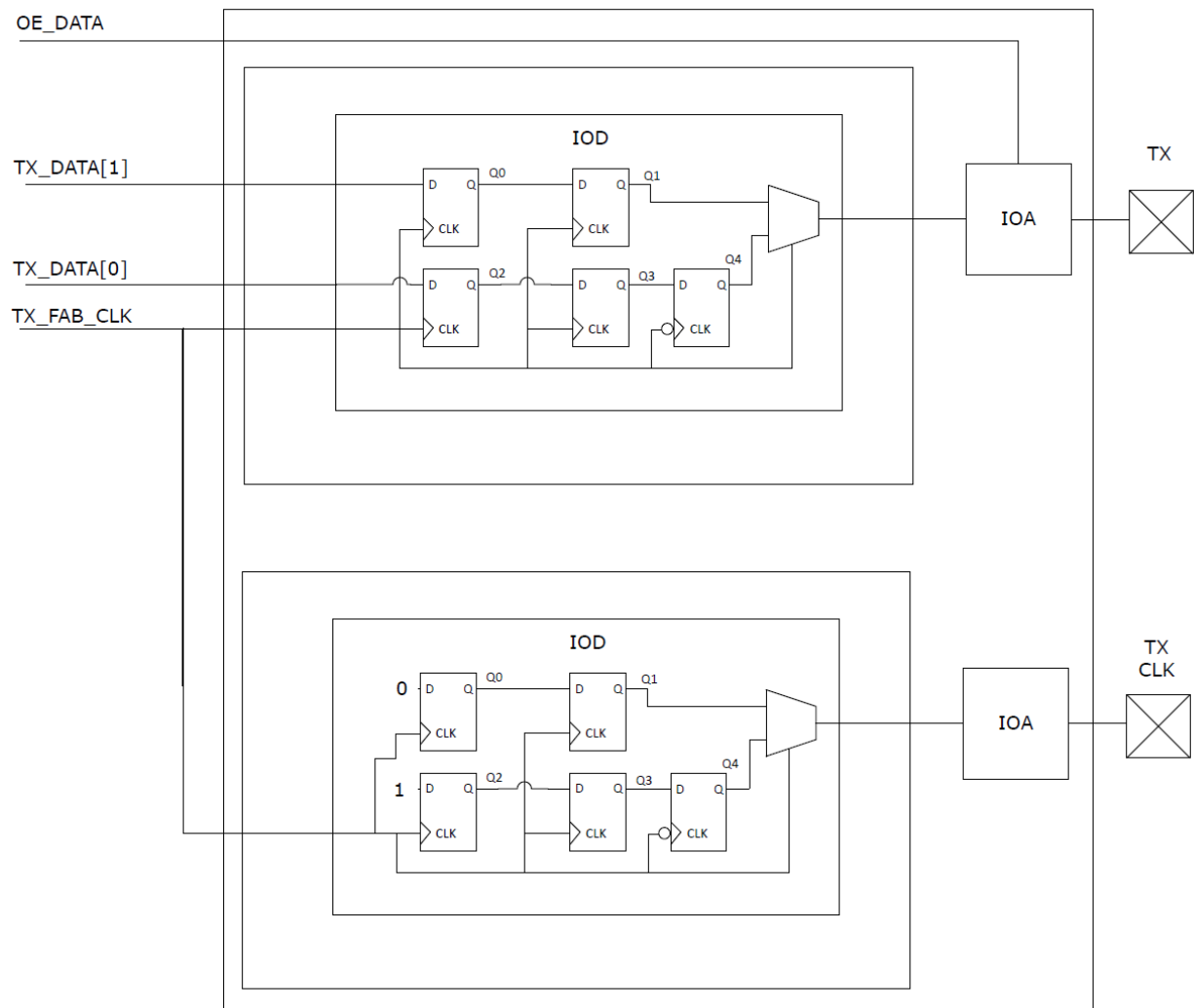


図 8-23 に、TX_DDR_G_A インターフェイスのブロック図を示します。

図 8-23. TX_DDR_G/B_A インターフェイスのブロック図 — TX_DDRX1



8.5.7.2 インターフェイス ポート

表 8-13 に、TX_DDR_G_A インターフェイス モードのポートを示します。

表 8-13. TX_DDR_G/B_A インターフェイス モードのポート

ポート	I/O	概要
TX_DATA[m:0]	入力	ファブリックからの DDR 送信データ 「m」は、ファブリックからの DDR コンポーネントへの入力ピンの数です。偶数番号のピンは TX_CLK の立ち下がりエッジで送信される DDR 信号のデータであり、奇数番号のピンは TX_CLK の立ち上がりエッジで送信される DDR 信号のデータです。ファブリックピンの数は、I/O の数とギアリング レシオに基づきます。
TX_CLK_G	入力	ファブリックからの DDR 送信クロック (グローバルクロック ネットワークを介して転送)
TXD/TXD_N(m)	出力	IOA への DDR 出力
TX_CLK	入力	IOA への DDR クロック

.....続き

ポート	I/O	概要
HS_IO_CLK_PAUSE	入力	HS_IO_PAUSE のトグル IOD TX ステートマシンをリセットします。このリセットは、HS_IO_CLK と TXCLK を同期します。HS_IO_CLK_PAUSE のディアサート後に有効な TX_DATA が IOD によって受け入れられるまでに 5~10 クロックサイクルが必要です。

(1) その他のピンは Advanced オプションを使った時に利用できます。9. 「汎用 IOD インターフェイスの実装」を参照してください。

8.5.7.3 インターフェイスの選択規則

TX_DDR_G_A インターフェイスに対するピンの割り当てに適用される規則は以下の通りです。

- TX および TX_CLK I/O は自由に配置可能
- TX データと TX_CLK のスキューはグローバル クロック ネットワークと等しい
- データおよびクロック I/O あたり IOD は 1 つである事
- データおよびクロック I/O あたり IOA は 1 つである事

Note: クロックの位相調整用に少なくとも 1 つの CCC/PLL が必要です。

オプション機能により、送信パラレルクロックをデータに同期して送信する事ができます。この機能は、CameraLink 等のアプリケーション向けに使えます。このオプションを使うには、TX_DDR コンフィグレータの[Advance]タブ内の[Misc]セクションで、クロックパターンのユーザ制御を有効にします。生成される TX_DDR コンポーネントは、TX_CLK_DATA ポートを備えたモジュール内に PF_IOD_TX_CLK:TX_DATA_0 ポートを備えます。

8.6 レイテンシ

表 8-14 に示すレイテンシは近似値であり、特定の固定された HSIO_CLKS クロックとリージョナル クロックの関係に基づきます。この機構の柔軟性と DDR インターフェイスのトレーニング結果によって、実際のレイテンシはこの表内の値と±1 サイクル異なる可能性があります。

表 8-14. Rx/Tx CLK インターフェイスのレイテンシ

IOD モード	方向	レイテンシ サイクル数(Rx/Tx CLK)
RX_DDRX1	入力	1
RX_DDRX2	入力	4
RX_DDRX3P5	入力	6
RX_DDRX4	入力	7
RX_DDRX5	入力	9
TX_DDRX1	出力	2.5
TX_DDRX2	出力	5.5
TX_DDRX3P5	出力	6
TX_DDRX4	出力	10.5
TX_DDRX5	出力	13.5

9. 汎用 IOD インターフェイスの実装

I/O アーキテクチャは、ソース同期 I/O インターフェイス(DDR および QDR メモリ コントローラ等)、共通インターフェイス(RGMII、MIPI D-PHY、7:1LVDS 等)、その他の非メモリ ユーザ インターフェイスをサポートするために各種の機能を備えています。メモリ インターフェイス ソリューション等の一部のインターフェイスは、高速バンク I/O クロック(HSIO_CLK)からインターフェイスのグローバル クロックヘデータを転送するために、ユーザ ソフトトレーニング IP を備えています。

Libero SoC ソフトウェアは、これらのインターフェイスを FPGA 回路に容易に実装できる拡張機能を豊富に備えています。全ての高速インターフェイス(IOD 汎用 RX、IOD 汎用 TX 等)を設定および生成するためにソフトウェアが使われます。このソフトウェアは、各インターフェイス向けのクロック要求を満たす完全な HDL モジュールを生成します。Libero SoC によって構築されたコンポーネントは、I/O ピンからファブリックへの完全なデータパスを含む構造として接続されます。Libero SoC ソフトウェアは、DirectCore カタログ内に以下の I/O インターフェイス コンフィグレータを含みます。

- IOD 汎用 RX
- IOD 汎用 TX

Libero SoC ソフトウェアを使って高速 I/O ギアリング インターフェイスを設計するには、以下の手順に従う必要があります。

1. 定義済みインターフェイスのリストから実装するインターフェイスのタイプを選択します。
2. I/O インターフェイス コンフィグレータを使ってインターフェイスを構成します。
3. I/O インターフェイス コンフィグレータ内で提供される標準アプリケーション向けプリセットを使います。
4. 必要なクロックリソース(CCC 等)を追加します。
5. PPAT (Package Pin Assignment Table)を参照して各インターフェイス向けに正しいクロックおよびデータ ピンを割り当てます。アーキテクチャの変更時に想定される各種問題を軽減するため、できるだけ小さなデバイス/パッケージを選択します。配置配線に関するガイダンスとして『Consolidated IOD Rules』(スプレッドシート)も参照します。
6. タイミングとクロックの制約を確認します。
7. 使用するシングルエンドまたは差動 I/O の規格を定義します。

9.1 ソフトウェア プリミティブ

DDR インターフェイスの実装には各種のソフトウェア プリミティブを使います。Libero SoC I/O コンフィグレータは、これらのプリミティブに基づいてコンポーネントを構築および生成します。

9.1.1 入力遅延ブロック

DELAY ブロックは、入力ピンから入力レジスタ(IREG)へのデータ転送を遅延させるために使います。これにより、入力データパスで生じるスキューを調整します。このブロックに入力されたデータは、以下を使って遅延させる事ができます。

- Static: Libero SoC によって設定された定義済みの遅延値(インターフェイス タイプに基づいてホールド時間が 0 となるよう設定)を使います。
- Dynamic: システム全体で正確なタイミングを維持するため、CCC の DLL からのキャリブレートされたコードを使います。
- Dynamic/Training IP (TIP): このブロックに入力されたデータは、ファブリック IP ロジックに接続した動的遅延制御を使って動的に更新する事もできます。[9.2.3. 「動的遅延制御」](#)を参照してください。

DELAY ブロックは Libero SoC を介して調整できます。これには PDC (Physical Design Constraints)または I/O Editor GUI が使えます。DELAY ブロックは 256 個の設定タブを備えており、PCB 上の物理的接続に適合するよう調整できます。PDC 値は、Libero SoC 既定値による静的設定を上書きします。入力 DELAY ブロックの詳細は [8.2.1. 「プログラマブル I/O 遅延」](#)を参照してください。

9.1.2 入力レジスタ(IREG)

入力レジスタ(IREG)ギアリング ロジック データパスは、以下のレジスタの設定を使います。

- Shift レジスタ
- Update レジスタ
- Transfer レジスタ

これらのレジスタは、特定インターフェイス規格が要求する入力ギアリング、高速ピン信号から低速パラレルコア信号へのデシリャイズ、クロックドメイン間の転送を実装するために使います。

9.1.3 入力 FIFO

有効な DDR データをサンプリングした後に、立ち上がりおよび立ち下がりエッジデータは外部同期信号(例: DDR メモリ コントローラの DQS 等)から内部システムクロックへとクロックドメイン間を移動する必要があります。入力 FIFO は、データの到着タイミングが多少異なっても FPGA で確実にデータを受信できるようにする効果も提供します。

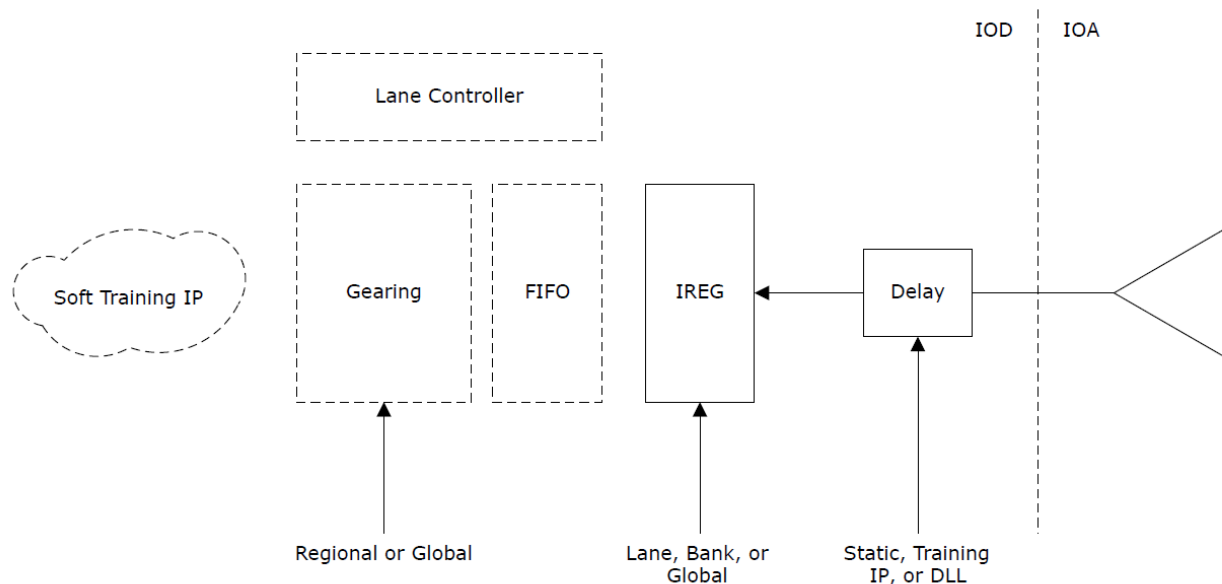
各 I/O の入力 FIFO は、2 個の 8 段フリップフロップ レジスタで構成されます。クロック立ち上がりエッジの入力データ用と立ち下がりエッジの入力データ用にレジスタを 1 個ずつ使います。両方のレジスタはクロック立ち下がりエッジに同期して動作します(直前の半サイクル内に両レジスタのデータが揃い、FIFO 書き込みが立ち下がり同期動作となります)。3 ビットの書き込みポイントと 3 ビットの読み出しポイントが提供されます。FIFO は、クロックドメイン間の移動用に使われます。入力 FIFO の詳細は、8.2.4. 「I/O FIFO」を参照してください。

9.1.4 入力ギアボックス

IGEAR は、入力データをデシリアライズして低速のコアへ転送するために、以下に示す 3 セットのデータレジスタを使います。

- Shift レジスタ: 高速入力クロックで動作します。
- Update レジスタ: 高速入力クロックで動作しますが、クロック コントローラからの更新信号により制御されます。この更新動作は、周波数をコア速度(X2、X3.5、X4、X5)まで減速するために必要なデシリアライズ モードに基づきます。
- Transfer レジスタ: コアシステム クロックで動作します。Update レジスタからシステムクロックへの転送時にタイミング要件が満たされる事を保証する必要があります。

図 9-1. 汎用 DDRX I/O インターフェイス内で使われる IOD モジュール



9.2 I/O インターフェイス コンフィグレータ

I/O インターフェイス コンフィグレータは、デバイスの入出力ピンとファブリックの間のインターフェイスを構成するために使います。このコンフィグレータは IOD ブロックと、インターフェイスに必要な接続機能を含みます。コンフィグレータ内のタブには、構成されたコンポーネントとポートが表示されます。レシーバ コンフィグレータは、GUI の設定操作に基づいてユースケースに対応するインタラクティブに更新される波形ダイアグラム機能を備えています。GUI はシンプルな設計チェック機能も備えており、アーキテクチャに対して不適切なモジュールが作成される事を防ぎます。

9.2.1 IOD テンプレート

多数の IOD テンプレートが、インターフェイスの初期設定用に提供されます。インターフェイス(8.5. 「汎用 I/O インターフェイス」参照)は、テンプレートから導入できます。画面の左の枠内で必要なプリセットを選択し、右クリックします。[Apply]をクリックして関連するインターフェイス設定を GUI へロードします。[View]をクリックしてその設定を表示します。[Apply]をクリックすると、タブ内の設定フィールドにテンプレートの値が自動的に書き込まれます。

す。この方法により、適切な IOD 設定を容易に適用できます。アプリケーションに固有の要件に応じて設定を変更します。ユーザには選択可能な設定が示されます。

9.2.2 IOD 汎用 RX

表 9-1 に、受信インターフェイス ソフトウェアの名前と、それらに関連するデータを示します。

表 9-1. 受信インターフェイス

ソフトウェア名	レシオ	クロック-データ 関係	I/O クロック	ファブリック クロック	レーン 構成	1 レーン Max	動的ビット トレーニング
RX_DDR_G_A	1	Aligned	グローバル	グローバル	X	X	X
RX_DDR_R_A	1	Aligned	リージョナル	リージョナル	✓	✓	X
RX_DDR_G_C	1	Centered	グローバル	グローバル	X	X	X
RX_DDR_R_C	1	Centered	リージョナル	リージョナル	✓	✓	X
RX_DDRX_B_G_A	2、3.5、 4、5	Aligned	高速 I/O	グローバル	✓	X	X
RX_DDRX_B_R_A	2、3.5、 4、5	Aligned	高速 I/O	リージョナル	✓	✓	X
RX_DDRX_B_G_C	2、3.5、 4、5	Centered	高速 I/O	グローバル	✓	X	X
RX_DDRX_B_R_C	2、3.5、 4、5	Centered	高速 I/O	リージョナル	✓	✓	X
RX_DDRX_B_G_FA	2、3.5、 4、5	Fractional Aligned	高速 I/O	グローバル	✓	X	X
RX_DDRX_B_G_DYN	2、3.5、 4、5	Dynamic	高速 I/O	グローバル	✓	X	✓
RX_DDRX_B_R_DYN	2、3.5、 4、5	Dynamic	高速 I/O	リージョナル	✓	✓	✓

図 9-2 に、IOD 汎用受信インターフェイス向けコンフィグレータの[Configuration]タブを示します。

図 9-2. IOD 汎用受信インターフェイス — [Configuration]タブ

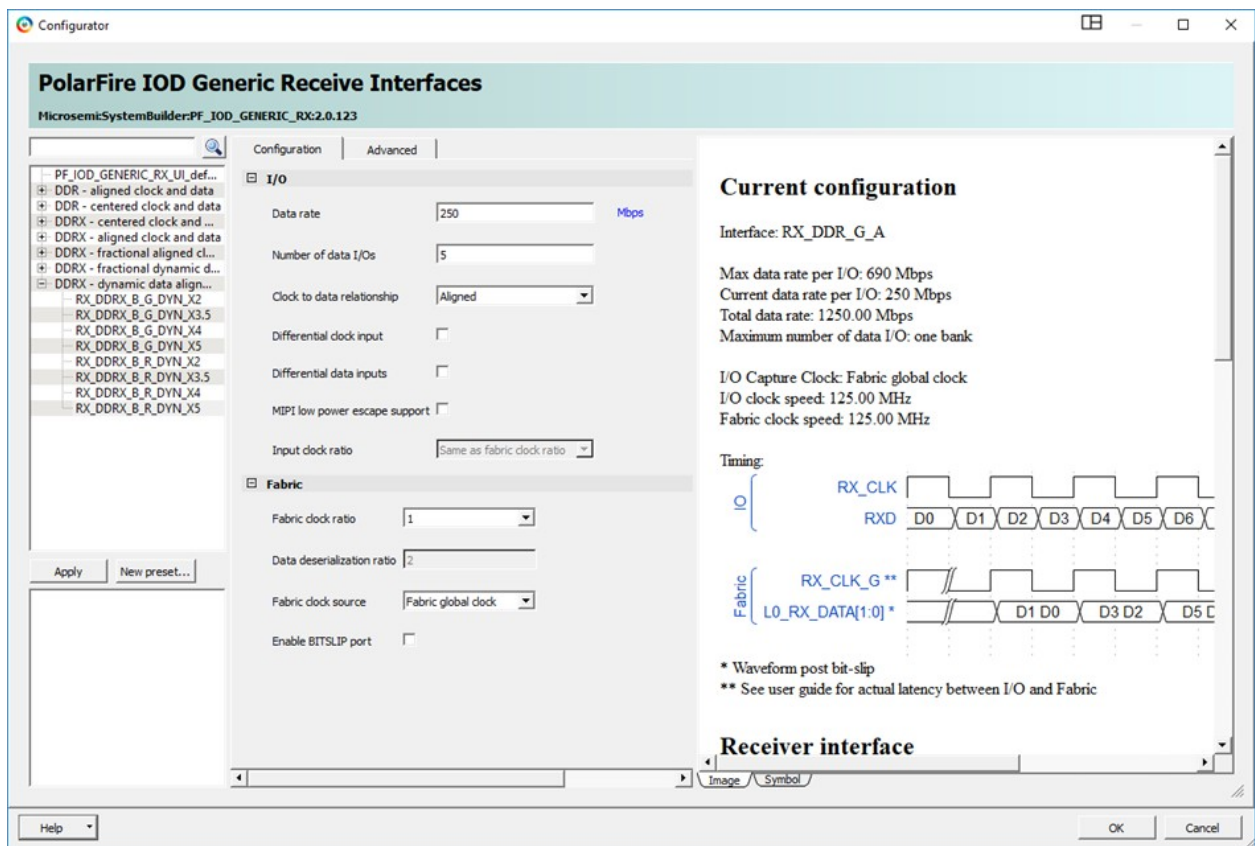


表 9-2. IOD 汎用受信インターフェイス — [Configuration]タブ

GUI オプション	選択
Data rate	ユーザ入力 ¹
Number of data I/Os	ユーザ入力 – 必要な RX データ入力の数(1~128)
Clock to data relationship	Aligned、Centered、Dynamic、Fractional-aligned、Fractional-dynamic ² から選択
Differential clock inputs	シングルエンドの場合は無効、差動の場合は有効
Differential data inputs	シングルエンドの場合は無効、差動の場合は有効
MIPI low power escape support	無効または有効
Input clock ratio	1、2、3.5、4、5
Data deserialization ratio	IOD コンポーネントからファブリックへの定義済みポート数
Fabric clock source	Fabric regional clock または Fabric global clock
Enable BITSLLIP port	無効または有効 有効にした場合、BITSLLIP 入力を利用可能になります(8.4.5. 「ビットスリップ」参照)。ファブリック クロックレシオが 3.5 である場合、ビットスリップは使えません。

(1) 有効なデータレートは図 9-2 内の右側のパネルに表示されます。

図 9-3. IOD 汎用受信インターフェイス — [Advanced]タブ

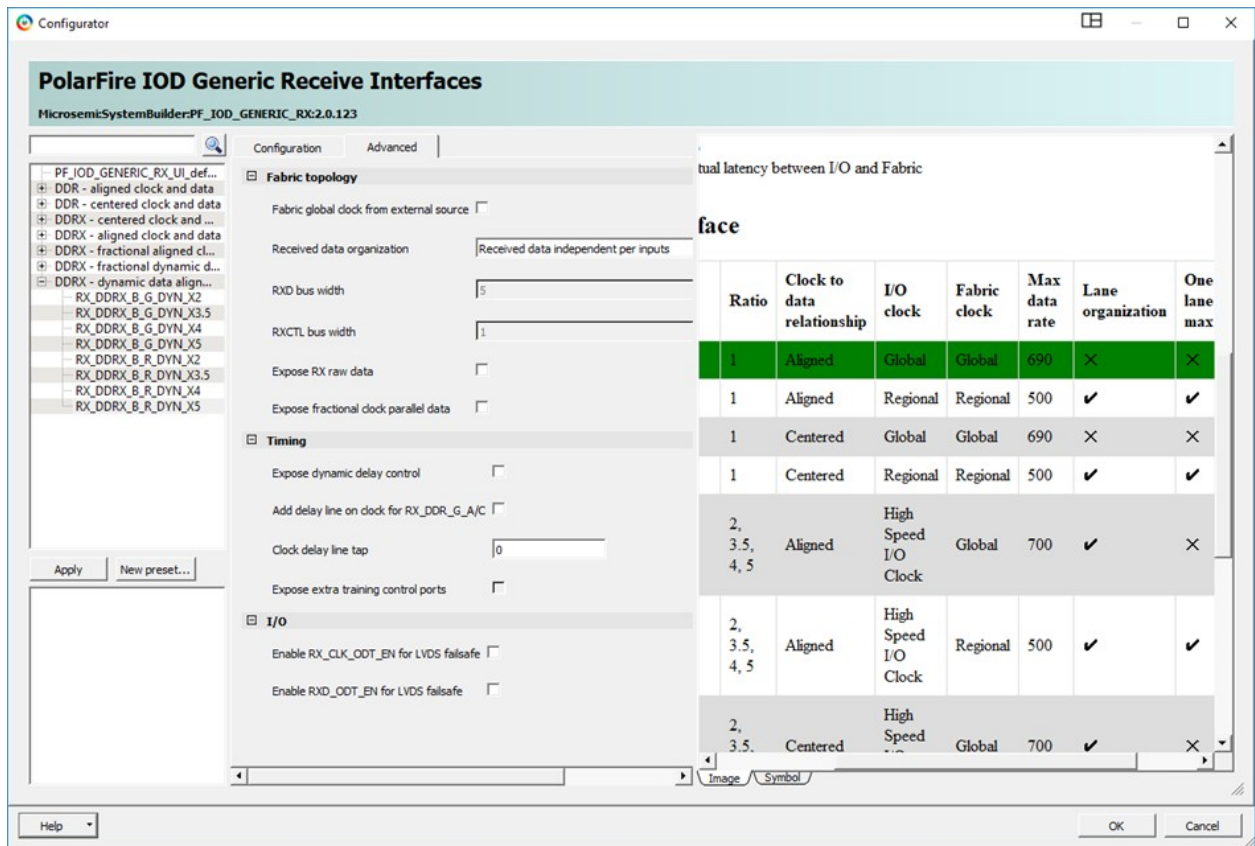


表 9-3. IOD 汎用受信インターフェイス — [Advanced]タブ

GUI オプション	選択
Fabric global clock for external source	無効または有効
Received data organization	Received data spread over inputs、Received data independent over inputs、Received data spread over inputs with data/Control split から選択
RXD bus Width	これによりデータバスの分割が可能となります。
RXCTL bus Width	これによりデータバスの分割が可能となります。
Expose Rx raw data	無効または有効 有効にした場合、RXD_RAW_DATA ポートがモジュール上で利用可能になります。このポートは、5 を除く全てのファブリック クロックレシオ向けに利用可能です。
Expose fractional clock parallel data	無効または有効 Fractional インターフェイスの場合、RXD_CLK_DATA はデータ再フレーム化に対して必要なビットスリップを指定します。
Expose dynamic delay control	無効または有効(表 9-4 参照)
Add delay line on clock for RX_DDR_G_A/C	クロックパスに対する静的遅延チェーンの追加を有効にします。
Clock delay line tap	追加する遅延タップの数を指定します(8.2.1. 「プログラマブル I/O 遅延」参照)。
Enable RX_CLK_ODT_EN for LVDS failsafe	7.2.10. 「動的 ODT またはフェイルセーフ LVDS」参照
Enable RXD_ODT_EN for LVDS failsafe	7.2.10. 「動的 ODT またはフェイルセーフ LVDS」参照

9.2.3 動的遅延制御

動的レシーバ遅延制御は、IOD コンフィグレータ内で有効にする事により利用可能となります。図 9-3 に示す IOD コンフィグレータ内の[Advanced]タブ内の[Debug]枠内で[Expose dynamic delay control]チェックボックスを有効にする事により、ポートを追加します。これらのポートは、RX_DDRX_DYNAMIC インターフェイスのいずれかを選択した場合に自動的に利用可能となります。

表 9-4. 動的遅延制御ポート

ポート	I/O	概要
DELAY_LINE_MOVE	入力	立ち上がりエッジで遅延設定を変更
DELAY_LINE_DIRECTION	入力	遅延設定の方向を指定
DELAY_LINE_LOAD	入力	遅延の非同期リロード フラッシュ設定
DELAY_LINE_OUT_OF_RANGE	出力	遅延設定が許容レンジの最大値または最小値に到達した事を示します。 DELAY_LINE_LOAD 信号は、静的フラッシュビット遅延設定の初期値を非同期でリロードします。 DELAY_LINE_MOVE 信号はパルスです。1つのパルスあたり遅延設定を ± 1 ずつ変更します。変更する方向は DELAY_LINE_DIRECTION 信号の値によって決まります。 DELAY_LINE_DIRECTION = 1 の場合、遅延設定は 1 つ増加します。 DELAY_LINE_DIRECTION = 0 の場合、遅延設定は 1 つ減少します。 遅延設定が遅延チェーンの最小値または最大値に達すると、遅延チェーンコントローラは DELAY_LINE_OUT_OF_RANGE 出力を生成します。この後に DELAY_LINE_MOVE 信号パルスが入っても、遅延設定は最小または最大設定から変更されません。
EYE_MONITOR_EARLY[n:0]	出力	クロックエッジに接近したデータエッジがクロックエッジより進んでいる場合、EYE_MONITOR_EARLY がアサートされます。この場合、遅延設定を下げる必要があります。
EYE_MONITOR_LATE[n:0]	出力	クロックエッジに接近したデータエッジがクロックエッジより遅れている場合、EYE_MONITOR_LATE がアサートされます。この場合、遅延設定を上げる必要があります。
EYE_MONITOR_CLEAR_FLAGS[n:0]	入力	EYE_MONITOR_CLEAR_FLAGS 入力信号は、EYE_MONITOR_EARLY または EYE_MONITOR_LATE フラグをクリアするために使います。この信号はファブリックから出力され、直前のフラグ設定に基づいて遅延チェーン設定を増減する事を示します。
EYE_MONITOR_WIDTH[2:0]	入力	EYE_MONITOR_WIDTH<2:0>信号は、データエッジとクロックエッジの間の最小遅延要件をプログラマブルに設定するために使います。プログラマブル遅延設定は 1、2、3、4、5、6、8 刻みで設定されます。この遅延設定は、クロックエッジとデータエッジの間の遅延を設定します。 データエッジがクロックエッジに対してこの最小設定値より接近した場合、フラグが生成されます。これらの信号をコアから動的に制御可能とする事で、アイパターン開口部の相対的なサイズを特定できます。

9.2.4 IOD 汎用 TX

表 9-5 に、送信インターフェイス ソフトウェアの名前と、それらに関連するデータを示します。

表 9-5. 送信インターフェイス

ソフトウェア名	レシオ	クロック/データ関係	I/O クロック	ファブリック クロック	最大データレート (Mbps)
TX_DDR_G_A	1	Aligned	グローバル	グローバル	500
TX_DDR_G_C	1	Centered	グローバル	グローバル	500
TX_DDR	1	No forwarded clock	グローバル	グローバル	500
TX_DDRX_B_A	2、3.5、4、5	Aligned	高速 I/O クロック	グローバル	1000、1600、 1600、1600
TX_DDRX_B_C	2、3.5、4、5	Centered	高速 I/O クロック	グローバル	1000、1600、 1600、1600
TX_DDRX_B	2、3.5、4、5	No forwarded clock	高速 I/O クロック	グローバル	1000、1600、 1600、1600

図 9-2 に、IOD 送信インターフェイス向けコンフィギュレータの[Configuration]タブを示します。

図 9-4. IOD 汎用送信インターフェイス — [Configuration]タブ

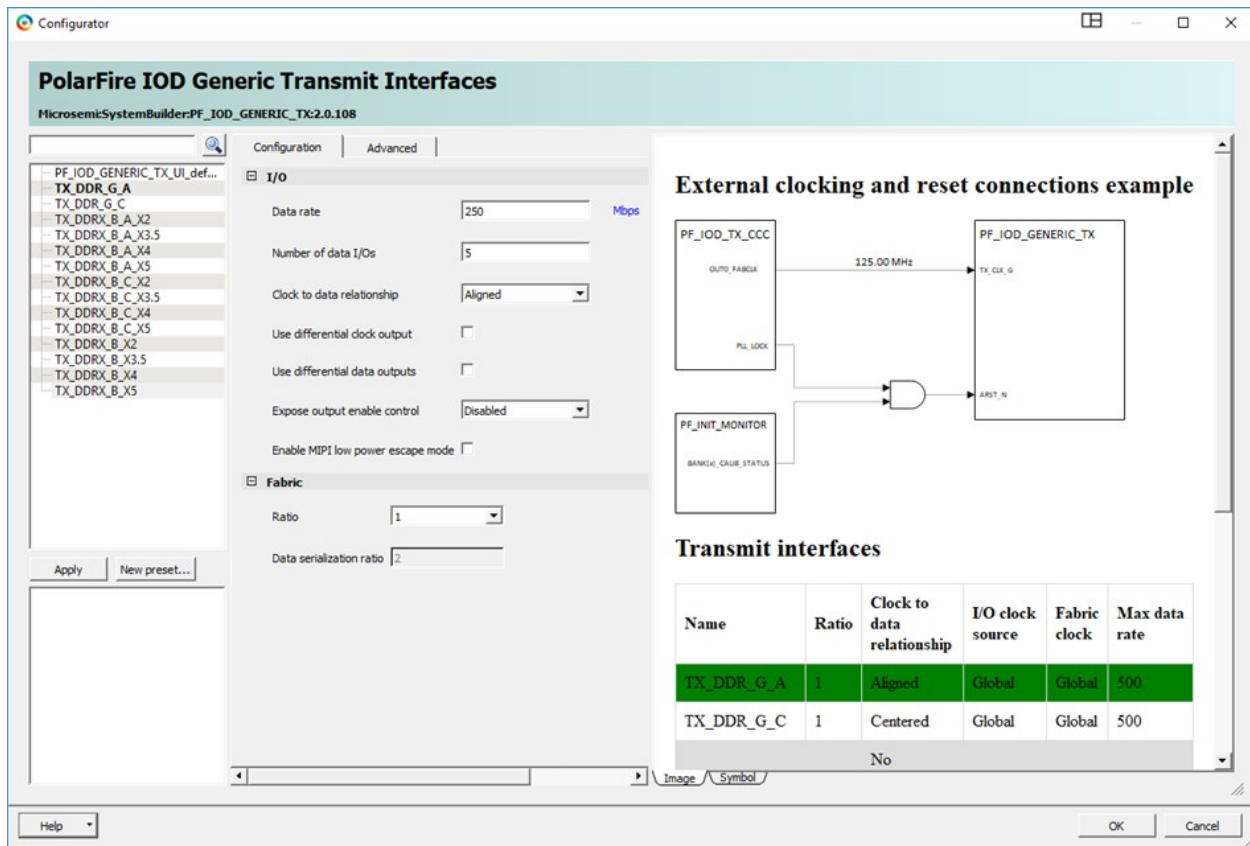


表 9-6. IOD 汎用送信インターフェイス — [Configuration]タブ

GUI オプション	選択
Data rate	ユーザ入力 ¹
Number of data I/Os	ユーザ入力
Clock to data relationship	Aligned、Centered、No Forwarded Clock

.....続き

GUI オプション	選択
Use differential clock output	シングルエンドの場合は無効、差動の場合は有効
Use differential data outputs	シングルエンドの場合は無効、差動の場合は有効
Enable MIPI low power escape mode	有効/無効
Ratio	1、2、3.5、4、5
Data serialization ratio	レシオ設定から生成

(1) 有効なデータレートは、図 9-4 内の右側のパネルに表示されます。

図 9-5. IOD 汎用送信インターフェイス — [Advanced]タブ

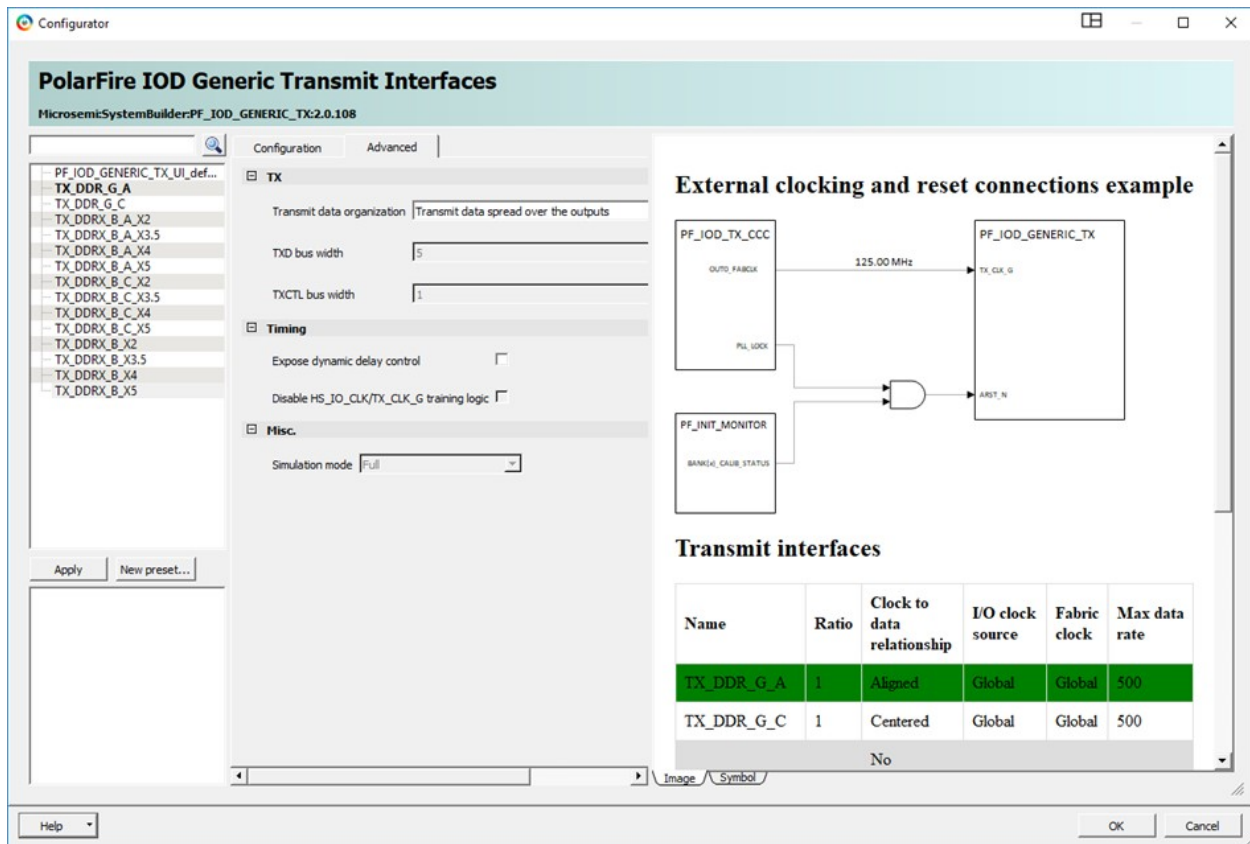


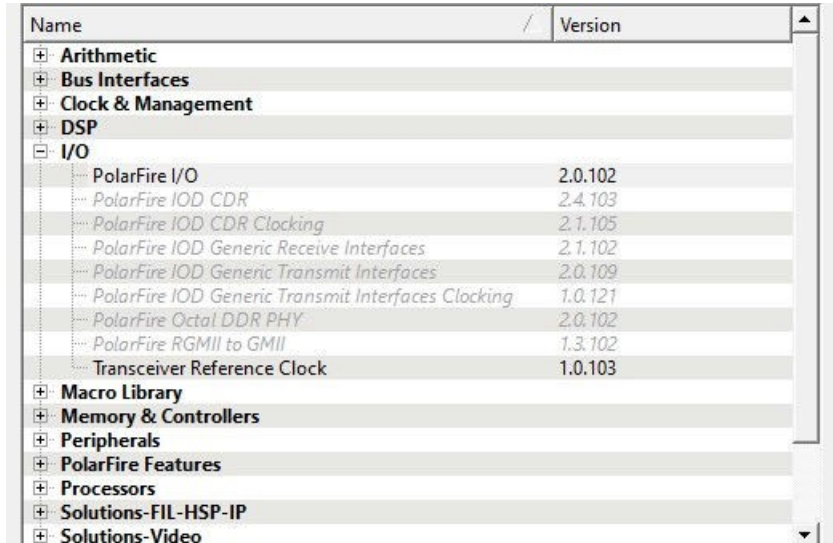
表 9-7. IOD 汎用送信インターフェイス — [Advanced]タブ

GUI オプション	選択
Transmit data organization	Transmit data spread over outputs、Transmit data independent over outputs、Transmit data spread over outputs with data/Control split から選択
TXD bus width	これによりデータバスの分割が可能となります。
TXCTL bus width	これによりデータバスの分割が可能となります。
Expose dynamic delay control	無効または有効(表 9-4)参照
Simulation mode	Full

9.3 ベーシック I/O コンフィグレータ — PF_IO

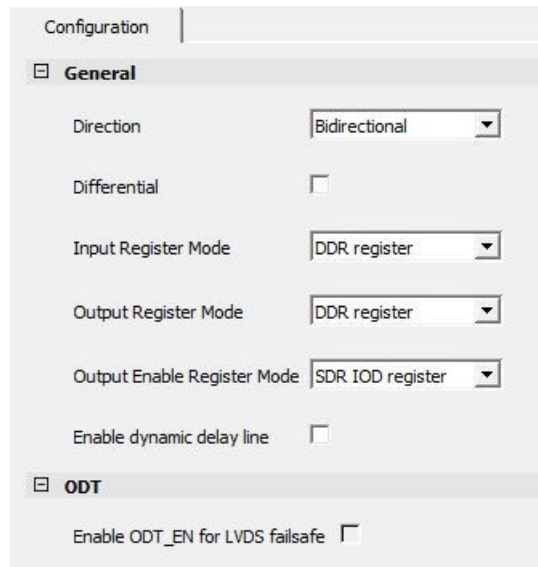
ベーシック I/O コンフィグレータは、Libero SoC カタログ内で利用できます。このツールを使ってシンプルな I/O マクロを作成できます。I/O マクロの詳細は、『[PolarFire Macro Library Guide](#)』を参照してください。

図 9-6. I/O コンフィグレータ



I/O コンフィグレータでは、1つのタブを使って I/O コンポーネントを設定します。この GUI には、ユーザの設定を反映した I/O コンポーネントのシンボルも表示されます。

図 9-7. I/O コンフィグレータの[Configuration]タブ



[Direction]プルダウン メニューでは Bidirectional、Input、Output、Tribuf を選択できます。[Differential]チェックボックスにより、シングルエンドまたは差動 I/O を選択します。このコンフィグレータで I/O 規格を選択する事はできません。I/O 規格は I/O Editor または PDC を使って選択する必要があります。

[Input Register Mode]および[Output Register Mode]プルダウン メニューでは non-registered、SDR registered、DDR registered インターフェイスを選択できます。non-registered モードは、シンプルな I/O バッファ コンポーネントを生成します。registered モードは、SDR または DDR リソースを入力または出力もしくはその両方に追加する事により、シンプルなレジスタ インターフェイスを構成します。このモードはシンプルな DDR アプリケーション向けに使用えます。I/O コンフィグレータでは、DDR モードは IOD エレメントを使って、低スキュークロック管理機能を持たない DDR1X コンフィグレーションを構成します。DDR1X 波形については図 8-15 と図 8-22 を参照してください。

ソース同期回路向けには、低スキュークロック管理機能を備えた IOD インターフェイスを使う必要があります。

9.2. 「I/O インターフェイス コンフィグレータ」を参照してください。

[Enable dynamic delay line]チェックボックスを有効にすると、入力または出力パス内の遅延チェーン構造を制御する事が可能となります。この機能は、既定値により無効です。入力または出力バッファからの高速パスが使われます。この機能を有効にした場合、コンポーネントは遅延ロジックとパスのチューニングを制御するためのファブリック IP 向け制御を含みます。

[Enable ODT_EN for LVDS failsafe]チェックボックスを有効にすると、差動入力マクロに対するイネーブルポートが利用可能となります。このイネーブルピンは、フェイルセーフ LVDS 等のアプリケーションで ODT レジスタを必要に応じて動的に有効/無効にするために使われます。

9.4 I/O インターフェイスのタイミング制約

Libero SoC は、IOD インターフェイス内で使われる回路コンポーネント向けに SDC タイミング制約ファイルを生成する事ができます。これらの SDC 制約は、IOD ブロック(特定 IOD 機能向けに必要なサブブロックを含む)の構成に基づいて生成されます。SDC 制約ファイルは、<root>_derived_constraints.sdc として保存されます。

静的 IOD Rx および Tx インターフェイスの場合、自動的に生成された制約ファイルを使って静的タイミングを解析できます。動的 IOD Rx インターフェイスは、ハードウェア上のトレーニングによって I/O タイミングを PCB 特性に適合させます。自動生成された SDC 制約の遅延レンジは広いため、インターフェイスを動的モードで設定した場合、IOD 汎用 Rx の外部セットアップ/ホールド タイミングを正確に評価する事はできません。

IOD Rx および Tx を使う場合、タイミングおよび物理的制約向けに生成された制約を使う必要があります。SmartTime からのタイミング違反情報に基づいて **I/O Editor** で適切なタップ遅延(IOD Rx 向け IN_DELAY と IOD Tx 向け OUT_DELAY)を定義し、生成された PDC 制約を Place and Route 向けに使います。デバイスをプログラミングする前に、SmartTime 内でタイミング違反が存在しない事を確認する必要があります。ユーザは、必要に応じてタップ遅延を定義する必要があります。

10. プロトコル固有の I/O インターフェイス

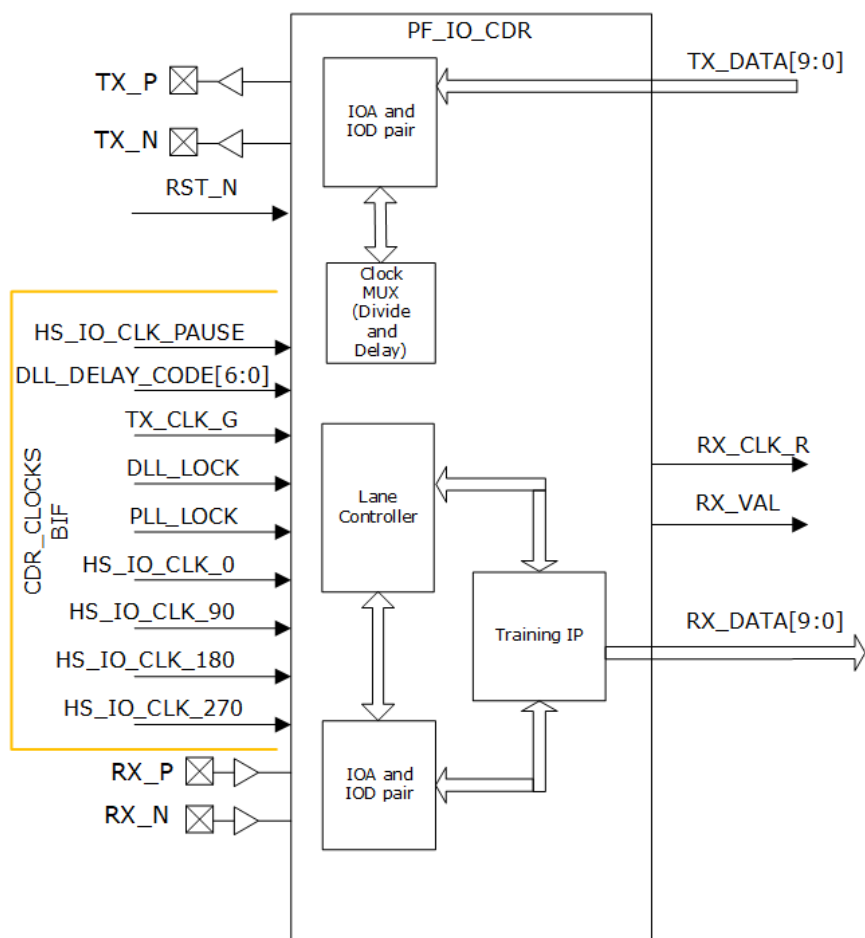
以下では、プロトコル固有の I/O インターフェイスについて説明します。

10.1 PF_IOD_CDR

PF_IOD_CDR インターフェイスは、シリアルデータ転送向けに非同期レシーバおよびトランシーバ インターフェイスを提供します。このインターフェイスは最大 1 GbE のデータ転送をサポート可能です。このインターフェイスはシリアル プロトコルと、その他、類似エンコードのシリアル プロトコルをサポートします。PF_IOD_CDR は 10:1 のデジタルレシオを使って、送信モードと受信モードの両方で 10 ビットデータ/クロック インターフェイスを提供します。受信モードでは、レーン コントローラ内でクロックリカバリ回路を使ってクロック信号を復元します。PF_IOD_CDR インターフェイスは、TBI モードで設定された CoreTSE、CoreTSE_AHB、CoreSGMII と互換です。PF_IOD_CDR を使ったリファレンス デザインが『[DG0799: PolarFire FPGA 1G Ethernet Loopback Using IOD CDR Demo Guide](#)』に記載されています。

図 10-1 に、PF_IOD_CDR 送信および受信インターフェイスを示します。

図 10-1. PF_IOD_CDR 送信および受信インターフェイス モード

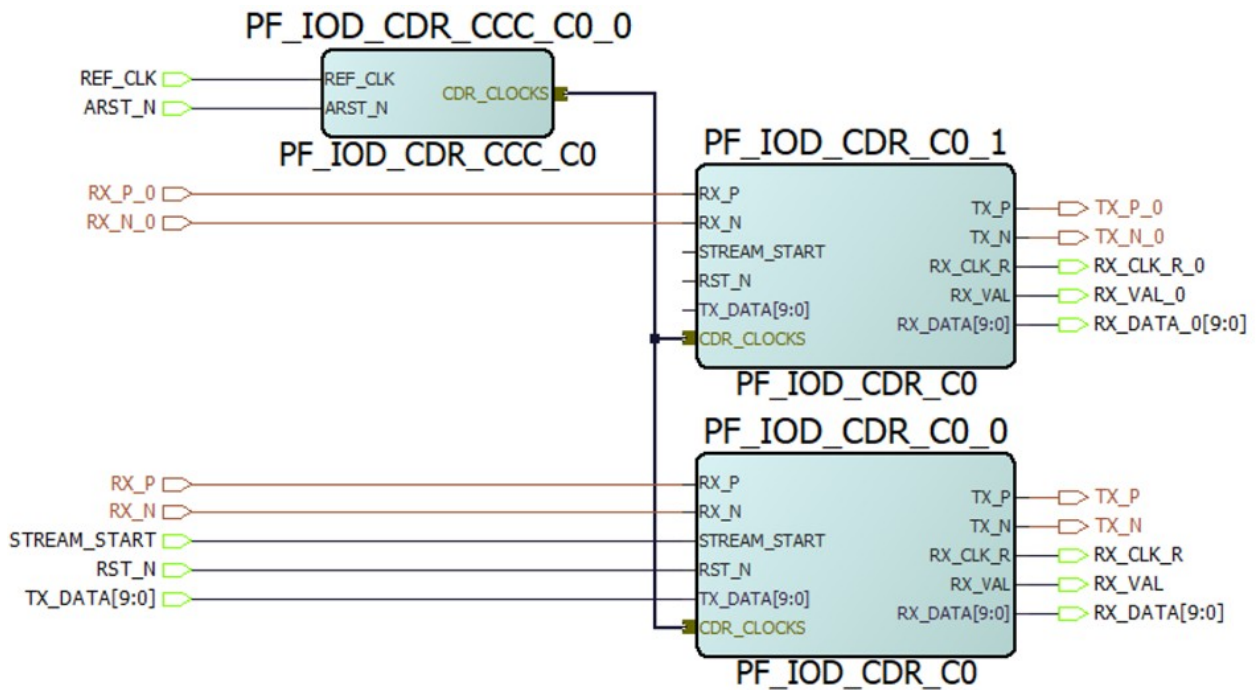


IOD_CDR ソリューションは、以下の 2 つの専用 IP コアを要求します。

- PF_IOD_CDR
- PF_IOD_CDR_CCC

これらのコアはマスタ/スレーブ共有をサポートします。PF_IOD_CDR_CCC から PF_IOD_CDR.BIF へのクロック出力の接続用に BIF が使えます。

図 10-2. IOD_CDR トポロジの SmartDesign



10.1.1 IOD CDR

図 10-3 に、IOD CDR コンフィグレータを示します。

図 10-3. IOD CDR コンフィグレータ

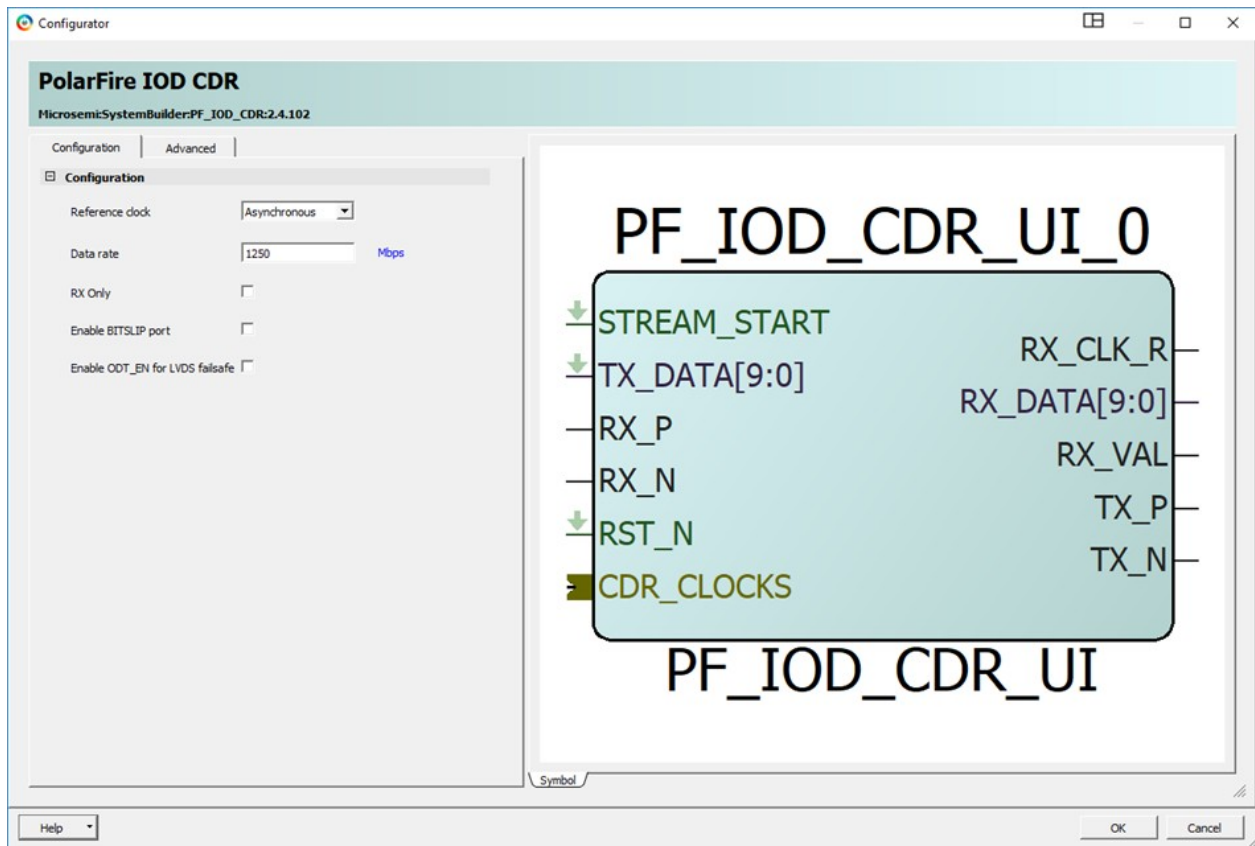


表 10-1. IOD CDR コンフィグレータ内の設定

GUI オプション	選択
Data rate	ユーザ入力 – 最大 1250 Mb/s
Reference Clock	Asynchronous (300 PPM Rx/Tx clocking)または Synchronous (0 PPM Rx/TX clocking)、既定値は Asynchronous
RX Only	チェックを付けると RX のみとなります。
Enable BITSLLIP port	無効または有効

10.1.2 受信インターフェイス

PF_IOD_CDR 受信インターフェイスは 4 つの高速バンククロックを使い、クロックリカバリによりクロック信号を復元します。IOD 内のレーン コントローラはクロックリカバリ ブロックを含みます。レーン コントローラは受信データと 4 つのバンククロックを使って RX_CLK_R (DIVCLK と呼ぶ)を生成します。ダウンストリーム IP またはロジックはこのクロックを使います。シリアルデータは IOA ペアで受信され、対応する IOD ブロックへ送信されます。IOD ブロックは 10:1 デジタルレシオを使います。IOD ブロックは復元されたクロックを使ってコアへのシリアルデータ ストリームをキャプチャします。

CDR 動作は、シリアル データレートの 1/2 の周波数で動作する HS_IO_CLK の 4 相を必要とします。ファブリックへの RX_CLK_R には、このクロック生成時の位相の切り換えによるジッタが含まれます。

10.1.3 送信インターフェイス

PF_IOD_CDR 送信インターフェイスは IOD インターフェイスを使ってパラレルデータをシリアル データストリームへ変換します。このインターフェイスはパラレルデータ TXD[9:0]を受信し、I/O ポート(TX_P/TX_N 等)を介してこれを送信します。PF_IOD_CDR 送信インターフェイスは、受信インターフェイスと同じ PLL を使います。生成された送信クロックは、PF_IOD_CDR の TX_CLK_G ピンに接続されます。ソースクロックは HS_IO_CLK_0 に接続されます。

表 10-2 に、PF_IOD_CDR インターフェイスに関連するポートを示します。

表 10-2. PF_IOD_CDR インターフェイスに関連するポート

ポート	I/O	BIF	概要
HS_IO_CLK_0 ¹	入力	CDR_CLOCKS	位相 0°のバンククロックは、受信インターフェイスと送信インターフェイスの両方で使われます。周波数はシリアルデータ入力レートの 1/2 である必要があります。
HS_IO_CLK_90 ¹	入力	CDR_CLOCKS	位相 90°のバンククロックは、I/O クロックリカバリ用に使われます。周波数はシリアルデータ入力レートの 1/2 である必要があります。
HS_IO_CLK_180 ¹	入力	CDR_CLOCKS	位相 180°のバンククロックは、I/O クロックリカバリ用に使われます。周波数はシリアルデータ入力レートの 1/2 である必要があります。
HS_IO_CLK_270 ¹	入力	CDR_CLOCKS	位相 270°のバンククロックは、I/O クロックリカバリ用に使われます。周波数はシリアルデータ入力レートの 1/2 である必要があります。
PLL_LOCK	入力	CDR_CLOCKS	CCC-PLL からのロック信号
HS_IO_CLK_PAUSE	入力	CDR_CLOCKS	HS_IO_PAUSE のトグル: – IOD RX ステートマシンをリセットします。このリセットは、パターンを HS_IO_CLK (バンククロック) と RXCLK に対して再同期します。 – SLIP 動作によって実行された全ての調整をリセットします。 – IOD TX ステートマシンをリセットします。このリセットは、HS_IO_CLK と TXCLK を同期します。
DLL_LOCK	入力	CDR_CLOCKS	CCC-DLL からのロック信号
TX_CLK_G	入力	CDR_CLOCKS	ファブリックからの送信クロック
DLL_DELAY_CODE[6:0] ²	入力	CDR_CLOCKS	DLL-CCC からの遅延コードバス入力 データの 90°位相向け DLL 遅延コード
DLL_VALID_CODE	入力	CDR_CLOCKS	マスタ IO_CDR レーンからの遅延有効入力
CDR_START	入力	CDR_CLOCKS	マスタ IO_CDR レーンからの開始信号
STREAM_START	入力		High 入力は、CDR クロックへの STREAM_START 信号が有効な受信シリアル データストリームであることを示します。 この信号を High に固定してはいけません。入力データストリームが有効である場合にのみ High へ遷移するよう制御する必要があります。これは起動時または電源投入時に極めて重要です。
TX_DATA[9:0]	入力		送信パラレルデータ
ODT_EN	入力		オンダイ ターミネーション イネーブル入力 最適なピンが LVDS フェイルセーフ動作で使われます(7.2.10. 「動的 ODT またはフェイルセーフ LVDS」 参照)。
RX_P	入力 ピン		シリアルデータ入力(P)
RX_N	入力 ピン		シリアルデータ入力(N)
RX_BIT_SLIP ³	入力		このポートを使って IOD からのパラレル データワードをローテートする事で、レーンごとにデータをアライメントします。
RST_N ⁴	入力		非同期アクティブ Low リセット入力

.....続き			
ポート	I/O	BIF	概要
RX_CLK_R	出力		ファブリック インターフェイス向けに復元されたクロックは、HS_IO_CLK から 5 分周されます。このクロックは、リージョナル クロックを使って供給されます。
RX_VAL	出力		STREAM_START によって入力データが有効である事が示された後に、CDR は入力シリアルデータに対してロックされます。IO_CDR がデータに対してロックされた事が RX_VAL の High への遷移によって示された後にデータストリームが途絶しても RX_VAL は Low へ遷移しません。
TX_P	出力 ピン		シリアルデータ出力(P)
TX_N	出力 ピン		シリアルデータ出力(N)

(1) PLL は任意の参照クロック入力周波数(既定値は 125 MHz)を受け入れ、4 つの出力で位相が 0/90/180/270°シフトした 625 MHz クロックを出力します。

(2) DLL はクロック参照モードで PLL 出力からの 625 MHz 参照クロック入力を受け入れ、クロック周期の 1/4 となる遅延コードを出力します。遅延コードは、CDR クロック位相の遅延を微調整するための計算で使われます。

(3) BITSLLIP を有効にして Lx_BIT_SLIP を利用可能とするためのユーザ オプションピンです。

(4) IOCDR の IOD ブロックをリセットします。DLL はリセットしません。

表 10-3. [Advanced]タブ内のオプション

GUI オプション	選択
Jump Size Step	既定値を変更してはいけません。
Expose Diagnostic Ports	チェックを付けると解析用(Diagnostic)ポートが利用可能となります(表 10-4 参照)。
Flag Window Size	既定値を変更してはいけません。

表 10-4. 解析用(Diagnostic)ポート

ポート	I/O	概要
SELA_LANE[10:0]	出力	内部 CDR クロックが遅延ライン A から B (またはその逆) に切り換わった時に SELA/SELB ビット[1:0] がトグルします。
SELB_LANE[10:0]	出力	その他のビット[9:0] はデバッグ時に無視できます。
EARLY_N	出力	EYE_MONITOR_EARLY および EYE_MONITOR_LATE フラグ出力は、データエッジが最小設定値よりもクロックエッジに近いかどうかを示します。
LATE_N	出力	—
CDR_READY	出力	この出力は CDR がロックされた時にアサートされ、リセットまで High を保持します。
SWITCH_LANE	出力	クロック位相シフトが発生した時にトグルします。
CLR_FLAGS_N	出力	SWITCH_LANE 出力がアサートされた時の位相シフトの方向(遅延の増加/減少)は EARLY/LATE フラグによって決まります。SWITCH_LANE が High の時に EARLY および LATE フラグの両方が High である場合、クロックジッタが存在し、データエラーが生じる可能性があります。

10.1.4 IOD CDR クロック

IOCDR インターフェイスをサポートするために、専用の CCC が Libero SoC により生成されます。PF_IOD_CDR_CCC コンフィグレータは、モジュールを生成するためのオプションを提供します。データレートと CCC PLL クロック通倍比に基づいて REF_CLK 入力が必要されます。

IOCDR は Libero SoC によってプリセットされたレシオ(=5)でのみ動作するため、PF_IOD_CDR_CCC は TX_CLK_G の生成に対する分周比制御を許容しません。Libero SoC は制約マネージャ内で生成された適正なタイミング制約(下記)を提供します。

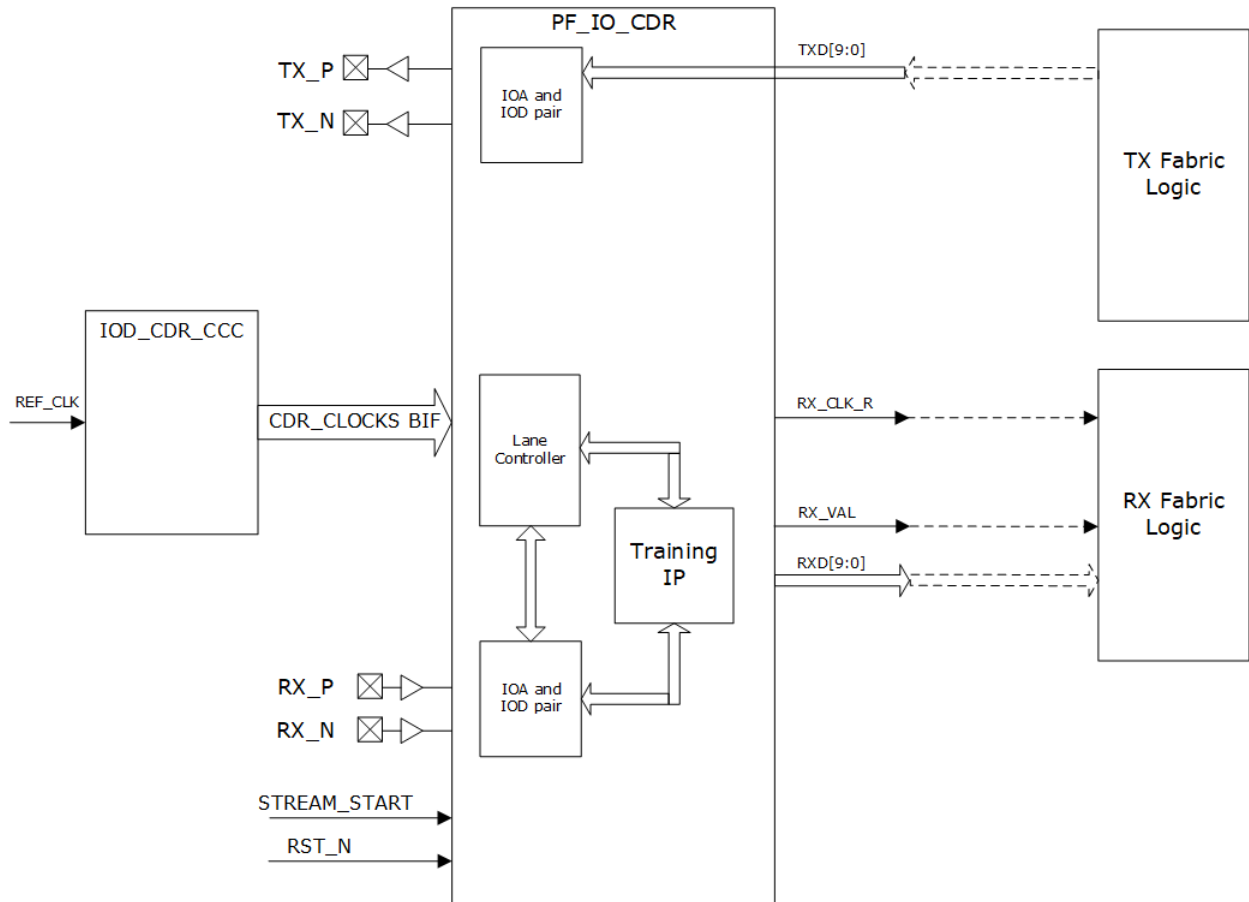
```
create_generated_clock -name {PF_IOD_CDR_CCC_C0_0/PF_CLK_DIV_0/I_CD/Y_DIV} -edges {1 7 11} - source
[ get_pins { MY_DESIGN/PF_IOD_CDR_CCC_C0_0/PF_CLK_DIV_0/I_CD/A } ] [ get_pins { MY_DESIGN/
PF_IOD_CDR_CCC_C0_0/PF_CLK_DIV_0/I_CD/Y_DIV } ]
```

10.1.4.1 PF_IOD_CDR_CCC を使った HS_IO_CLK の生成

PF_IOD_CDR 受信インターフェイスへは、データレートで動作する 4 バンクのクロック(0/90/180/270°)が 1 つの PLL から供給されます。PF_IOD_CDR_CCC は Libero SoC IP カタログ内で利用できます。PF_IOD_CDR 送信インターフェイスは PLL の OUT0 上のファブリック クロックを使って送信クロックを生成します。

図 10-4 に、IOD_CDR_CCC とファブリック ロジックに接続した PF_IOD_CDR インターフェイスを示します。

図 10-4. PF_IOD_CDR インターフェイス

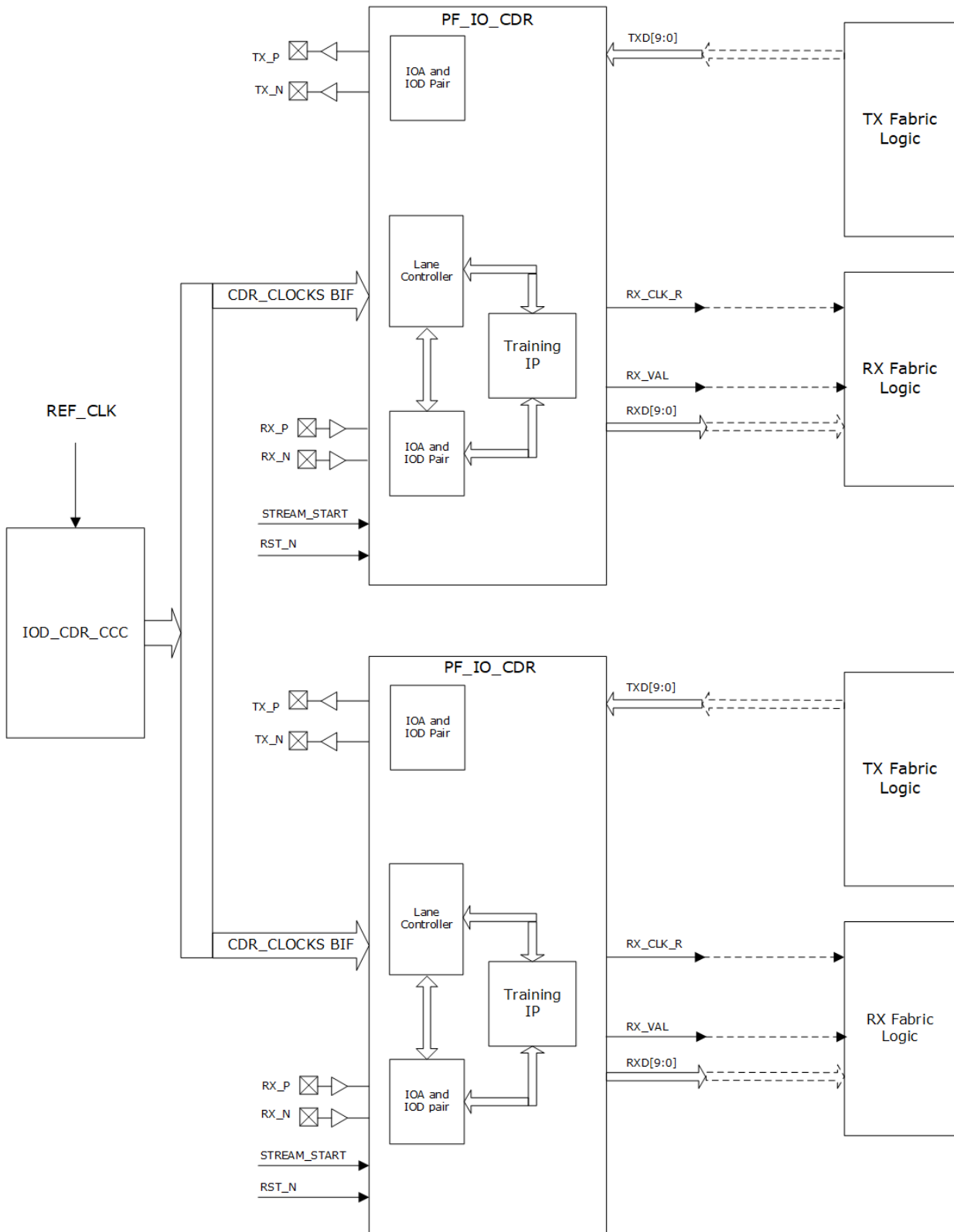


10.1.5 クロック共有

PF_IOD_CDR の受信インターフェイスと送信インターフェイスは同じ PLL を共有します(図 10-5 参照)。PLL がデバイスのコーナーに配置されていることから、North または South 端と East または West 端にある PF_IOD_CDR インターフェイス同士は同じ PLL を共有できます。例えば、PLL_SW_0 インターフェイスは South 端と West 端上の PF_IOD_CDR インターフェイスを駆動できます(3. 「I/O バンク」参照)。

図 10-5 に、複数の PF_IOD_CDR 送信および受信インターフェイスを使用する場合の例を示します。

図 10-5. 複数の PF_IOD_CDR 送信および受信インターフェイスの使用



10.1.5.1 インターフェイスの選択規則

PF_IOD_CDR インターフェイスに対するピンの割り当てには以下の規則が適用されます。

- 1つの差動入力 IOA、1つの差動出力 IOA
- IOA に関連付けた 4つの IOD、1つのフローティング IOD
- フローティング IOD は DQS 機能を備えた N 側 IOD サイト内に配置する事
- DQS 機能を備えた N 側 IOA は使えない
- データレートが同じで同じレーングループ内に配置された複数インスタンスの PF_IOD_CDR は 1つの PF_IOD_CDR_CCC を共有できる
- PF_IOD_CDR_CCC は 1つの PLL、1つの DLL、1つの LANECTRL を使う事
- 送信および受信 IOA は同じレーン内に配置される事
- 2つの異なるインターフェイスからの IOA (TX/RX/DDR/QDR/OCTAL/CDR) は同じ I/O レーン内に配置できない

10.1.5.2 全二重 1GbE および SGMII IOCDR

全二重 1GbE および SGMII IOCDR は GPIO バンク内で、1レーンあたり 1つだけサポートされます。表 10-5 に、PolarFire FPGA の各デバイス/パッケージごとの 1GbE および SGMII IOCDR の数を示します。

表 10-5. 各デバイス/パッケージの 1GbE および SGMII IOCDR

タイプ/サイズ/ピッチ	デバイス/パッケージあたりの 1GbE/SGMII IOCDR 数			
	MPF100	MPF200	MPF300	MPF500
FCSG325 (11x11, 11x14.5*, 0.5 mm)	7	7	—	—
FCSG536 (16x16, 0.5 mm)	—	15	15	—
FCVG484 (19x19, 0.8 mm)	13	13	13	—
FCG484 (23x23, 1.0 mm)	12	12	12	—
FCG784 (29x29, 1.0 mm)	—	18	18	18
FCG1152 (35x35, 1.0 mm)	—	—	19	19

表 10-6 に、PolarFire SoC FPGA の各デバイス/パッケージごとの 1GbE および SGMII IOCDR の数を示します。

表 10-6. 各デバイス/パッケージの 1GbE および SGMII IOCDR

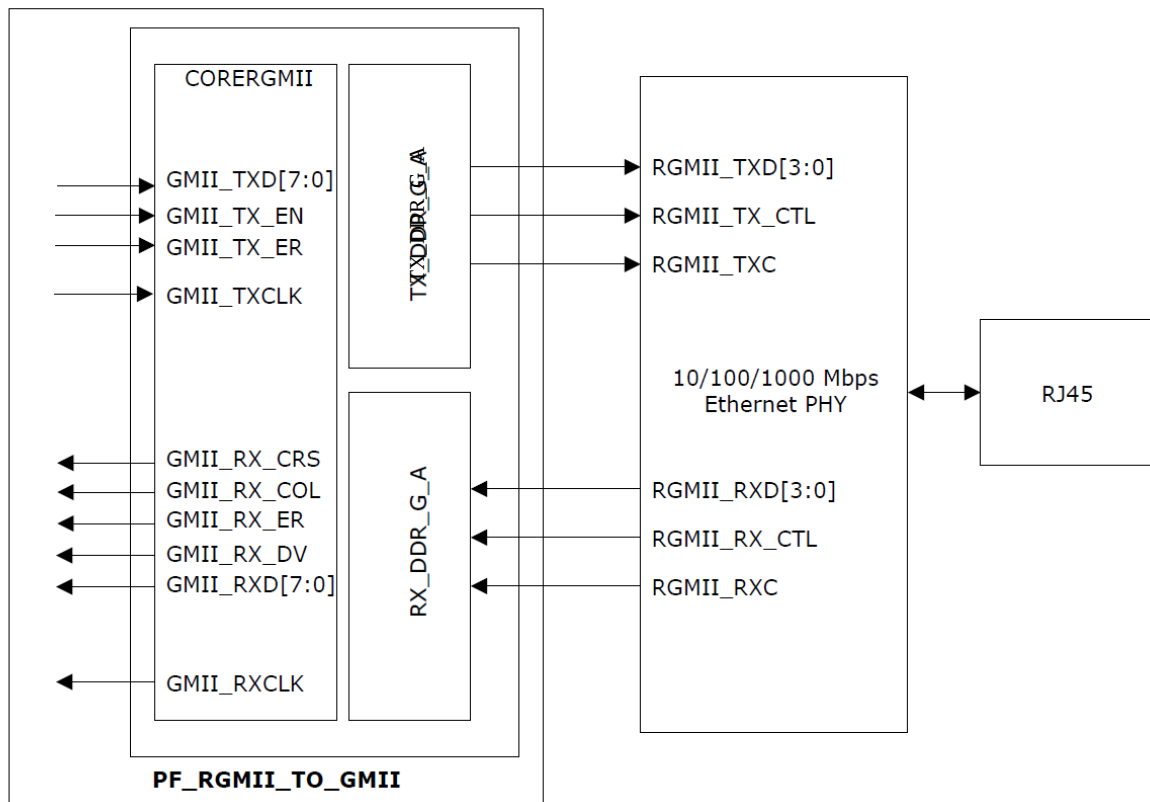
タイプ/サイズ/ピッチ	デバイス/パッケージあたりの 1GbE/SGMII IOCDR 数	
	MPFS250	
FCSG325 (11x11, 11x14.5*, 0.5 mm)		
FCSG536 (16x16, 0.5 mm)	9	
FCVG484 (19x19, 0.8 mm)	7	
FCG484 (23x23, 1.0 mm)		
FCG784 (29x29, 1.0 mm)	15	
FCG1152 (35x35, 1.0 mm)	19	

⁽¹⁾ MSS SGMII バンクからは常に 2つの SGMII レーンが利用できます。

10.2 RGMII to GMII コンバータ

RGMII (Reduced Gigabit Media Independent Interface)を使うと、PHY を MAC に接続するために必要な信号の数を削減できます。RGMII to GMII コンバータは、GMII (Gigabit Media Independent Interface)と RGMII の間の変換インターフェイスを提供します。IP コアは RGMII 仕様 v2.0 と互換であり、GPIO または HSIO バッファと IOD ブロックを使って両方のデバイスファミリをサポートするよう設計されています。

図 10-6. RGMII to GMII のブロック図



15 信号の GMII ファブリック インターフェイスは、クロックの両方のエッジを使う事により 6 信号の RGMII インターフェイスに適応します。全ての信号は 125 MHz クロック信号と同期します。RGMII データ信号は、クロックの立ち上がりエッジと立ち下がりエッジでスイッチングします。2 つの制御信号は多重化されます(1 つはクロックの立ち上がりエッジで到着し、もう 1 つは立ち下がりエッジで到着)。PF_IOD_GENERIC_TX は GMII 信号(MAC 側)を RGMII 信号(PHY 側)へ変換し、PF_IOD_GENERIC_RX は RGMII 信号を GMII 信号へ変換します。変換された信号は、CoreRGMII IP ブロックを経由して MAC へ送信されます。外部では、1000BASE-T Ethernet PHY が GPIO または HSIO を介して RGMII に接続されます。

詳細は『UG0687: PolarFire FPGA 1G Ethernet Solutions User Guide』を参照してください。表 10-7 に、GMII/RGMII ポートの一覧を示します。

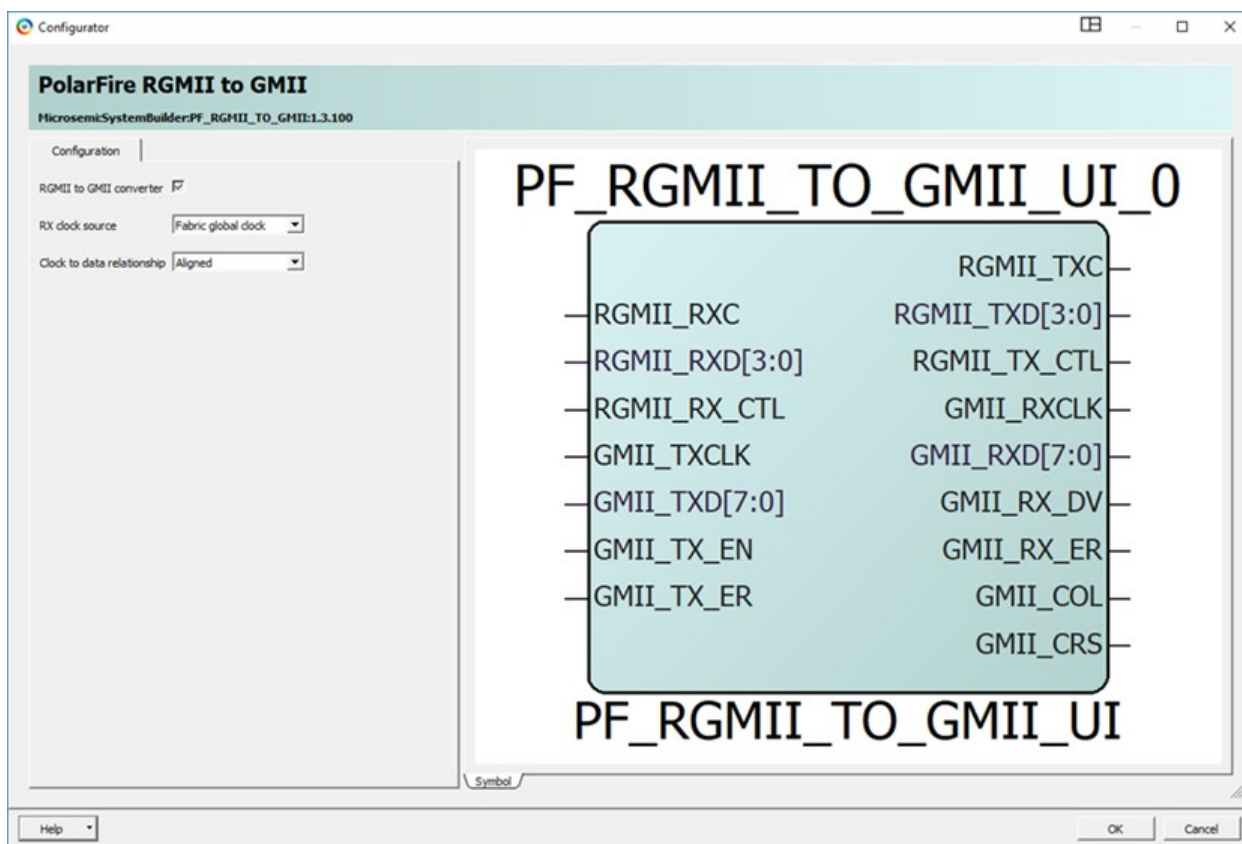
表 10-7. GMII ポート

ポート	I/O	概要
GMII_TXCLK	入力	ファブリックからのクロック(GTXCLK)
GMII_TXD [7:0]	入力	GMII 送信データ
GMII_TX_EN	入力	送信イネーブル
GMII_RXCLK	出力	ファブリックへのクロック (ファブリック グローバル クロックまたは iod_generic_tx を介するファブリック リージョナル クロックのどちらか) は、RX クロックの設定オプションによって決まります。
GMII_TX_ER	入力	送信エラー
GMII_RXD[7:0]	出力	MII 受信データ
GMII_RX_DV	出力	受信データ有効

.....続き		
ポート	I/O	概要
GMII_RX_ER	出力	受信エラー
GMII_COL	出力	コリジョン(非同期と見なす)
GMII_CRS	出力	キャリア検出(非同期と見なす)
RGMII_TXD[3:0]	出力	PHY への送信データ
RGMII_TX_CTL	出力	PHY への送信制御信号 TX_CTL 信号は以下を搬送する: – 立ち上がりエッジで GMII_TX_EN – 立ち下がりエッジで TX_EN または GMII_TX_ER
RGMII_RXD[3:0]	入力	PHY からの受信データ
RGMII_RX_CTL	入力	PHY からの受信制御信号 RX_CTL 信号は以下を搬送する: – 立ち上がりエッジで gmii_rx_dv (データ有効) – 立ち下がりエッジで gmii_rx_dv xor gmii_rx_er
RGMII_RXC	入力	RGMII 受信クロック
RGMII_TXC	入力	RGMII 送信クロック

図 10-7 に、RGMII to GMII コンフィグレータを示します。

図 10-7. RGMII to GMII コンフィグレータ

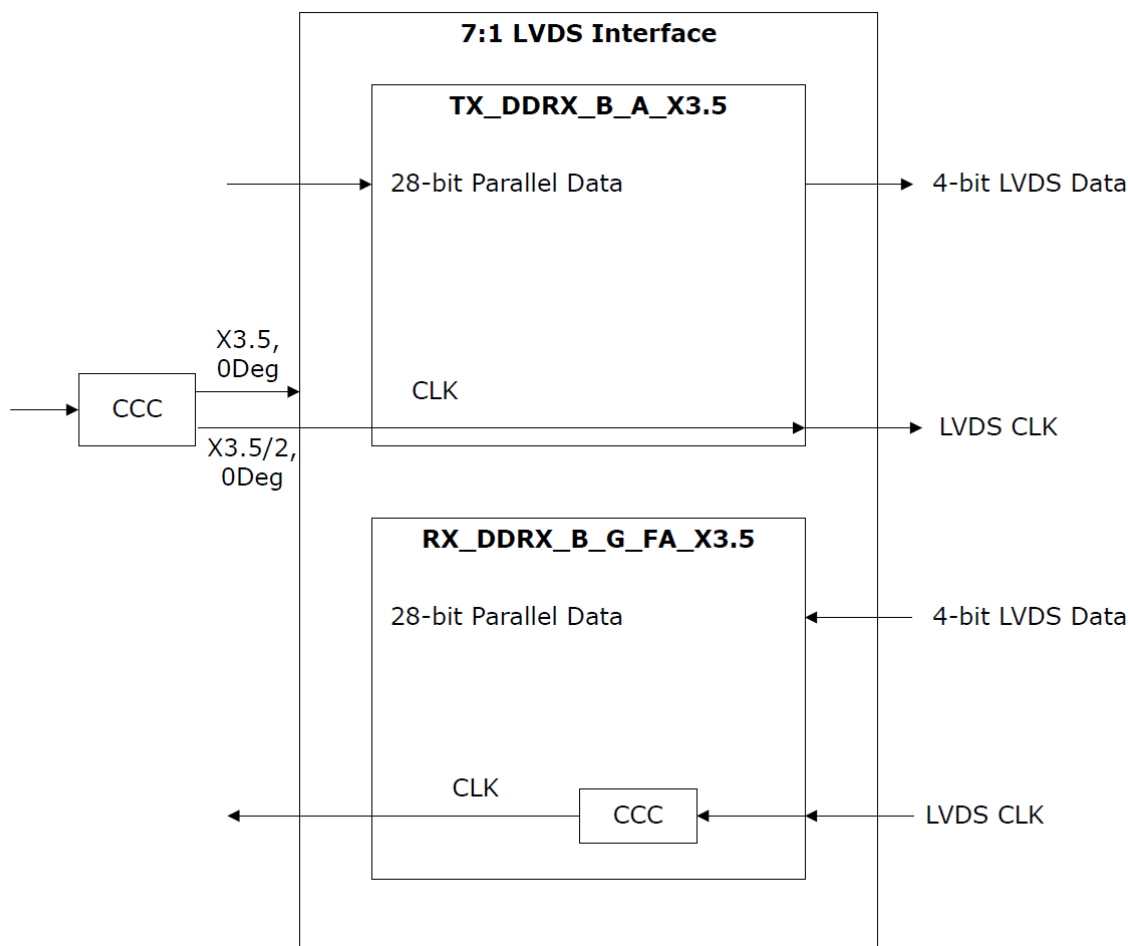


PF_RGMII_TO_GMII 変換モジュールは、RX IOD サブモジュールと TX IOD サブモジュールの両方を含みます。どちらのブロックも、適正なクロック-データ アライメントとギアリング レシオが事前に設定されます。ユーザがこれらのモジュールの既定値設定を変更する必要はありませんが、実際にどのように設定されているか知っておく事が必要になる場合もあります。PF_RGMII_TO_GMII 変換モジュールを使う場合、[8.5.2.2. 「インターフェイスの選択規則」](#)に従う必要があります。

10.3 LVDS 7:1

7:1 LVDS ビデオ インターフェイスは Channel Link、Flat Link、Camera Link で使われている標準的なソース同期インターフェイスです。このインターフェイス規格はコンシューマ機器、産業用制御、医療、車載テレマティクスを含むさまざまな製品で広く用いられるようになりました。例えば、ディスプレイ インターフェイスはソース同期 LVDS インターフェイスです。7 個のデータビットが低速クロックの各サイクルでシリアル化されます。通常、このインターフェイスは 4 個(3x データ、1x クロック)または 5 個(4x データ、1x クロック) の LVDS ペアで構成されます。4 ペアは 21 個の平行データビットに変換され、5 ペアは 28 個の平行データビットに変換されます。

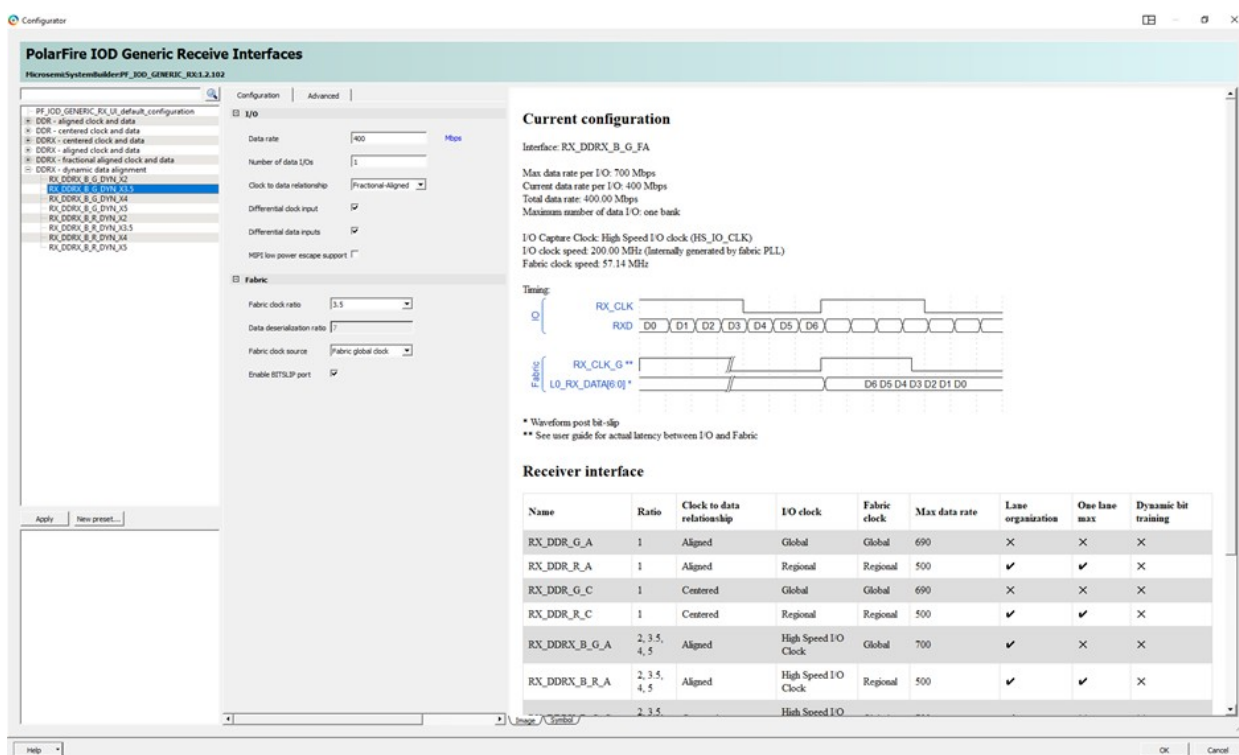
図 10-8. 7:1 LVDS インターフェイスの例 — 4x データ + 1x クロック



10.3.1 7:1 LVDS 受信インターフェイス

LVDS 7:1 受信モジュールは FPGA の LVDS IOA 入力から LVDS データと LVDS クロックを受信します。ソース同期 LVDS クロックはファブリック クロック コンディショニング回路(CCC)ブロックへ渡され、LVDS データは 3.5 のギアリング レシオで RX_DDRX_B_G_FA (Fractional Aligned クロック/データ)へ渡されます。受信ブロックは、ダブルデータレート レジスタを使って、入力クロックの立ち上がりエッジと立ち下がりエッジの両方でデータをキャプチャします。DDR3P5 ギアリングでは RX_BIT_SLIP を利用できません。この場合、ビットおよびワード アライメントは FPGA ファブリック IP で実行する必要があります。データは 7 ビットデータへとデシリアル化され、Forwarded clock を使ってファブリックへ送信されます。

図 10-9. RX_DDRX_B_G_FA インターフェイス



10.3.2 7:1 LVDS 送信インターフェイス

送信ブロックは、TX_DDRX_B_A_X3.5のダブル データレート レジスタを使って、入力クロックの立ち上がりエッジと立ち下がりエッジの両方でデータを送信します。パラレルクロックは 3.5 逓倍されます。このクロックにより、1 パラレルクロック サイクルあたり 7 個のシリアルビットが送信され、データは 1 つの LVDS データストリームへとシリアル化されます。HS_IO_PAUSE パルスはクロックが安定した後に生成される必要があります。このパルスにより、全てのギアボックス(cik 生成用の 1 つを含む)が同じサイクル内でフレーム化されます。これにより、データワードの同期が保証されます。ワードは Forwarded Fractional クロックの立ち上がりエッジで始まります。

10-10. TX_DDRX_B_A_X3.5

Configurator

PolarFire IOD Generic Transmit Interfaces

MicrosemiSystemBuilder:PF_300_GENERIC_TX3.2.104

Configuration | Advanced

I/O

Data rate: 800 Mbps

Number of data I/Os: 1

Clock to data relationship: Aligned

Use differential clock output: ☒

Use differential data outputs: ☒

Expose output enable control: Disabled

Enable MPS1 low power escape mode: ☐

Fabric

Ratio: 3.5

Data serialization rate: 7

Apply | New preset...

External clocking and reset connections example

Transmit interfaces

Name	Ratio	Clock to data relationship	I/O clock source	Fabric clock	Max data rate
TX_DDR_G_A	1	Aligned	Global	Global	500
TX_DDR_G_C	1	Centered	Global	Global	500
TX_DDRX_B_A	2, 3, 5, 4, 5	Aligned	High Speed I/O Clock	Global	1000, 1600, 1600, 1600
TX_DDRX_B_C	2, 3, 5, 4, 5	Centered	High Speed I/O Clock	Global	1000, 1600, 1600, 1600
TX_DDRX_B	2, 3, 5, 4, 5	No forwarded clock	High Speed I/O Clock	Global	1000, 1600, 1600, 1600

Image | Symbol

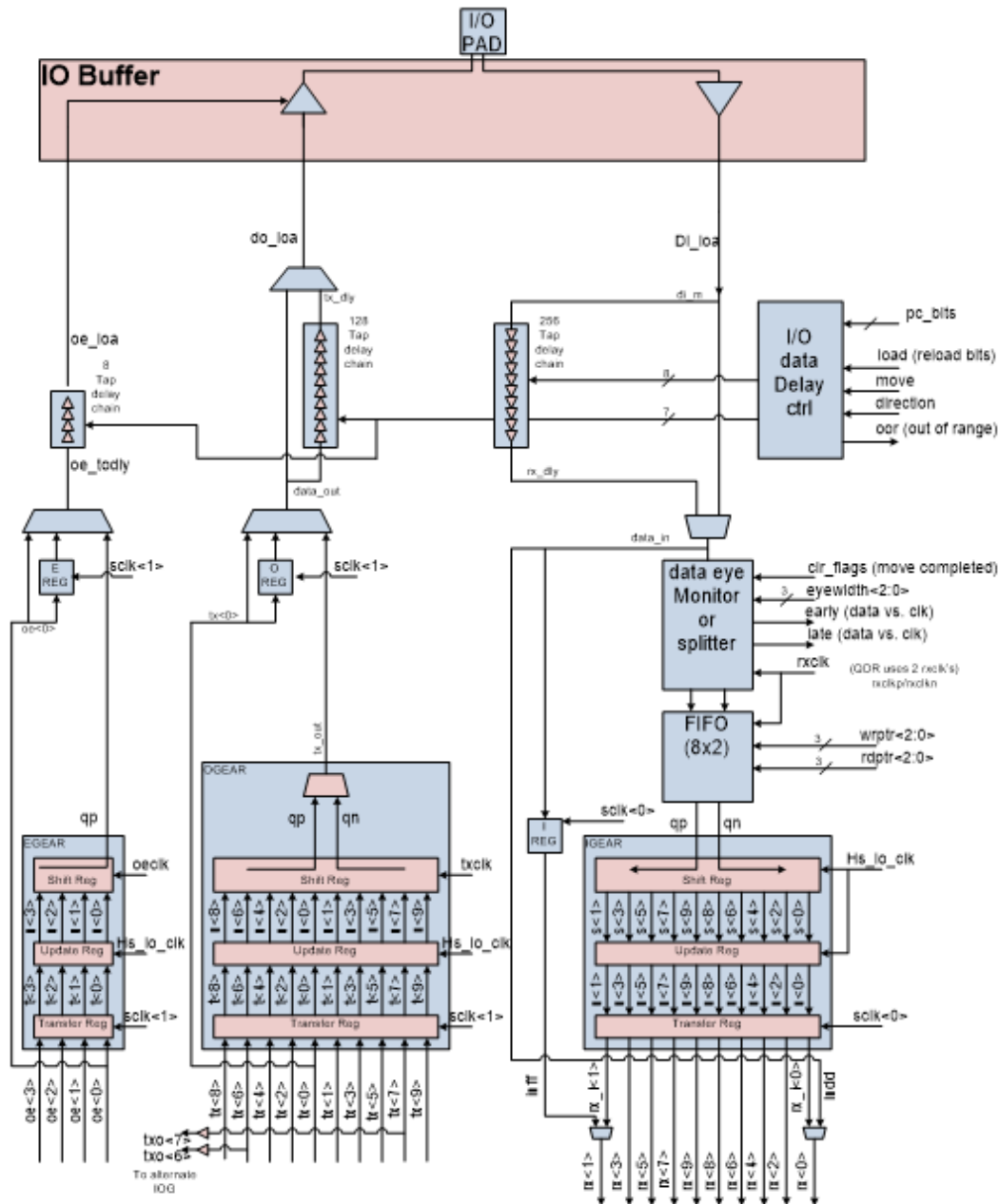
Help | OK | Cancel

11.1 クロック-データ間タイミング マージンのトレーニング

11.1 クロック-データ間タイミング マージンのトレーニング

IOD インターフェイスのマージン制御トレーニングは、動的遅延制御信号を使って遅延を連続的に監視および制御する事により、データ有効ウィンドウを最大化します。この動作は、高速ソース同期インターフェイスで PVT 変動を補償するために使われます。この機能の主目的は、データパスとクロックパスの間のタイミング マージンを維持する事により、高速 IOD インターフェイスのシグナル インテグリティを最適化する事です。インターフェイス トレーニングは、FPGA IP(トレーニング IP または TIP) により制御および監視されます。

図 11-1. クロック-データ間マージン トレーニングのデータパス



TIP は、動的 RX_DDRX インターフェイス コンポーネントの動的遅延制御ピンを使って、クロックとデータの間の相互位相関係を最適化します。IREG でクロック-データ関係を動的に監視するためにステータスフラグが使われ、データパス内で遅延エレメントを追加または削除する事により遅延チェーンを調整するために動的制御が使われます。クロックエッジに対するデータエッジの相対位置(遅れまたは進み)は遅延設定により調整されます。この機能は、クロックの立ち上がりおよび立ち下がりエッジの両方に対するデータエッジの関係を監視します。

FPGA ファブリック ロジックは、IOD 信号を制御および監視する事で、ビットまたはワード幅ベースで適応チューニング機能を実行します。ビット アライメントは、データの中央をクロックエッジから 90°の位置に調整します。これは物理層機能であり、使用されるデータおよびプロトコルとは無関係です。この手順では、トランスミッタが(遷移を伴う) データを送信する必要があり、データ遷移時と Forwarded クロックとの間は静的なアライメントを行います。

RX_DDRX_DYN マクロは、クロックパスに対するデータパスの相対的遅延量を増加または減少方向に調整するための制御を提供します。RX_DDRX_DYN はアイモニタを使ったフラグも提供します。アイモニタは、クロックエッジとデータエッジが互いに接近しすぎた事およびクロックのどちら側のエッジと接近したのかを検出できます。これらの制御とフラグを使う事で、物理層を監視するだけでビットアライメントが可能となります。

ワード アライメントは、ファブリックが提示するワードを固有のパターンにアライメントします。RX_DDRX_DYN は I/O ギアリングを提供し、4 ビットと 8 ビットのファブリック幅をサポートします。バイト アライメントはデータパターンに依存し、トレーニング パターンを要求します。トランスミッタがトレーニング パターンを送信すると、FPGA ファブリック内のパターン検出器は RX_DDRX_DYN 上の Lx_BITSLIP ポートを使って、トレーニング パターンに一致するまでファブリック ワードをローテートします。

信号「DELAY_LINE_LOAD」は、Liberio SoC によって事前定義された初期の静的フラッシュビット遅延設定を非同期にリロードします。信号「DELAY_LINE_MOVE」のパルス(立ち上がりエッジ)のたびに、遅延設定が±1 ずつ変更されます。変更の方向(増/減)は「DELAY_LINE_DIRECTION」信号値に従います(1: 遅延設定は 1 ずつ増加、0: 遅延設定は 1 ずつ減少)。遅延設定が遅延チェーンの最小値または最大値に達すると、遅延チェーン コントローラはレンジ超過フラグ「DELAY_LINE_OUT_OF_RANGE」を生成します。この後に「DELAY_LINE_MOVE」信号パルスが入っても、遅延設定は最小または最大設定から変更されません。

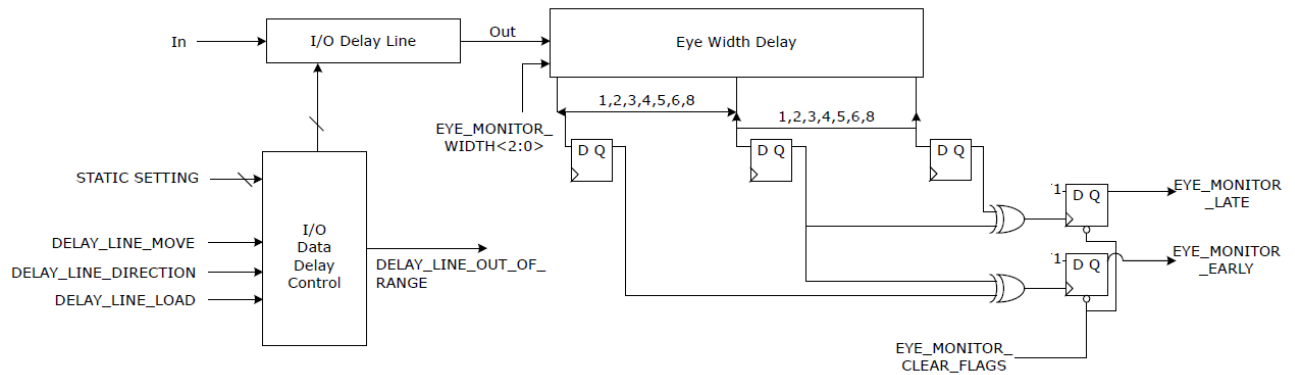
IOD ブロックはデータアイ モニタ(DEM)を使ってクロックと入力データの間の関係を最適化します。DEM は、クロック-データ関係を解析するために EYE_MONITOR_EARLY および EYE_MONITOR_LATE フラグを備えています。IOD ブロックは、これらのフラグを使ってクロックエッジに対する入力データエッジの関係を特定し、DELAY_LINE 制御入力を使って最適な設定が見つかるまでクロック-データ関係を動的に調整します。

同様に、IOD 3 ステート イネーブル E = 1 の時に出力遅延に影響し、E = 0 の時に入力遅延に影響します。DELAY_LINE_MOVE は出力遅延パスに対して適用されます。

データエッジ監視(DEM)は以下の通りに行われます。

- EYE_MONITOR_WIDTH<2:0>信号は、データエッジとクロックエッジの間の最小遅延要件を設定するために使います。プログラマブル遅延設定は 1~128 タップの範囲で設定されます。データエッジがクロックエッジに対してこの最小設定値より接近した場合、EYE_MONITOR_EARLY および EYE_MONITOR_LATE フラグが生成されます。これらの信号が FPGA ロジックから動的に制御可能とする事により、ユーザはアイパターンの開口部の相対的サイズを特定できます。
- 接近したデータエッジがクロックエッジより進んでいる場合、EYE_MONITOR_EARLY がアサートされます。この場合、遅延設定を下げる(デクリメントする)必要があります。
- 接近したデータエッジがクロックエッジより遅れている場合、EYE_MONITOR_LATE がアサートされます。この場合、遅延設定を上げる(インクリメントする)必要があります。
- ファブリックからの EYE_MONITOR_CLEAR_FLAGS 入力信号は、EYE_MONITOR_EARLY および EYE_MONITOR_LATE フラグをクリアするために使います。この信号はファブリックから生成され、直前のフラグ設定に基づいて遅延チェーン設定を増減する事を示します。

図 11-2. IOD トレーニング ブロック図



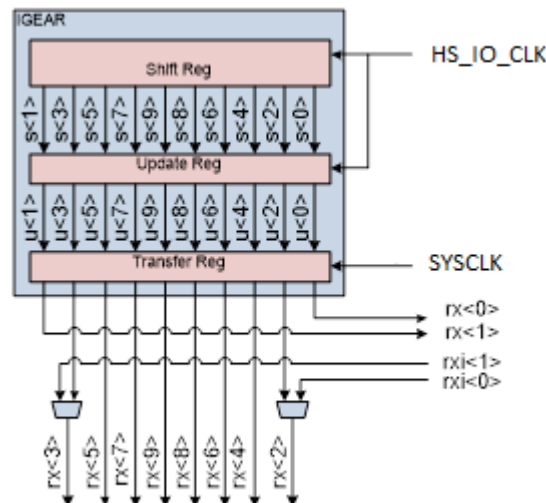
11.1.1 HS_IO_CLK とシステムクロックのトレーニング

IOD インターフェイスは、特定インターフェイスが要求する入力ギアリング、高速ピン信号から低速パラレルコア信号へのデシリアライズ、クロックドメインの移動を実装します。IOD は、高速クロック(HS_IO_CLK)ドメインから低速システムクロック(SYSCLK: IOD マクロの GLOBAL または REGIONAL クロック)ドメインへのデータ転送を実装します。IOD Rx データは、IGEAR ロジック内で Update レジスタ(HS_IO_CLK ドメイン) から Transfer レジスタ(SYSCLK ドメイン)へ転送されます。HS_IO_CLK およびシステムクロック トレーニングは、データレートが 400 Mbps 以上(レシオは 2/3.5/4) のインターフェイスで実装されます。x5 のレシオを使うインターフェイスは、システムクロック トレーニングに対する HS_IO_CLK を要求しません(高レシオにより、データとクロックの間に十分なマージンが得られるため)。

入力レジスタ(IREG)ギアリング ロジック データパスは、異なるドメイン間でデータを転送するために、以下のレジスタを使います。これらのレジスタを図 11-3 に示します。

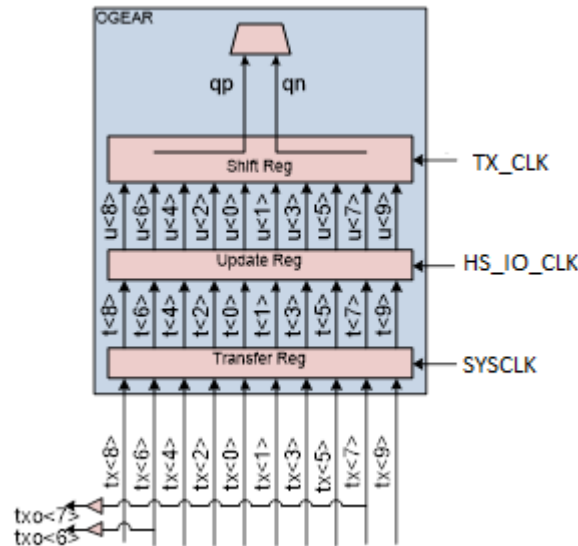
- Shift レジスタ
- Update レジスタ
- Transfer レジスタ

図 11-3. HS_IO_CLK から SYSCLK へのデータ転送



同様に、IOD Tx データは、OGEAR ロジック内で同じドメイン移動トポロジを使って、Transfer レジスタ(SYSCLK ドメイン)から Update レジスタ(HS_IO_CLK ドメイン)へ転送されます。

図 11-4. SYSCLK から HS_IO_CLK へのデータ転送



HS_IO_CLK と SYSCLK ではファブリック内の伝送パスが異なるため、挿入遅延が異なる可能性があります。このため、これらのクロックの立ち上がりエッジのアライメントが行われないと、タイミングの不一致が生じる可能性があります。

図 11-5. トレーニング前の SYSCLK から HS_IO_CLK へのデータ転送



図 11-6. トレーニング後の SYSCLK から HS_IO_CLK へのデータ転送

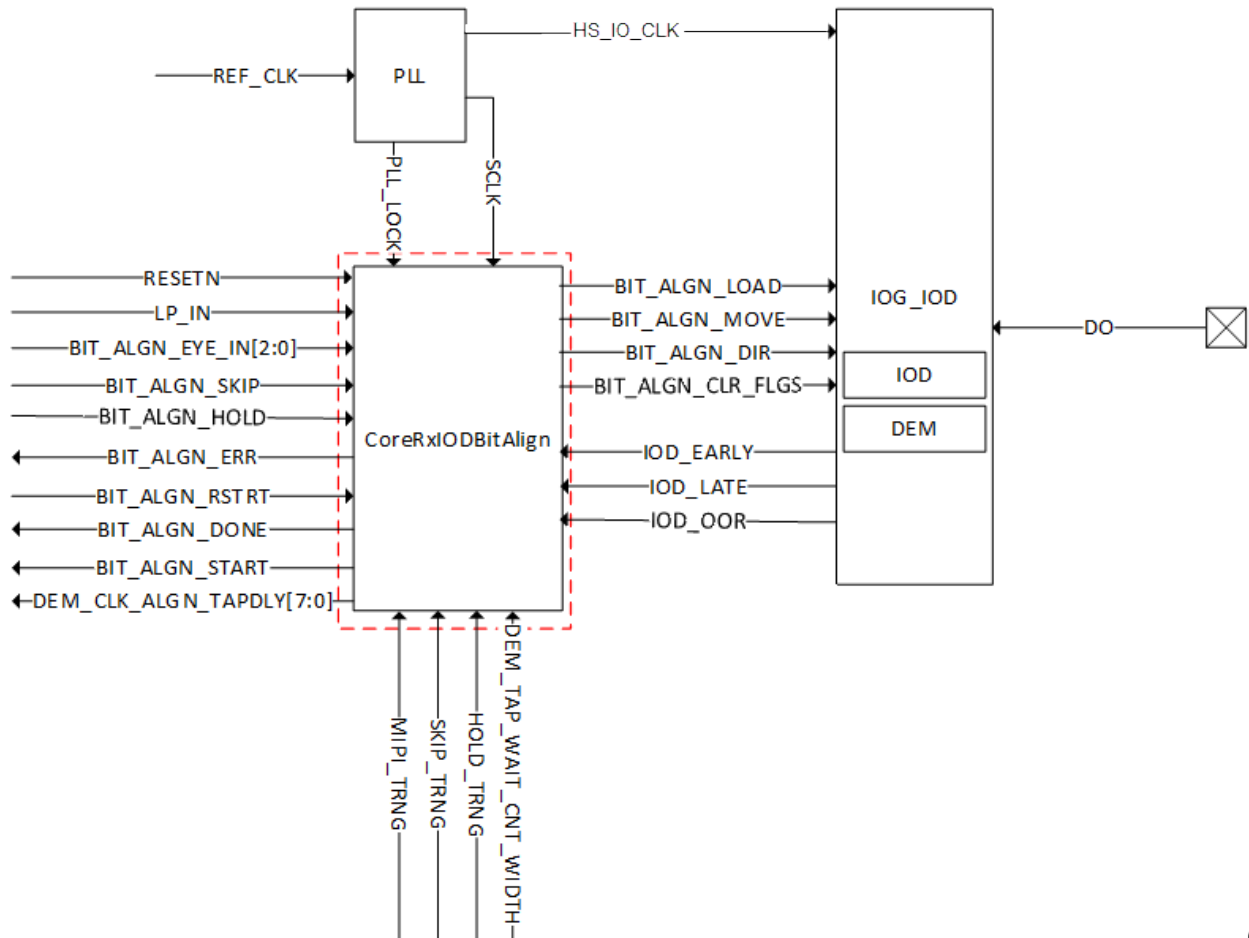


トレーニング前の図 11-5 では、システムクロックと HS_IO_CLK の立ち上がりエッジのタイミングを一致させて性能を最適化するために、HS_IO_CLK に対する PLL VCO 位相調整が必要です。図 11-6 はトレーニング後の最適化された状態です。これには、未使用(スペア) の IOD レーンの EYE_MONITOR を使って、最適設定を生成する必要があります。これが完了すると、CLK_TRAIN_DONE 出力によってトレーニングに成功した事が示されます。CLK_TRAIN_ERROR は、エラーによって HS_IO_CLK とシステムクロックのトレーニングが完了しなかった事を示します。これは、クロック供給が中断した場合に発生します。CLK_TRAIN_ERROR は Fractional インターフェイスでは利用できません。

11.2 CoreRxIODBitAlign

Libero SoC カタログから利用可能な CoreRxIODBitAlign IP は、IOD マクロを接続する際にトレーニングを実行し、データを正しくキャプチャするために遅延を調整する動的なソースとしてサポートします。

図 11-7. CoreRxIODBitAlign の実装図



Note: HS_IO_CLK は内部接続です。

この CoreRxIODBitAlign IP は CCC または PLL コンポーネントからのファブリック クロック(OUT_FABCLK*) に基づいて動作し、PF_IOD_GENERIC_RX IOD コンポーネントは OUT*_HS_IO_CLK_*に基づいて (またはビット アライメント向けに) 動作します。

例として、ビットアライメント向けアプリケーションが PF_IOD_GENERIC_RX IOD コンポーネントを使ってシリアルデータ (要求データレートは 1000 Mbps) を DDRx4 ファブリックモードで受信する場合を想定します。OUT2_FABCLK_0 または SCLK は PLL または CCC コンポーネントから 125 MHz で駆動され、OUT0_HS_IO_CLK_0 は PF_IOD_GENERIC_RX へ 500 MHz で駆動される必要があります。

CoreRxIODBitAlign IP は、PLL_LOCK が安定して High に駆動されるとトレーニングを開始します。LP_IN 入力は、MIPI_TRNG パラメータが 1 に設定されている時に CoreRxIODBitAlign IP でのみ使われます。この LP_IN 信号はアクティブ Low でかつレベルベースであり、IP によりネガエッジで検出されます。また、有効なフレームの先頭を示し、検出後にビットアライメント トレーニングを開始します。MIPI_TRNG パラメータが 0 に設定されている場合、IP はこの入力を未使用のままにします。

CoreRxIODBitAlign IP は、BIT_ALGN_START を High に駆動し BIT_ALGN_DONE を Low とする事により、トレーニングの開始を示します。次に CoreRxIODBitAlign IP は BIT_ALGN_LOAD 出力を駆動する事で、PF_IOD_GENERIC_RX コンポーネント内の既定値設定をロードします。BIT_ALGN_CLR_FLGS は IOD_EARLY、IOD_LATE、BIT_ALGN_OOR フラグをクリアするために使われます。

CoreRxIODBitAlign IP は BIT_ALGN_MOVE を処理した後に全ての TAP に対して BIT_ALGN_CLR_FLGS を適用し、IOD_EARLY および IOD_LATE フラグを記録します。PF_IOD_GENERIC_RX コンポーネントによって BIT_ALGN_OOR が High に設定された場合、CoreRxIODBitAlign IP は記録された EARLY および LATE フラグをスワイプして EARLY および LATE フラグの変化位置からクロック/データ ビットアライメントに必要な TAP 遅延を計算します。

CoreRxIODBitAlign IP は計算された TAP 遅延をロードし、BIT_ALGN_START を Low かつ BIT_ALGN_DONE を High に駆動する事で、トレーニングが完了した事を示します。

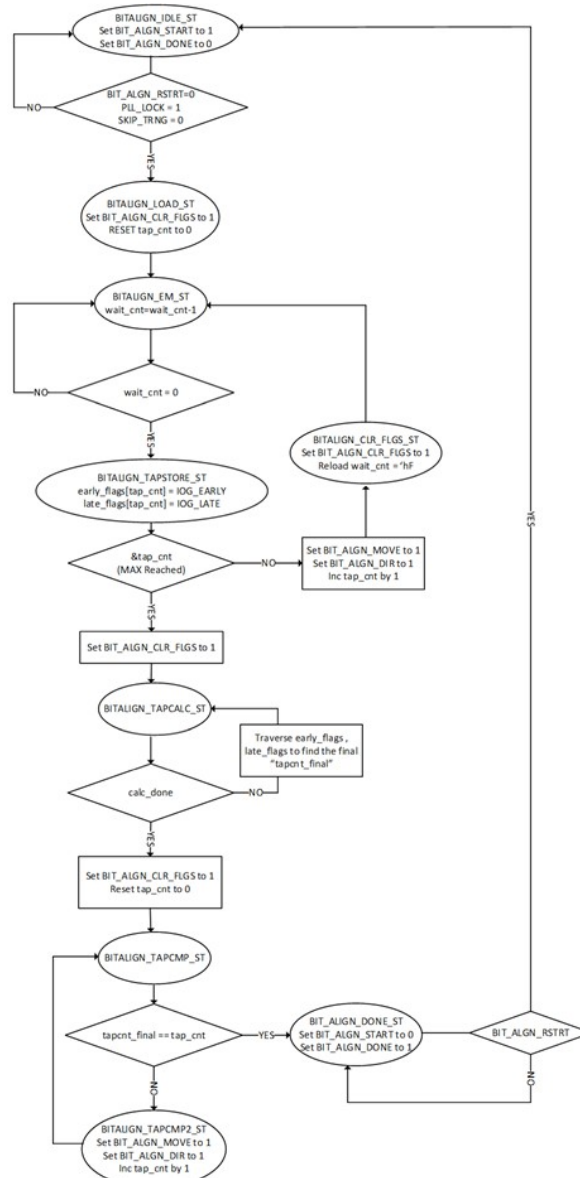
PF_IOD_GENERIC_RX コンポーネントからノイズの多い IOD_EARLY または IOD_LATE フィードバック アサー

トが検出された場合、CoreRxIOBitAlign IP は動的に再トレーニングを繰り返します。BIT_ALGN_DONE はリセットされて Low に駆動され、BIT_ALGN_START は CoreRxIOBitAlign IP によって再度 High に駆動される事で、トレーニングが再開された事が示されます。タイムアウト カウンタがタイムアウト条件に達した場合、トレーニングの最後に BIT_ALGN_ERR がアサートされます。

ユーザは必要な時にいつでもトレーニングを再開できます。トレーニングを再開するには、BIT_ALGN_RSTRT 入力 (アクティブ High) を High に駆動します (例: 8 クロック間)。BIT_ALGN_DONE はリセットされ、Low に駆動されます。CoreRxIOBitAlign IP は BIT_ALGN_START を High に駆動する事で、トレーニングが新しく開始された事を示します。

CoreRxIOBitAlign IP は、トレーニングを途中で一時停止するためのホールド機能も提供します。この機能を使うには、HOLD_TRNG パラメータを 1 に設定しておく必要があります。CoreRxIOBitAlign IP がトレーニングを一時停止する必要がある間は、BIT_ALGN_HOLD 入力 (アクティブ High、レベルベース) を High に保持します。BIT_ALGN_HOLD 入力が Low に駆動されるとトレーニングは続行されます。

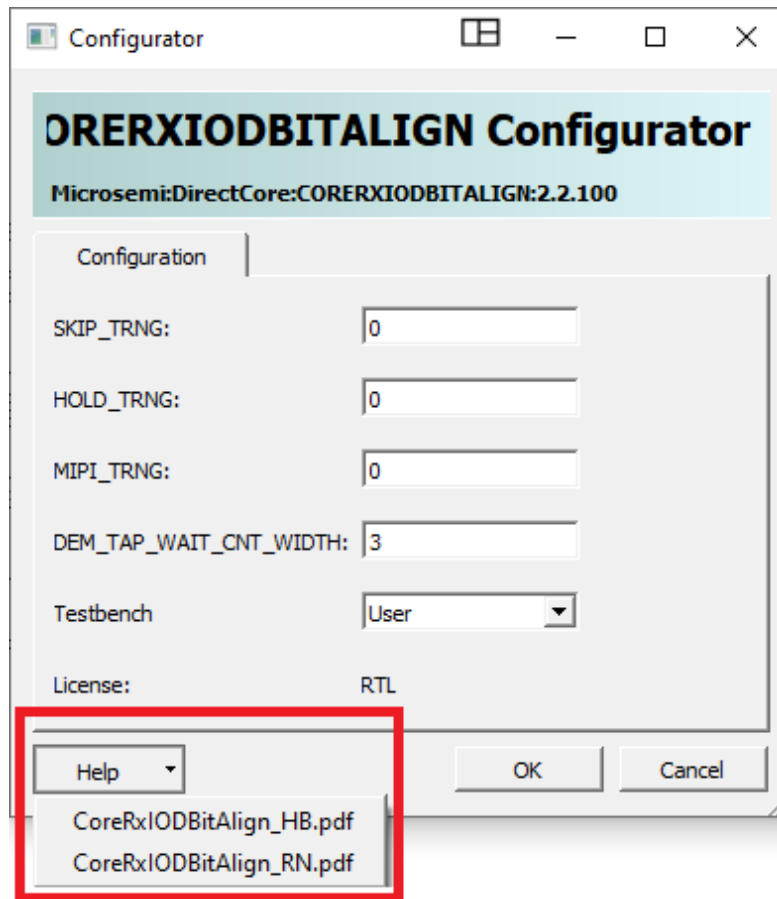
図 11-8. CoreRxIOBitAlign トレーニングのステート図



IP モジュールの詳細な使用法は、『HB0861: CoreRxIOBitAlign Handbook』を参照してください。このハンドブックは、Libero SoC カタログからダウンロードできます。

図 11-9 に、CoreRxIOBitAlign Libero SoC コンフィグレータを示します。

図 11-9. CoreRxIODBitAlign Libero SoC コンフィグレータ



12. 改訂履歴

本書に適用された変更の履歴を下表に示します新しいリビジョンから順番に記載しています。

リビジョン	日付	概要
C	2021 年 12 月	このリビジョンでの主な変更内容は以下の通りです。 9.4. 「I/O インターフェ이스のタイミング制約」を更新しました。 - 両方のデバイスファミリ ユーザガイドの改訂履歴は、詳細の参照用に本書で The revision history tables of both the user guides are retained here for the future reference. 詳細は表 12-1 と表 12-2 を参照してください。
B	2021 年 10 月	このリビジョンでの主な変更内容は以下の通りです。 7.1.12. 「シールド」を更新しました。 7.1.13. 「オープンドレイン GPIO」を更新しました。 7.1.14. 「3.3 V トレラント入力」を追加しました。 7.2.5.1. 「MIPI D-PHY 受信インターフェイス」を更新しました。 7.2.13. 「MSSIO (PolarFire SoC FPGA のみ)」を更新しました。 10.1.1. 「IOD CDR」を更新しました。
A	2021 年 08 月	本書の初版です。 このユーザガイドは、以下の文書を 1 つの文書に統合する事により作成されました。 - UG0686: PolarFire FPGA User I/O User Guide - UG0916: PolarFire FPGA User I/O User Guide

『UG0686: PolarFire FPGA User I/O User Guide』の改訂履歴を表 12-1 に示します。この表には、各リビジョンに適用された変更内容を記載しています。

Note: 『UG0686:PolarFire FPGA User I/O User Guide』は廃刊となり、その内容は『PolarFire® FPGA and PolarFire SoC FPGA User I/O User Guide』(本書)に統合されました。

表 12-1. 『UG0686: PolarFire FPGA User I/O User Guide』の改訂履歴

リビジョン	日付	概要
リビジョン 7.0	21 年 4 月	このリビジョンでの主な変更内容は以下の通りです。 • Sub-LVDS に関する情報を更新しました。 • プログラマブル Weak ブルアップ/ブルダウンおよびバスキーパー(ホールド)回路に関する情報を更新しました。 • LVPECL25 IO 規格に関する情報を削除しました。 • HS_IO_CLK とシステムクロック トレーニングに関する情報を更新しました。 • 未使用 I/O ピンに関する情報を追加しました。 • I/O インターフェイスのタイミング制約に関する情報を追加しました。 • 全二重 1GbE と SGMII IOCDR に関する情報を追加しました。 • GPIO および HSIO テーブルの ODT サポートに関する脚注内で GPIO に関する情報を更新しました。 • 「コールドスペア」内の HSIO に関する情報を訂正しました。 • 動的 ODT またはフェイルセーフ LVDS に関する情報を更新しました。 • トランシーバのレシーバ、トランスミッタ、リファレンス クロック入力に関する情報を追加しました。 • CoreRxiODBitAlign ポートに関する情報を更新しました。 • STREAM_START ポートに関する情報を更新しました。表「PF_IOD_CDR インターフェイスに関連するポート」を参照してください。 • クロック-データ間マージンのトレーニングに関する情報を更新しました。 • MIPI D-PHY 送信専用(HS および LP)に関する情報を更新しました。 • HS_IO_CLK_PAUSE ポートに関する情報を「TX_DDR_G/B_A Interface Mode Ports」表に追加しました。
リビジョン 6.0	20 年 9 月	このリビジョンでの主な変更内容は以下の通りです。 • オープンドレイン GPIO に関する情報を追加しました。 • ビットスリップに関する情報を更新しました。 • MIPI D-PHY 送信専用(HS および LP)に関する情報を更新しました。 • MIPI D-PHY の実装に関する情報を更新しました。
リビジョン 5.0	20 年 4 月	このリビジョンでの主な変更内容は以下の通りです。 • コールドスペアに関する情報を更新しました。 • 各バンク内の I/O レーンに関する情報を更新しました。 • I/O クロック ネットワークに関する情報を更新しました。 • MIPI D-PHY 送信専用(HS および LP)に関する情報を追加しました。 • RX DDR インターフェイスに関する情報を更新しました。 • RX ポートおよび L#_RX_DATA[n:0]ポートに関する情報を更新しました。 • PolarFire IOD CDR クロックに関する情報を追加しました。

.....続き		
リビジョン	日付	概要
リビジョン 4.0	20 年 2 月	このリビジョンでの主な変更内容は以下の通りです。 • ODT 制御に関する情報を更新しました。 • 「I/O 校正」の内容を更新しました。 • 「動的 ODT またはフェイルセーフ LVDS」の内容を追加しました。 • 「プログラマブル I/O 遅延」の内容を更新しました。 • 「I/O レジスタ結合」を追加しました。 • 「高速 I/O バンク クロックリソース(HS_IO_CLK)」の内容を更新しました。 • 「インターフェイス選択の規則」の内容を更新しました。 • 「汎用 IOD インターフェイスの実装」の内容を更新しました。 • 「動的遅延制御」の内容を更新しました。 • 「ベーシック I/O コンフィグレータ」を追加しました。 • 「HS_IO_CLK およびシステムクロックのトレーニング」を追加しました。
リビジョン 3.0	19 年 5 月	このリビジョンでの主な変更内容は以下の通りです。 • 静的タイミング解析に関する情報を追加しました。 • GPIO 内の LVDS18 レシーバに関する情報を追加しました。 • グローバルクロックおよびリージョナルクロック ネットワークに関する情報を追加しました。「PolarFire FPGA I/O レーン」を参照してください。 • 各バンク内の I/O レーンに関する情報を更新しました。 • ビットスリップに関する情報を更新しました。 • HS_IO_CLK_PAUSE ポートに関する情報を更新しました。 • 動的遅延制御ポートに関する情報を更新しました。 • RGMII to GMII コンバータに関する情報を追加しました。 • LVDS 7:1 に関する情報を追加しました。 • PF IOD CDR に関する情報を更新しました。
リビジョン 2.0	18 年 11 月	このリビジョンでの主な変更内容は以下の通りです。 • PF_IOD_CDR インターフェイスに関連するポートの PLL および DLL 信号に関する情報を追加しました。 • 差動レシーバのフェイルセーフ ロジックに関する情報を追加しました。「差動レシーバモード」を参照してください。 • PolarFire FPGA I/O バンクの電源電圧に関する情報を更新しました。 • コールドスペアとホットスワップに関する情報を更新しました。 • フレキシブル VDDI に関する情報を追加しました。「VDDI バンクにおける混合 I/O」を参照してください。 • MIPI25 IO 規格に関する情報を追加しました。「MIPI D-PHY の実装」を参照してください。 • PolarFire FPGA 汎用 I/O インターフェイスに関する情報を追加しました。 • 汎用 IOD インターフェイスの実装に関する情報を追加しました。 • ソフトウェア プリミティブに関する情報を追加しました。
リビジョン 1.0	17 年 2 月	『UG0686: PolarFire FPGA User I/O User Guide』の初版です。

『UG0916: PolarFire SoC FPGA User I/O User Guide』の改訂履歴を表 12-2 に示します。この表には、各リビジョンに適用された変更内容を記載しています。

Note: 『UG0916: PolarFire SoC FPGA User I/O User Guide』は廃刊となり、その内容は『PolarFire® FPGA and PolarFire SoC FPGA User I/O User Guide』(本書)に統合されました。

表 12-2. 『UG0916:PolarFire SoC FPGA User I/O User Guide』の改訂履歴

リビジョン	日付	概要
リビジョン 3.0	21 年 4 月	このリビジョンでの主な変更内容は以下の通りです。 • MSS DDR VREF に関する情報を追加しました。 • Sub-LVDS に関する情報を更新しました。 • プログラマブル Weak プルアップ/プルダウンおよびバスキーパー(ホールド)回路に関する情報を更新しました。 • LVPECL25 IO 規格に関する情報を削除しました。 • HS_IO_CLK とシステムクロック トレーニングに関する情報を更新しました。 • 未使用 I/O ピンに関する情報を追加しました。 • I/O インターフェイスのタイミング制約に関する情報を追加しました。 • 全二重 1GbE と SGMII IOCDR に関する情報を追加しました。 • GPIO および HSIO テーブルの ODT サポートに関する脚注内で GPIO に関する情報を更新しました。 • 「コールドスペア」内の HSIO に関する情報を訂正しました。 • 動的 ODT またはフェイルセーフ LVDS に関する情報を更新しました。 • トランシーバのレシーバ、トランスミッタ、リファレンス クロック入力に関する情報を追加しました。 • CoreRxIODBitAlign ポートに関する情報を更新しました。 • STREAM_START ポートに関する情報を更新しました。表「PF_IOD_CDR インターフェイスに関連するポート」を参照してください。 • クロック-データ間マージンのトレーニングに関する情報を更新しました。 • MIPI D-PHY 送信専用(HS および LP)に関する情報を更新しました。 • HS_IO_CLK_PAUSE ポートに関する情報を「TX_DDR_G/B_A Interface Mode Ports」表に追加しました。
リビジョン 2.0	20 年 9 月	このリビジョンでの主な変更内容は以下の通りです。 • オープンドレイン GPIO に関する情報を追加しました。 • ビットスリップに関する情報を更新しました。 • MIPI D-PHY 送信専用(HS および LP)に関する情報を更新しました。 • MIPI D-PHY の実装に関する情報を更新しました。
リビジョン 1.0	20 年 4 月	『UG0916: PolarFire SoC FPGA User I/O User Guide』の初版です。

Microchip 社の FPGA サポート

Microchip 社の FPGA 製品グループはカスタマサービス、カスタマ技術サポート、ウェブサイト、世界各地の営業所を含む各種のサポートサービスを提供しています。サポートチームにお問い合わせになる前に、弊社のウェブサイトをご覧ください。多くの場合、お客様に必要な情報は弊社ウェブサイトで見つかります。

技術サポートセンターにはウェブページ(www.microchip.com/support)からお問い合わせください。Microchip Support Case を作成する際は、FPGA 製品番号を指定し、適切なケースカテゴリを選択し、設計ファイルをアップロードしてください。

その他の製品サポート(価格、アップグレード、更新情報、注文ステータス、認証等)につきましては、カスタマサービスにお問い合わせください。

- 北米からのお問い合わせ電話番号: **800-262-1060**
- その他の地域からのお問い合わせ電話番号: **650-318-4460**
- 全世界からのお問い合わせ FAX 番号: **650-318-8044**

Microchip 社ウェブサイト

Microchip 社はウェブサイト(www.microchip.com)を通してオンライン サポートを提供しています。当ウェブサイトでは、お客様に役立つ情報やファイルを簡単に見つけ出せます。以下を含む各種の情報をご覧になれます。

- **製品サポート** - データシートとエラッタ、アプリケーション ノートとサンプル プログラム、設計リソース、ユーザガイドとハードウェア サポート文書、最新のソフトウェアと過去のソフトウェア
- **技術サポート** - FAQ(よく寄せられる質問)、技術サポートのご依頼、オンライン ディスカッション グループ、Microchip 社のデザイン パートナー プログラムおよびメンバーリスト
- **ご注文とお問い合わせ** - 製品セレクトと注文ガイド、最新プレスリリース、セミナー/イベントの一覧、お問い合わせ先(営業所/正規代理店)の一覧

製品変更通知サービス

Microchip 社の製品変更通知サービスは、お客様に Microchip 社製品の最新情報をお届けする配信サービスです。ご興味のある製品ファミリまたは開発ツールに関する変更、更新、リビジョン、エラッタ情報をいち早くメールにてお知らせします。

<http://www.microchip.com/pcn> にアクセスし、登録手続きをしてください。

カスタマサポート

Microchip 社製品をお使いのお客様は、以下のチャンネルからサポートをご利用になれます。

- 正規代理店
- 技術サポート

サポートは正規代理店にお問い合わせください。各地の営業所もご利用になれます。本書の最後のページに各国の営業所の一覧を記載しています。

技術サポートは以下のウェブページからもご利用になれます。

www.microchip.com/support

Microchip 社のデバイスコード保護機能

Microchip 社製品のコード保護機能について以下の点にご注意ください。

- Microchip 社製品は、該当する Microchip 社データシートに記載の仕様を満たしています。
- Microchip 社では、通常の条件ならびに仕様に従って使った場合、Microchip 社製品のセキュリティ レベルは、現在市場に流通している同種製品の中でも最も高度であると考えています。

-
- Microchip 社はその知的財産権を重視し、積極的に保護しています。Microchip 社製品のコード保護機能の侵害は固く禁じられており、デジタル ミレニアム著作権法に違反します。
 - Microchip 社を含む全ての半導体メーカーで、自社のコードのセキュリティを完全に保証できる企業はありません。コード保護機能とは、Microchip 社が製品を「解読不能」として保証するものではありません。コード保護機能は常に進歩しています。Microchip 社では、常に製品のコード保護機能の改善に取り組んでいます。

法律上の注意点

本書および本書に記載されている情報は、Microchip 社製品を設計、テスト、お客様のアプリケーションと統合する目的を含め、Microchip 社製品に対してのみ使用する事ができます。それ以外の方法でこの情報を使用する事はこれらの条項に違反します。デバイス アプリケーションの情報は、ユーザの便宜のためにのみ提供されるものであり、更新によって変更となる事があります。お客様のアプリケーションが仕様を満たす事を保証する責任は、お客様にあります。その他のサポートは Microchip 社正規代理店にお問い合わせになるか、www.microchip.com/en-us/support/design-help/client-support-services をご覧ください。

Microchip 社は本書の情報を「現状のまま」で提供しています。Microchip 社は、明示的、暗黙的、書面、口頭、法定のいずれであるかを問わず、本書に記載されている情報に関して、状態、品質、性能、商品性、特定目的への適合性をはじめとする、いかなる類の表明も保証も行いません。

#TOIN#

いかなる場合も Microchip 社は、本情報またはその使用に関連する間接的、特殊的、懲罰的、偶発的、または必然的損失、損害、費用、経費のいかににかかわらず、また Microchip 社がそのような損害が生じる可能性について報告を受けていた場合あるいは損害が予測可能であった場合でも、一切の責任を負いません。法律で認められる最大限の範囲を適用しようとも、本情報またはその使用に関連する一切の申し立てに対する Microchip 社の責任限度額は、使用者が当該情報に関連して Microchip 社に直接支払った額を超えません。

Microchip 社の明示的な書面による承認なしに、生命維持装置あるいは生命安全用途に Microchip 社の製品を使用する事は全て購入者のリスクとし、また購入者はこれによって発生したあらゆる損害、クレーム、訴訟、費用に関して、Microchip 社は擁護され、免責され、損害をうけない事に同意するものとします。特に明記しない場合、暗黙的あるいは明示的を問わず、Microchip 社が知的財産権を保有しているライセンスは一切譲渡されません。

商標

Microchip 社の名称とロゴ、Microchip ロゴ、Adaptec、AnyRate、AVR、AVR ロゴ、AVR Freaks、BesTime、BitCloud、CryptoMemory、CryptoRF、dsPIC、flexPWR、HELDO、IGLOO、JukeBlox、KeeLoq、Kleer、LANCheck、LinkMD、maXStylus、maXTouch、MediaLB、megaAVR、Microsemi、Microsemi ロゴ、MOST、MOST ロゴ、MPLAB、OptoLyzer、PIC、picoPower、PICSTART、PIC32 ロゴ、PolarFire、Prochip Designer、QTouch、SAM-BA、SenGenuity、SpyNIC、SST、SST ロゴ、SuperFlash、Symmetricom、SyncServer、Tachyon、TimeSource、tinyAVR、UNI/O、Vectron、XMEGA は米国およびその他の国における Microchip Technology Incorporated の登録商標です。

AgileSwitch、APT、ClockWorks、The Embedded Control Solutions Company、EtherSynch、Flashtec、Hyper Speed Control、HyperLight Load、IntelliMOS、Libero、motorBench、mTouch、Powermite 3、Precision Edge、ProASIC、ProASIC Plus、ProASIC Plus ロゴ、Quiet-Wire、SmartFusion、SyncWorld、Temux、TimeCesium、TimeHub、TimePictra、TimeProvider、TrueTime、WinPath、ZL は米国における Microchip Technology Incorporated の登録商標です。

Adjacent Key Suppression、AKS、Analog-for-the-Digital Age、Any Capacitor、AnyIn、AnyOut、Augmented Switching、BlueSky、BodyCom、CodeGuard、CryptoAuthentication、CryptoAutomotive、CryptoCompanion、CryptoController、dsPICDEM、dsPICDEM.net、Dynamic Average Matching、DAM、ECAN、Espresso T1S、EtherGREEN、GridTime、IdealBridge、In-Circuit Serial Programming、ICSP、INICnet、Intelligent Paralleling、Inter-Chip Connectivity、JitterBlocker、Knob-on-Display、maxCrypto、maxView、memBrain、Mindi、MiWi、MPASM、MPF、MPLAB Certified ロゴ、MPLIB、MPLINK、MultiTRAK、NetDetach、NVM Express、NVMe、Omniscient Code Generation、PICDEM、PICDEM.net、PICKit、PICKtail、PowerSmart、PureSilicon、QMatrix、REAL ICE、Ripple Blocker、RTAX、RTG4、SAM-ICE、Serial Quad I/O、simpleMAP、SimpliPHY、SmartBuffer、SmartHLS、SMART-I.S.、storClad、SQL、SuperSwitcher、SuperSwitcher II、Switchtec、SynchroPHY、Total Endurance、TSHARC、USBCheck、VariSense、VectorBlox、VeriPHY、ViewSpan、WiperLock、XpressConnect、ZENA は米国およびその他の国における Microchip Technology Incorporated の商標です。

SQTP は米国における Microchip Technology Incorporated のサービス マークです。

Adapttec ロゴ、Frequency on Demand、Silicon Storage Technology、Symmcom、Trusted Time はその他の国における Microchip Technology Incorporated の登録商標です。

GestIC は、米国以外の国における Microchip Technology Inc.の子会社である Microchip Technology Germany II GmbH & Co. KG の登録商標です。

その他の商標は各社に帰属します。

© 2021, Microchip Technology Incorporated and its subsidiaries.All Rights Reserved.

ISBN:978-1-6683-0246-0

品質管理システム

Microchip 社の品質管理システムについては www.microchip.com/quality をご覧ください。

各国の営業所とサービス

北米

本社
2355 West Chandler Blvd.
Chandler, AZ 85224-6199
Tel:480-792-7200
Fax:480-792-7277
技術サポート :
<http://www.microchip.com/support>
URL:
www.microchip.com

アトランタ
Duluth, GA
Tel:678-957-9614
Fax:678-957-1455

オースティン、TX
Tel:512-257-3370

ボストン
Westborough, MA
Tel:774-760-0087
Fax:774-760-0088

シカゴ
Itasca, IL
Tel:630-285-0071
Fax:630-285-0075

ダラス
Addison, TX
Tel:972-818-7423
Fax:972-818-2924

デトロイト
Novi, MI
Tel:248-848-4000

ヒューストン、TX
Tel:281-894-5983

インディアナポリス
Noblesville, IN
Tel:317-773-8323
Fax:317-773-5453
Tel:317-536-2380

ロサンゼルス
Mission Viejo, CA
Tel:949-462-9523
Fax:949-462-9608
Tel:951-273-7800

ローリー、NC
Tel:919-844-7510

ニューヨーク、NY
Tel:631-435-6000

サンノゼ、CA
Tel:408-735-9110
Tel:408-436-4270

カナダ - トロント
Tel:905-695-1980
Fax:905-695-2078

アジア / 太平洋

オーストラリア - シドニー
Tel:61-2-9868-6733

中国 - 北京
Tel:86-10-8569-7000

中国 - 成都
Tel:86-28-8665-5511

中国 - 重慶
Tel:86-23-8980-9588

中国 - 東莞
Tel:86-769-8702-9880

中国 - 広州
Tel:86-20-8755-8029

中国 - 杭州
Tel:86-571-8792-8115

中国 - 香港 SAR
Tel:852-2943-5100

中国 - 南京
Tel:86-25-8473-2460

中国 - 青島
Tel:86-532-8502-7355

中国 - 上海
Tel:86-21-3326-8000

中国 - 瀋陽
Tel:86-24-2334-2829

中国 - 深圳
Tel:86-755-8864-2200

中国 - 蘇州
Tel:86-186-6233-1526

中国 - 武漢
Tel:86-27-5980-5300

中国 - 西安
Tel:86-29-8833-7252

中国 - 厦門
Tel:86-592-2388138

中国 - 珠海
Tel:86-756-3210040

アジア / 太平洋

インド - バンガロール
Tel:91-80-3090-4444

インド - ニューデリー
Tel:91-11-4160-8631

インド - プネ
Tel:91-20-4121-0141

日本 - 大阪
Tel:81-6-6152-7160

日本 - 東京
Tel:81-3-6880-3770

韓国 - 大邱
Tel:82-53-744-4301

韓国 - ソウル
Tel:82-2-554-7200

マレーシア - クアラルンプール
Tel:60-3-7651-7906

マレーシア - ペナン
Tel:60-4-227-8870

フィリピン - マニラ
Tel:63-2-634-9065

シンガポール
Tel:65-6334-8870

台湾 - 新竹
Tel:886-3-577-8366

台湾 - 高雄
Tel:886-7-213-7830

台湾 - 台北
Tel:886-2-2508-8600

タイ - バンコク
Tel:66-2-694-1351

ベトナム - ホーチミン
Tel:84-28-5448-2100

ヨーロッパ

オーストリア - ヴェルス
Tel:43-7242-2244-39
Fax:43-7242-2244-393

デンマーク - コペンハーゲン
Tel:45-4485-5910
Fax:45-4485-2829

フィンランド - エスポー
Tel:358-9-4520-820

フランス - パリ
Tel:33-1-69-53-63-20
Fax:33-1-69-30-90-79

ドイツ - ガーヒング
Tel:49-8931-9700

ドイツ - ハーン
Tel:49-2129-3766400

ドイツ - ハイムブロン
Tel:49-7131-72400

ドイツ - カールスルーエ
Tel:49-721-625370

ドイツ - ミュンヘン
Tel:49-89-627-144-0
Fax:49-(89)-627-144/-44

ドイツ - ローゼンハイム
Tel:49-8031-354-560

イスラエル - ラーナナ
Tel:972-9-744-7705

イタリア - ミラノ
Tel:39-0331-742611
Fax:39-0331-466781

イタリア - パドヴァ
Tel:39-049-7625286

オランダ - ドリュエネン
Tel:31-416-690399
Fax:31-416-690340

ノルウェー - トロンハイム
Tel:47-7288-4388

ポーランド - ワルシャワ
Tel:48-22-3325737

ルーマニア - ブカレスト
Tel:40-21-407-87-50

スペイン - マドリッド
Tel:34-91-708-08-90
Fax:34-91-708-08-91

スウェーデン - ヨーテボリ
Tel:46-31-704-60-40

スウェーデン - ストックホルム
Tel:46-8-5090-4654

イギリス - ウォーキンガム
Tel:44-118-921-5800
Fax:44-118-921-5820