
CLC(構成可能なロジックセル)

主な内容

本書には以下の主要項目を記載しています。

1.0	はじめに	2
2.0	レジスタ	5
3.0	CLC のセットアップ	11
4.0	入力信号の供給源	11
5.0	出力	13
6.0	アプリケーション ロジック	13
7.0	CLC 割り込み	13
8.0	スリープ中の動作	14
9.0	アイドル中の動作	14
10.0	リセット	14
11.0	改訂履歴	15

dsPIC33/PIC24 ファミリ リファレンス マニュアル

Note: ファミリ リファレンス マニュアルの本セクションはデバイス データシートの補足を目的としています。

本書の内容がお客様のご使用になるデバイスに対応しているかどうかは、最新デバイス データシート内の「CLC(構成可能なロジックセル)」の冒頭に記載している注意書きでご確認ください。

デバイス データシートとファミリ リファレンス マニュアルの各セクションは、Microchip 社のウェブサイト (<http://www.microchip.com>) からダウンロードできます。

本書の内容は以下の PIC24 および dsPIC33 ファミリ リファレンス マニュアルのセクションよりも優先的に適用されます。

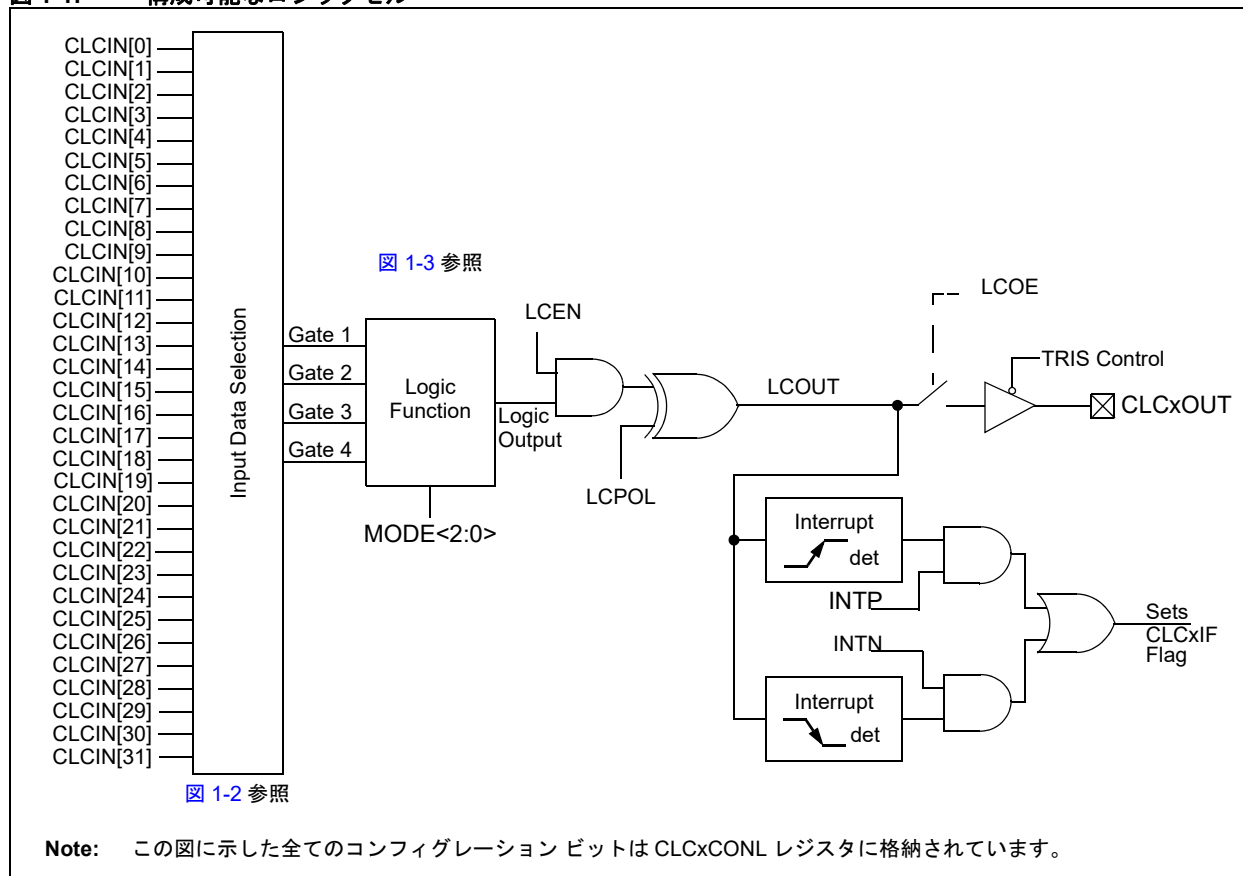
DS 番号	セクション番号	タイトル
DS33949A_JP	63	CLC(構成可能なロジックセル)

1.0 はじめに

CLC(構成可能なロジックセル) モジュールを使うと、選択した複数の信号をロジック機能に入力し、その論理出力を使って他の周辺モジュールまたは I/O ピンを制御できます。CLC モジュールはソフトウェア実行の制限を受けずに動作でき、出力を自由自在に設計できるため、組み込み設計の柔軟性と可能性が向上します。

CLC は主に 4 つのセクションで構成されます (図 1-1 参照)。まず、入力データ選択 MUX が入力信号を 4 つのデータゲートに送ります (図 1-2 参照)。4 つの各データゲートは 32 個の入力信号のいずれかを選択してロジック機能に渡す事ができます (図 1-3 参照)。ロジック機能の出力が内部ロジックと外部ピンに供給され、割り込みを生成できます。CLC モジュールの出力を別の CLC モジュールの入力に送ると、さらに複雑なロジック機能を作成できます。

図 1-1: 構成可能なロジックセル



Note: この図に示した全てのコンフィグレーション ビットは CLCxCONL レジスタに格納されています。

CLC(構成可能なロジックセル)

図 1-2: CLC 入力信号源の選択回路

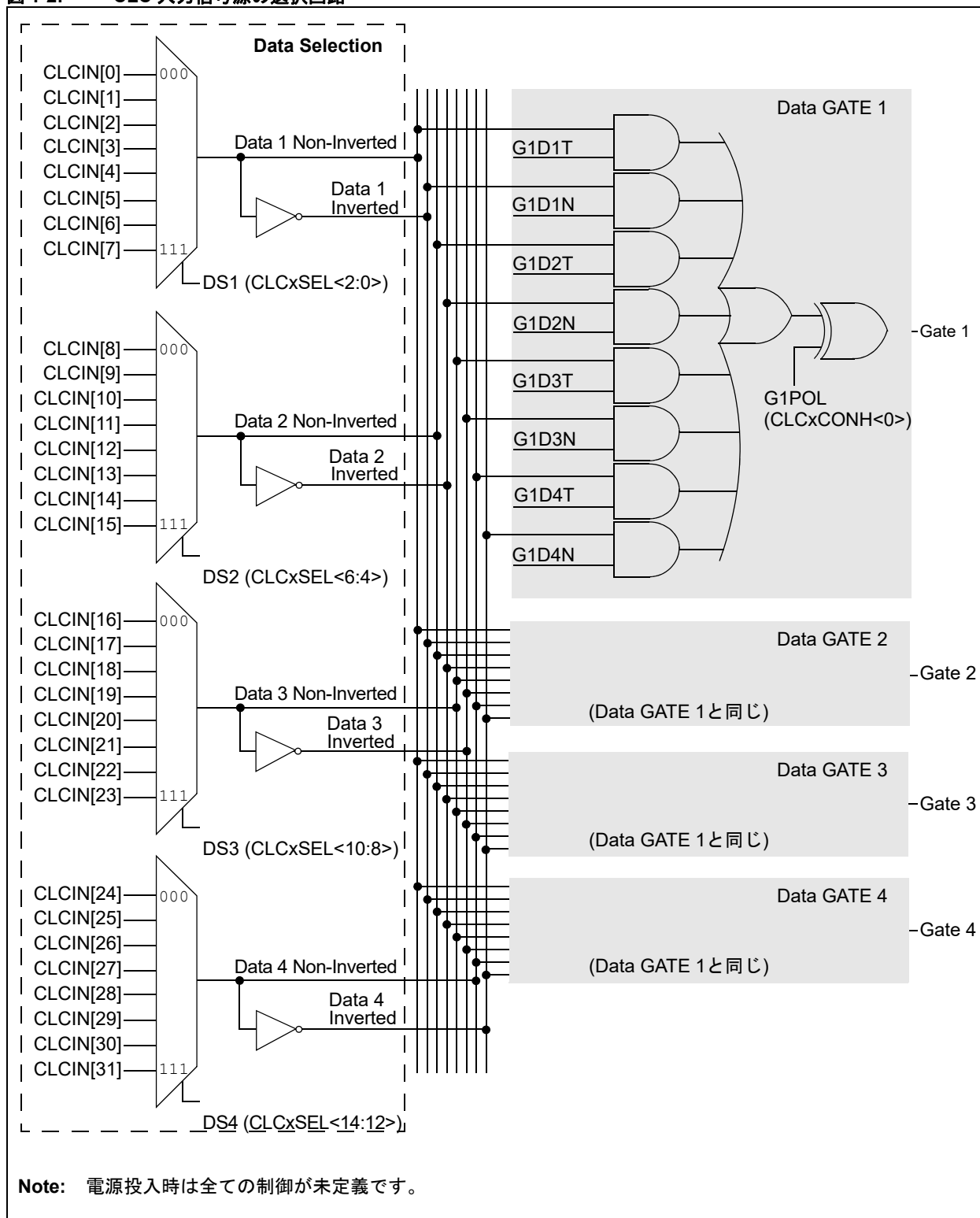
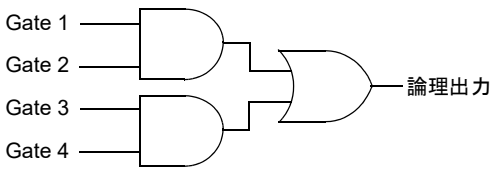
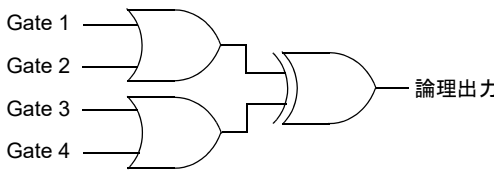
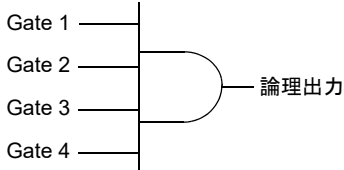
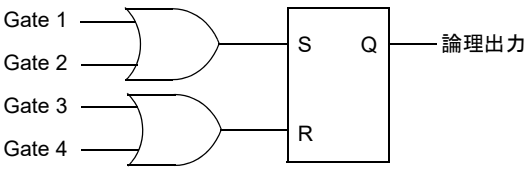
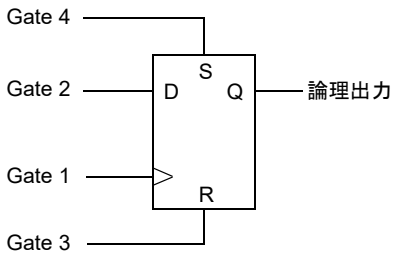
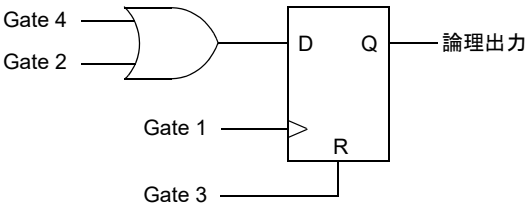
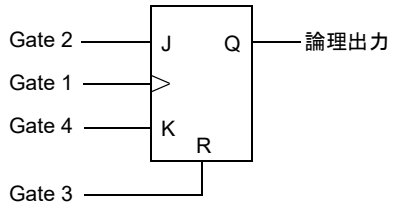
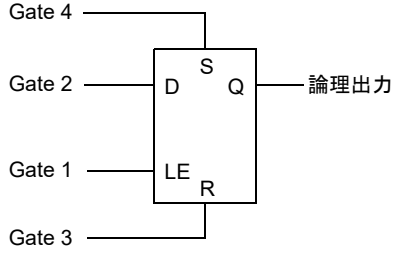


図 1-3: ロジック機能オプション

AND – OR  MODE<2:0> = 000	OR – XOR  MODE<2:0> = 001
4入力AND  MODE<2:0> = 010	S-Rラッチ  MODE<2:0> = 011
1入力D型フリップフロップ(S/R入力付き)  MODE<2:0> = 100	2入力D型フリップフロップ(R入力付き)  MODE<2:0> = 101
JK型フリップフロップ(R入力付き)  MODE<2:0> = 110	1入力トランスペアレント ラッチ(S/R入力付き)  MODE<2:0> = 111

CLC(構成可能なロジックセル)

2.0 レジスタ

CLC モジュールは以下のレジスタによって制御されます。

- CLCxCONL
- CLCxCONH
- CLCxSEL
- CLCxGLSL
- CLCxGLSH

CLCx 制御レジスタ (CLCxCONL と CLCxCONH) ではモジュール、割り込み、ピン出力の有効 / 無効の設定とロジック機能の選択を行います。CLCx 制御レジスタではロジックセル出力と各ゲート出力の論理極性も設定できます。

CLCx 入力 MUX 選択レジスタ (CLCxSEL) では、4 つのデータ選択マルチプレクサ (図 1-2 の破線枠内) のそれぞれで 8 つの入力信号から 1 つを選択します。4 つのデータ選択マルチプレクサの出力は、4 つのゲートを介して、MODE<2:0> ビット (CLCxCONL<2:0>) で選択されているロジック機能 (図 1-3 参照) の入力に接続されます。

CLCx 信号源イネーブル レジスタ (CLCxGLSL と CLCxGLSH) を使って、CLCxSEL レジスタで選択されている 4 つの入力信号源から 4 つの論理演算値 (ゲート出力) を生成します。図 1-2 に示したゲート内の積和回路には、CLCx 入力 MUX 選択レジスタ (CLCxSEL) で選択されている 4 つの入力信号の非反転値と反転値を入力できます。

レジスタ 2-1: CLCxCONL: 構成可能なロジックセル x 制御レジスタ (Low)

R/W-0	U-0	U-0	U-0	R/W-0	R/W-0	U-0	U-0
LCEN	—	—	—	INTP	INTN	—	—
bit 15				bit 8			
R-0	R-0	R/W-0	U-0	U-0	R/W-0	R/W-0	R/W-0
LCOE	LCOU	LCPOL	—	—	MODE2	MODE1	MODE0
bit 7				bit 0			

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装、「0」として読み出し
-n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

- bit15 **LCEN:** 構成可能なロジックセル イネーブルビット
1 = 構成可能なロジックセルを有効にして入力信号の論理演算値を出力する
0 = 構成可能なロジックセルを無効にする (出力は論理「0」)
- bit14-12 **未実装:** 「0」として読み出し
- bit11 **INTP:** 構成可能なロジックセル立ち上がりエッジ割り込みイネーブルビット
1 = LCOU で立ち上がりエッジが発生した時に割り込みを生成する
0 = 割り込みを生成しない
- bit10 **INTN:** 構成可能なロジックセル立ち下がりエッジ割り込みイネーブルビット
1 = LCOU で立ち下がりエッジが発生した時に割り込みを生成する
0 = 割り込みを生成しない
- bit9-8 **未実装:** 「0」として読み出し
- bit7 **LCOE:** 構成可能なロジックセル ポート イネーブルビット
1 = 構成可能なロジックセルのポートピン出力を有効にする
0 = 構成可能なロジックセルのポートピン出力を無効にする

dsPIC33/PIC24 ファミリ リファレンス マニュアル

レジスタ 2-1: CLCxCONL: 構成可能なロジックセル x 制御レジスタ (Low) (続き)

- bit6 **LCOUT:** 構成可能なロジックセル データ出力ステータスビット
 1 = 構成可能なロジックセルの出力は High
 0 = 構成可能なロジックセルの出力は Low
- bit5 **LCPOL:** 構成可能なロジックセル出力極性制御ビット
 1 = CLC モジュールの出力を反転する
 0 = CLC モジュールの出力を反転しない
- bit4-3 **未実装:** 「0」 として読み出し
- bit2-0 **MODE<2:0>:** 構成可能なロジックセル モードビット
 111 = セルを 1 入力トランスペアレント ラッチ (S/R 入力付き) に設定する
 110 = セルを JK 型フリップフロップ (R 入力付き) に設定する
 101 = セルを 2 入力 D 型フリップフロップ (R 入力付き) に設定する
 100 = セルを 1 入力 D 型フリップフロップ (S/R 入力付き) に設定する
 011 = セルを SR 型ラッチに設定する
 010 = セルを 4 入力 AND に設定する
 001 = セルを OR-XOR に設定する
 000 = セルを AND-OR に設定する

レジスタ 2-2: CLCxCONH: 構成可能なロジックセル x 制御レジスタ (High)

U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
–	–	–	–	–	–	–	–
bit 15							bit 8

U-0	U-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0
–	–	–	–	G4POL	G3POL	G2POL	G1POL
bit 7							bit 0

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装、「0」 として読み出し
 -n = POR 時の値 「1」 = ビットはセット 「0」 = ビットはクリア x = ビットは未知

- bit15-4 **未実装:** 「0」 として読み出し
- bit3 **G4POL:** ゲート 4 極性制御ビット
 1 = ゲート 4 ロジックの出力を反転する
 0 = ゲート 4 ロジックの出力を反転しない
- bit2 **G3POL:** ゲート 3 極性制御ビット
 1 = ゲート 3 ロジックの出力を反転する
 0 = ゲート 3 ロジックの出力を反転しない
- bit1 **G2POL:** ゲート 2 極性制御ビット
 1 = ゲート 2 ロジックの出力を反転する
 0 = ゲート 2 ロジックの出力を反転しない
- bit0 **G1POL:** ゲート 1 極性制御ビット
 1 = ゲート 1 ロジックの出力を反転する
 0 = ゲート 1 ロジックの出力を反転しない

CLC(構成可能なロジックセル)

レジスタ 2-3: CLCxSEL: 構成可能なロジックセル x 入力 MUX 選択レジスタ

U-0	R/W-0	R/W-0	R/W-0	U-0	R/W-0	R/W-0	R/W-0
—	DS4<2:0>:			—	DS3<2:0>:		
bit 15				bit 8			

U-0	R/W-0	R/W-0	R/W-0	U-0	R/W-0	R/W-0	R/W-0
—	DS2<2:0>:			—	DS1<2:0>:		
bit 7				bit 0			

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装、「0」として読み出し
 -n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

bit15 **未実装:** 「0」として読み出し
 bit14-12 **DS4<2:0>:** 入力 MUX 4 信号選択ビット
 xxx = デバイスによって異なる (MUX 4 で選択可能な信号についてはデバイスのデータシート参照)
 bit11 **未実装:** 「0」として読み出し
 bit10-8 **DS3<2:0>:** 入力 MUX 3 信号選択ビット
 xxx = デバイスによって異なる (MUX 3 で選択可能な信号についてはデバイスのデータシート参照)
 bit7 **未実装:** 「0」として読み出し
 bit6-4 **DS2<2:0>:** 入力 MUX 2 信号選択ビット
 xxx = デバイスによって異なる (MUX 2 で選択可能な信号についてはデバイスのデータシート参照)
 bit3 **未実装:** 「0」として読み出し
 bit2-0 **DS1<2:0>:** 入力 MUX 1 信号選択ビット
 xxx = デバイスによって異なる (MUX 1 で選択可能な信号についてはデバイスのデータシート参照)

dsPIC33/PIC24 ファミリ リファレンス マニュアル

レジスタ 2-4: CLCxGLSL: 構成可能なロジックセル x 信号源イネーブル レジスタ (Low)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
G2D4T	G2D4N	G2D3T	G2D3N	G2D2T	G2D2N	G2D1T	G2D1N
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
G1D4T	G1D4N	G1D3T	G1D3N	G1D2T	G1D2N	G1D1T	G1D1N
bit 7							bit 0

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装、「0」として読み出し
 -n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

bit15 **G2D4T:** ゲート 2 データ 4(非反転) イネーブルビット
 1 = ゲート 2 へのデータ 4(非反転) 信号入力を有効にする
 0 = ゲート 2 へのデータ 4(非反転) 信号入力を無効にする

bit14 **G2D4N:** ゲート 2 データ 4(反転) イネーブルビット
 1 = ゲート 2 へのデータ 4(反転) 信号入力を有効にする
 0 = ゲート 2 へのデータ 4(反転) 信号入力を無効にする

bit13 **G2D3T:** ゲート 2 データ 3(非反転) イネーブルビット
 1 = ゲート 2 へのデータ 3(非反転) 信号入力を有効にする
 0 = ゲート 2 へのデータ 3(非反転) 信号入力を無効にする

bit12 **G2D3N:** ゲート 2 データ 3(反転) イネーブルビット
 1 = ゲート 2 へのデータ 3(反転) 信号入力を有効にする
 0 = ゲート 2 へのデータ 3(反転) 信号入力を無効にする

bit11 **G2D2T:** ゲート 2 データ 2(非反転) イネーブルビット
 1 = ゲート 2 へのデータ 2(非反転) 信号入力を有効にする
 0 = ゲート 2 へのデータ 2(非反転) 信号入力を無効にする

bit10 **G2D2N:** ゲート 2 データ 2(反転) イネーブルビット
 1 = ゲート 2 へのデータ 2(反転) 信号入力を有効にする
 0 = ゲート 2 へのデータ 2(反転) 信号入力を無効にする

bit9 **G2D1T:** ゲート 2 データ 1(非反転) イネーブルビット
 1 = ゲート 2 へのデータ 1(非反転) 信号入力を有効にする
 0 = ゲート 2 へのデータ 1(非反転) 信号入力を無効にする

bit8 **G2D1N:** ゲート 2 データ 1(反転) イネーブルビット
 1 = ゲート 2 へのデータ 1(反転) 信号入力を有効にする
 0 = ゲート 2 へのデータ 1(反転) 信号入力を無効にする

bit7 **G1D4T:** ゲート 1 データ 4(非反転) イネーブルビット
 1 = ゲート 1 へのデータ 4(非反転) 信号入力を有効にする
 0 = ゲート 1 へのデータ 4(非反転) 信号入力を無効にする

bit6 **G1D4N:** ゲート 1 データ 4(反転) イネーブルビット
 1 = ゲート 1 へのデータ 4(反転) 信号入力を有効にする
 0 = ゲート 1 へのデータ 4(反転) 信号入力を無効にする

bit5 **G1D3T:** ゲート 1 データ 3(非反転) イネーブルビット
 1 = ゲート 1 へのデータ 3(非反転) 信号入力を有効にする
 0 = ゲート 1 へのデータ 3(非反転) 信号入力を無効にする

bit4 **G1D3N:** ゲート 1 データ 3(反転) イネーブルビット
 1 = ゲート 1 へのデータ 3(反転) 信号入力を有効にする
 0 = ゲート 1 へのデータ 3(反転) 信号入力を無効にする

CLC(構成可能なロジックセル)

レジスタ 2-4: CLCxGLSL: 構成可能なロジックセル x 信号源イネーブル レジスタ (Low) (続き)

bit3	G1D2T: ゲート 1 データ 2(非反転) イネーブルビット 1 = ゲート 1 へのデータ 2(非反転) 信号入力を有効にする 0 = ゲート 1 へのデータ 2(非反転) 信号入力を無効にする
bit2	G1D2N: ゲート 1 データ 2(反転) イネーブルビット 1 = ゲート 1 へのデータ 2(反転) 信号入力を有効にする 0 = ゲート 1 へのデータ 2(反転) 信号入力を無効にする
bit1	G1D1T: ゲート 1 データ 1(非反転) イネーブルビット 1 = ゲート 1 へのデータ 1(非反転) 信号入力を有効にする 0 = ゲート 1 へのデータ 1(非反転) 信号入力を無効にする
bit0	G1D1N: ゲート 1 データ 1(反転) イネーブルビット 1 = ゲート 1 へのデータ 1(反転) 信号入力を有効にする 0 = ゲート 1 へのデータ 1(反転) 信号入力を無効にする

レジスタ 2-5: CLCxGLSH: 構成可能なロジックセル x 信号源イネーブル レジスタ (High)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
G4D4T	G4D4N	G4D3T	G4D3N	G4D2T	G4D2N	G4D1T	G4D1N
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
G3D4T	G3D4N	G3D3T	G3D3N	G3D2T	G3D2N	G3D1T	G3D1N
bit 7							bit 0

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装、「0」として読み出し
-n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

bit15	G4D4T: ゲート 4 データ 4(非反転) イネーブルビット 1 = ゲート 4 へのデータ 4(非反転) 信号入力を有効にする 0 = ゲート 4 へのデータ 4(非反転) 信号入力を無効にする
bit14	G4D4N: ゲート 4 データ 4(反転) イネーブルビット 1 = ゲート 4 へのデータ 4(反転) 信号入力を有効にする 0 = ゲート 4 へのデータ 4(反転) 信号入力を無効にする
bit13	G4D3T: ゲート 4 データ 3(非反転) イネーブルビット 1 = ゲート 4 へのデータ 3(非反転) 信号入力を有効にする 0 = ゲート 4 へのデータ 3(非反転) 信号入力を無効にする
bit12	G4D3N: ゲート 4 データ 3(反転) イネーブルビット 1 = ゲート 4 へのデータ 3(反転) 信号入力を有効にする 0 = ゲート 4 へのデータ 3(反転) 信号入力を無効にする
bit11	G4D2T: ゲート 4 データ 2(非反転) イネーブルビット 1 = ゲート 4 へのデータ 2(非反転) 信号入力を有効にする 0 = ゲート 4 へのデータ 2(非反転) 信号入力を無効にする
bit10	G4D2N: ゲート 4 データ 2(反転) イネーブルビット 1 = ゲート 4 へのデータ 2(反転) 信号入力を有効にする 0 = ゲート 4 へのデータ 2(反転) 信号入力を無効にする
bit9	G4D1T: ゲート 4 データ 1(非反転) イネーブルビット 1 = ゲート 4 へのデータ 1(非反転) 信号入力を有効にする 0 = ゲート 4 へのデータ 1(非反転) 信号入力を無効にする

dsPIC33/PIC24 ファミリ リファレンス マニュアル

レジスタ 2-5: CLCxGLSH: 構成可能なロジックセル x 信号源イネーブル レジスタ (High) (続き)

bit8	G4D1N: ゲート 4 データ 1(反転) イネーブルビット 1 = ゲート 4 へのデータ 1(反転) 信号入力を有効にする 0 = ゲート 4 へのデータ 1(反転) 信号入力を無効にする
bit7	G3D4T: ゲート 3 データ 4(非反転) イネーブルビット 1 = ゲート 3 へのデータ 4(非反転) 信号入力を有効にする 0 = ゲート 3 へのデータ 4(非反転) 信号入力を無効にする
bit6	G3D4N: ゲート 3 データ 4(反転) イネーブルビット 1 = ゲート 3 へのデータ 4(反転) 信号入力を有効にする 0 = ゲート 3 へのデータ 4(反転) 信号入力を無効にする
bit5	G3D3T: ゲート 3 データ 3(非反転) イネーブルビット 1 = ゲート 3 へのデータ 3(非反転) 信号入力を有効にする 0 = ゲート 3 へのデータ 3(非反転) 信号入力を無効にする
bit4	G3D3N: ゲート 3 データ 3(反転) イネーブルビット 1 = ゲート 3 へのデータ 3(反転) 信号入力を有効にする 0 = ゲート 3 へのデータ 3(反転) 信号入力を無効にする
bit3	G3D2T: ゲート 3 データ 2(非反転) イネーブルビット 1 = ゲート 3 へのデータ 2(非反転) 信号入力を有効にする 0 = ゲート 3 へのデータ 2(非反転) 信号入力を無効にする
bit2	G3D2N: ゲート 3 データ 2(反転) イネーブルビット 1 = ゲート 3 へのデータ 2(反転) 信号入力を有効にする 0 = ゲート 3 へのデータ 2(反転) 信号入力を無効にする
bit1	G3D1T: ゲート 3 データ 1(非反転) イネーブルビット 1 = ゲート 3 へのデータ 1(非反転) 信号入力を有効にする 0 = ゲート 3 へのデータ 1(非反転) 信号入力を無効にする
bit0	G3D1N: ゲート 3 データ 1(反転) イネーブルビット 1 = ゲート 3 へのデータ 1(反転) 信号入力を有効にする 0 = ゲート 3 へのデータ 1(反転) 信号入力を無効にする

CLC(構成可能なロジックセル)

3.0 CLC のセットアップ

CLCxCONL レジスタではロジック機能を選択し、I/O ピン制御の有効 / 無効を設定します。CLCxCONH レジスタではゲート出力信号の極性を設定します。CLC を動作させるには、LCEN ビット (CLCxCONL<15>) をセットする必要があります。全てのレジスタは LCEN ビットがクリアされている時に書き込みます。

CLCxSEL(レジスタ 2-3) レジスタは図 1-2 の各マルチプレクサから入力データバスに接続する入力信号源を選択します。データバスには、選択された入力信号源からの非反転 (T: True) 値と反転 (N: Nagated) 値の両方が接続されます。

CLCxGLSL(レジスタ 2-4) および CLCxGLSH(レジスタ 2-5) レジスタでは、データバスから各ゲート (OR ゲート) に入力する信号を選択します。同じ信号源からの非反転および反転入力は別々に有効にできますが、同じ信号で両方を有効にしてはなりません。

CLC モジュールの最終的な出力の極性は、LCPOL ビット (CLCxCONL<5>) で設定します。LCPOL = 1 に設定すると出力は反転し、LCPOL = 0 では反転しません。GxPOL ビット (CLCxCONH<3:0>) は、ロジック機能の各入力 (各ゲート出力) の極性を制御します。

INTP および INTN ピン (CLCxCONL<11:10>) は、それぞれ CLC 出力の立ち上がりエッジおよび立ち上がりエッジを割り込み生成条件として有効にします。

LCOUT ビットは読み出し専用であり、CLC モジュールの出力ステータスを反映します。CLCxOUT 信号を I/O ピンに出力する場合、LCOE ビットをセットして I/O をデジタル出力として設定します。一部のデバイスでは、PPS(ペリフェラル ピンセレクト) 機能から CLCxOUT 信号を利用できますが、その場合は設定する必要があります。

4.0 入力信号の供給源

CLC のロジック機能は 4 つの各ゲートに接続された 4 つの入力を持ちます。各ゲートに入力する信号は 8 種 (4 つの入力信号源の反転値または非反転値) から選択できます。CLC 用に使える入力信号源はデバイスによって異なります。詳細は各デバイスのデータシートを参照してください。

4.1 入力信号源マルチプレクサ

CLC モジュールは 4 つの入力信号源マルチプレクサを備えています。各マルチプレクサの入力信号源の選択には CLCxSEL レジスタを使います。4 つのマルチプレクサからの信号は 4 つのゲートを介してロジック機能に入力されます (図 1-3 参照)。CLC モジュールは各入力信号源マルチプレクサからの出力で構成された内部データバスを備えています (図 1-2 参照)。データバスには、各マルチプレクサで選択された入力信号源の非反転 (T) 値と反転 (N) 値の両方が含まれます。従って、内部データバスからゲートに入力できる信号は 8 つあります。

4.2 ゲート

各マルチプレクサで選択した入力信号源は、4 つのゲートを介して、ロジック機能の 4 つの入力に接続されます。各ゲートには、各入力信号源の非反転値と反転値を入力できます。各ゲートに入力する信号は、CLCxGLS レジスタで有効にします。各ゲートに入力できる信号は最大で 8 つあります。4 つのゲートのそれぞれに対して、任意数 (最大 8) の信号を有効にできます。各ゲートは入力された信号の論理和 (OR) を出力します。つまり、選択された信号 (非反転または反転) の論理和 (OR) によってゲート出力が生成されます。GxPOL ビットを使ってゲート出力の極性を反転する事で、入力信号の否定論理和 (NOR) を生成できます。入力信号の論理積 (AND) をゲートから出力する必要がある場合、反転した入力信号を選択して出力の極性を反転させます (ドモルガンの法則に従う)。反転入力同士の否定論理和 (NOR) は、非反転入力同士の論理積 (AND) と同じです。これは下式で表せます。

$C = A \text{ AND } B$

は下と同じです。

$C = \text{NOT}(\text{NOT}(A) \text{ OR } \text{NOT}(B))$

表 4-1 に、CLCxGLS レジスタのゲート制御ビットで設定できる基本的なロジック機能の一覧を示します。この表の例では、4 つの入力マルチプレクサ信号源の全てを使っていますが、一部の信号源だけを使って入力ゲートを設定する事もできます。入力に何も選択しない (CLCxGLS = 0x00) 場合、GxPOL ビットの状態に応じて 0 または 1 が出力されます。

表 4-1: ロジック機能の例

CLCxGLS	GxPOL ビット	Function
0xAAAA	0	OR (D1, D2, D3, D4)
0xAAAA	1	NOR (D1, D2, D3, D4)
0x5555	0	NAND (D1, D2, D3, D4)
0x5555	1	AND (D1, D2, D3, D4)
0x0000	0	論理「0」
0x0000	1	論理「1」

ゲート出力を 0 または 1 に固定する必要がある場合、CLCxGLS レジスタ内のそのゲートに関連する全てのビットを「0」に設定し、ゲート極性ビット GxPOL を使って目的とする出力状態に設定する事を推奨します。

4.3 ロジック機能

以下の 8 つのロジック機能が使えます。

- AND-OR
- OR-XOR
- AND
- S-R ラッチ
- D 型フリップフロップ (セット / リセット入力付き)
- D 型フリップフロップ (リセット入力付き)
- JK 型フリップフロップ (リセット入力付き)
- トランスペアレント ラッチ (セット / リセット入力付き)

これらのロジック機能については図 1-3 を参照してください。各ロジック機能は 4 入力 / 1 出力です。MODE<2:0> ビット (CLCxCONL<2:0>) は、ロジック機能オプション (4 種類の組み合わせロジックと 4 種類の状態ロジックのいずれか) を選択します。3 つの状態ロジック オプション (古典的な意味での D 型および JK 型フリップフロップ) は、ゲート 1 入力を立ち上がりエッジクロックとして使います。状態ロジックのもう 1 つのオプションはトランスペアレント ラッチ (MODE<2:0> ビット = 111) です (Q は、LE(ラッチ イネーブル) が真の時に D の状態に追従し、LE が偽の時に状態を保持する)。S(セット) および R(リセット) 入力の両方を使うオプションでは、S または R が論理「1」に遷移すると、出力はクロックに対して非同期に遷移します (R 優先)。

4.4 ソフトウェア入力

ロジック機能へのデータ入力をソフトウェアで直接制御する事もできます。これを行うには、CLCxGLSL/H レジスタ内の対応するゲートに関連する全てのビットを「0」にクリアし、ソフトウェアで対応する GxPOL ビットに値を書き込みます (表 4-1 参照)。すると、そのゲートは GxPOL ビットに書き込まれた値を出力します。

CLC(構成可能なロジックセル)

5.0 出力

LCOUT (CLCxCONL<6>) は CLC モジュールの出力ステータスを表し、この値が I/O ポートピンまたはデバイス内の他の周辺モジュールへ出力されます。いかなる場合も、この信号値には LCPOL で設定されている極性が反映されます。この出力を I/O ピンから取り出すには、LCOE ビット (CLCxCONL<7>) をセットする必要があります。

6.0 アプリケーション ロジック

CLC モジュールのロジック機能には、組み合わせロジックおよび状態ロジック (図 1-3) オプションを選択できます。ロジック機能にはゲート出力が入力されます。CLCxGLS = 0x00 の場合、ロジック機能には GxPOL ビット (CLCxCONH<3:0>) がクリアされていれば「0」が入力され、GxPOL ビットがセットされていれば「1」が入力されます。

6.1 組み合わせロジック

組み合わせロジック機能 (MODE<2:0> = 010、001、000) は、AND および OR ロジックの組み合わせで構成されます。4 入力 AND の入力と出力を反転する事で、OR 機能が得られます (ドモルガンの法則)。XOR の出力を反転した結果と、XOR の片方の入力だけを反転した結果は同じです。

LCEN (CLCxCONL<15>) をクリアしても、SR 型ラッチ (MODE<2:0> = 011) は影響を受けません (状態ロジックの場合と同じ)。ラッチはリセット優先です (リセットとセットの両方に「真」が入力された場合、リセットにだけ「真」の入力があつたものとして扱う)。

6.2 状態ロジック

状態ロジック機能には、クロックに非同期セット (S) および / またはリセット (R) 入力を備えた D 型および JK 型フリップフロップがあります。ゲート 1 は立ち上がりエッジクロックとして使います。立ち下がりがエッジクロックが必要な場合、ゲート 1 極性制御ビット (G1POL) を使ってクロックの極性を反転できます。ゲート 2 は (モードによってはゲート 4 も)、フリップフロップまたはラッチへのデータ入力用に使います。トランスペアレント ラッチモード (MODE<2:0> = 111) の場合、出力 Q は LE が High の時に D の状態に追従し、LE が Low の時に状態を保持します。

モードに応じて、状態メモリを共有する場合と共有しない場合があります。また、モード切り換え時に状態変数の状態が変化する場合と変化しない場合があります。全てのモードはリセット優先です。

7.0 CLC 割り込み

CLC モジュールは、LCOUT の立ち上がりエッジまたは立ち下がりがエッジが発生した時に割り込みを生成できます。これらの割り込み生成条件は、それぞれ INTP (CLCxCONL<11>) および INTN (CLCxCONL<10>) 制御ビットで有効にします。

どちらの割り込み条件が発生しても、CLC 割り込みフラグ CLCIF がセットされます。割り込みは、モジュールが有効 (LCEN = 1) な時に、CLC 出力で立ち上がりエッジが発生した時点 (INTP = 1 の場合)、または立ち下がりがエッジが発生した時点 (INTN = 1 の場合) で生成されます。

CLC ロジックの初期出力が論理「1」である場合、INTP = 1 に設定すると、LCEN を「1」にセットした時点で割り込みが生成されます。同様に、CLC の初期出力が「0」である場合、INTN = 1 に設定すると、CLC モジュールを有効にした時点で割り込みが生成されます。これらの割り込みが発生した事はソフトウェアで検出する必要があります。また、割り込みはソフトウェアでクリアする必要があります。同様に、CLC モジュールを有効にした状態で INTP または INTN ビットをセットすると、誤った割り込みが発生する可能性があります。

CLC モジュールの初期化プロセス中に発生する誤った割り込みイベントは、ユーザがクリアする必要があります。

CLC 割り込みイネーブルビット CLCIE がクリアされていると、割り込みは生成されません。しかし、その場合でも、割り込み条件が発生すると CLCIF ビットはセットされます。ユーザは、割り込みサービスルーチン内で CLCIF ビットをクリアする事で、割り込みをクリアできます。詳細は『dsPIC33/PIC24 ファミリー リファレンス マニュアル』の「割り込み」(DS70000600_JP) を参照してください。

8.0 スリープ中の動作

CLCモジュールはシステムクロック源を使わずに動作するため、スリープの影響を受けません。しかし、入力信号源の一部がスリープ中に無効になると、CLCモジュールは正しく機能しません。信号源がスリープ中も動作すれば、モジュールは正しく機能します。詳細は各デバイスのデータシートを参照してください。

9.0 アイドル中の動作

CLCモジュールはシステムクロック源を使わずに動作するため、アイドルの影響を受けません。しかし、入力信号源の一部がアイドル中に無効になると、CLCモジュールは正しく機能しません。信号源がアイドル中も動作すれば、モジュールは正しく機能します。詳細は各デバイスのデータシートを参照してください。

10.0 リセット

LCEN ビットに「0」を書き込むと、全ての状態ロジック機能の出力は「0」にリセットされます。システムリセットが発生すると CLCxCONL、CLCxCONH、CLCxSEL、CLCxGLSL、CLCxGLSH レジスタは既定値状態に戻され、モジュールは無効になります。

デバイスリセットが発生すると、モジュール レジスタ内の全てのビットは既定値状態に戻されます。リセット後に、全てのロジック機能（ラッチおよびフリップフロップ機能を含む）の出力は「0」にクリアされます。デバイスリセットが発生すると、LCEN ビット (CLCxCONL<15>) は「0」にクリアされ、状態ロジックはリセットされ、ロジック機能の出力は Low に設定されます。

11.0 改訂履歴

リビジョン A (2016 年 11 月)

本書は初版です。

dsPIC33/PIC24 ファミリ リファレンス マニュアル

NOTE:

Microchip 社製品のコード保護機能について以下の点にご注意ください。

- Microchip 社製品は、該当する Microchip 社データシートに記載の仕様を満たしています。
- Microchip 社では、通常の条件ならびに動作仕様書の仕様に従って使った場合、Microchip 社製品のセキュリティ レベルは、現在市場に流通している同種製品の中でも最も高度であると考えています。
- Microchip 社はその知的財産権を重視し、積極的に保護しています。Microchip 社製品のコード保護機能の侵害は固く禁じられており、デジタル ミレニアム著作権法に違反します。
- Microchip 社を含む全ての半導体メーカーで、自社のコードのセキュリティを完全に保証できる企業はありません。コード保護機能とは、Microchip 社が製品を「解読不能」として保証するものではありません。コード保護機能は常に進化しています。Microchip 社では、常に製品のコード保護機能の改善に取り組んでいます。

本書および本書に記載されている情報は、Microchip 社製品を設計、テスト、お客様のアプリケーションと統合する目的を含め、Microchip 社製品に対してのみ使う事ができます。それ以外の方法でこの情報を使う事はこれらの条項に違反します。デバイス アプリケーションの情報は、ユーザの便宜のためにのみ提供されるものであり、更新によって変更となる事があります。お客様のアプリケーションが仕様を満たす事を保証する責任は、お客様にあります。その他のサポートは Microchip 社正規代理店にお問い合わせ頂くか、<https://www.microchip.com/en-us/support/design-help/client-support-services> をご覧ください。

Microchip 社は本書の情報を「現状のまま」で提供しています。Microchip 社は明示的、暗黙的、書面、口頭、法定のいずれであるかを問わず、本書に記載されている情報に関して、非侵害性、商品性、特定目的への適合性の暗黙的保証、または状態、品質、性能に関する保証をはじめとするいかなる類の表明も保証も行いません。

いかなる場合も Microchip 社は、本情報またはその使用に関連する間接的、特殊的、懲罰的、偶発的または必然的損失、損害、費用、経費のいかににかかわらず、また Microchip 社がそのような損害が生じる可能性について報告を受けていた場合あるいは損害が予測可能であった場合でも、一切の責任を負いません。法律で認められる最大限の範囲を適用しようとも、本情報またはその使用に関連する一切の申し立てに対する Microchip 社の責任限度額は、使用者が当該情報に関連して Microchip 社に直接支払った額を超えません。

Microchip 社の明示的な書面による承認なしに、生命維持装置あるいは生命安全用途に Microchip 社の製品を使う事は全て購入者のリスクとし、また購入者はこれによって発生したあらゆる損害、クレーム、訴訟、費用に関して、Microchip 社は擁護され、免責され、損害をうけない事に同意するものとします。特に明記しない場合、暗黙的あるいは明示的を問わず、Microchip 社が知的財産権を保有しているライセンスは一切譲渡されません。

Microchip 社の品質管理システムについては www.microchip.com/quality をご覧ください。

商標

Microchip 社の名称とロゴ、Microchip ロゴ、Adaptec、AVR、AVR ロゴ、AVR Freaks、BesTime、BitCloud、CryptoMemory、CryptoRF、dsPIC、flexPWR、HELDO、IGLOO、JukeBlox、Keeloq、Kleer、LANCheck、LinkMD、maxStylus、maxTouch、MediaLB、megaAVR、Microsemi、Microsemi ロゴ、MOST、MOST ロゴ、MPLAB、OptoLyzr、PIC、picoPower、PICSTART、PIC32 ロゴ、PolarFire、Prochip Designer、QTouch、SAM-BA、SenGenuity、SpyNIC、SST、SST ロゴ、SuperFlash、Symmetricom、SyncServer、Tachyon、TimeSource、tinyAVR、UNI/O、Vectron、XMEGA は米国とその他の国における Microchip Technology Incorporated の登録商標です。

AgileSwitch、APT、ClockWorks、The Embedded Control Solutions Company、EtherSynch、Flashtec、Hyper Speed Control、HyperLight Load、Libero、motorBench、mTouch、Powermite 3、Precision Edge、ProASIC、ProASIC Plus、ProASIC Plus ロゴ、Quiet-Wire、SmartFusion、SyncWorld、Temux、TimeCesium、TimeHub、TimePictra、TimeProvider、TrueTime、ZL は米国における Microchip Technology Incorporated の登録商標です。

Adjacent Key Suppression、AKS、Analog-for-the-Digital Age、Any Capacitor、AnyIn、AnyOut、Augmented Switching、BlueSky、BodyCom、Clockstudio、CodeGuard、CryptoAuthentication、CryptoAutomotive、CryptoCompanion、CryptoController、dsPICDEM、dsPICDEM.net、Dynamic Average Matching、DAM、ECAN、Espresso T1S、EtherGREEN、GridTime、IdealBridge、In-Circuit Serial Programming、ICSP、INICnet、Intelligent Paralleling、IntelliMOS、Inter-Chip Connectivity、JitterBlocker、Knob-on-Display、KoD、maxCrypto、maxView、memBrain、Mindi、MiWi、MPASM、MPF、MPLAB Certified ロゴ、MPLIB、MPLINK、MultiTRAK、NetDetach、Omniscient Code Generation、PICDEM、PICDEM.net、PICKit、PiCtail、PowerSmart、PureSilicon、QMatrix、REAL ICE、Ripple Blocker、RTAX、RTG4、SAM-ICE、Serial Quad I/O、simpleMAP、SimpliPHY、SmartBuffer、SmartHLS、SMART-I.S.、storClad、SQL、SuperSwitcher、SuperSwitcher II、Switchtec、SynchroPHY、Total Endurance、Trusted Time、TSHARC、USBCheck、VariSense、VectorBlox、VeriPHY、ViewSpan、WiperLock、XpressConnect、ZENA は米国とその他の国における Microchip Technology Incorporated の商標です。

SQTP は米国における Microchip Technology Incorporated のサービスマークです。

Adaptec ロゴ、Frequency on Demand、Silicon Storage Technology、Symmcom はその他の国における Microchip Technology Incorporated の登録商標です。

GestIC は、その他の国における Microchip Technology Germany II GmbH & Co. KG (Microchip Technology Incorporated の子会社) の登録商標です。

その他の商標は各社に帰属します。

© 2022, Microchip Technology Incorporated and its subsidiaries.

All Rights Reserved.

ISBN: 78-1-6683-0242-2

各国の営業所とサービス

南北アメリカ

本社
2355 West Chandler Blvd.
Chandler, AZ 85224-6199
Tel: 480-792-7200
Fax: 480-792-7277
技術サポート :
<http://www.microchip.com/support>
URL:
www.microchip.com

アトランタ
Duluth, GA
Tel: 678-957-9614
Fax: 678-957-1455

オースティン, TX
Tel: 512-257-3370

ボストン
Westborough, MA
Tel: 774-760-0087
Fax: 774-760-0088

シカゴ
Itasca, IL
Tel: 630-285-0071
Fax: 630-285-0075

ダラス
Addison, TX
Tel: 972-818-7423
Fax: 972-818-2924

デトロイト
Novi, MI
Tel: 248-848-4000

ヒューストン, TX
Tel: 281-894-5983

インディアナポリス
Noblesville, IN
Tel: 317-773-8323
Fax: 317-773-5453
Tel: 317-536-2380

ロサンゼルス
Mission Viejo, CA
Tel: 949-462-9523
Fax: 949-462-9608
Tel: 951-273-7800

ローリー, NC
Tel: 919-844-7510

ニューヨーク, NY
Tel: 631-435-6000

サンノゼ, CA
Tel: 408-735-9110
Tel: 408-436-4270

カナダ - トロント
Tel: 905-695-1980
Fax: 905-695-2078

アジア/太平洋

オーストラリア - シドニー
Tel: 61-2-9868-6733

中国 - 北京
Tel: 86-10-8569-7000

中国 - 成都
Tel: 86-28-8665-5511

中国 - 重慶
Tel: 86-23-8980-9588

中国 - 東莞
Tel: 86-769-8702-9880

中国 - 広州
Tel: 86-20-8755-8029

中国 - 杭州
Tel: 86-571-8792-8115

中国 - 香港 SAR
Tel: 852-2943-5100

中国 - 南京
Tel: 86-25-8473-2460

中国 - 青島
Tel: 86-532-8502-7355

中国 - 上海
Tel: 86-21-3326-8000

中国 - 瀋陽
Tel: 86-24-2334-2829

中国 - 深圳
Tel: 86-755-8864-2200

中国 - 蘇州
Tel: 86-186-6233-1526

中国 - 武漢
Tel: 86-27-5980-5300

中国 - 西安
Tel: 86-29-8833-7252

中国 - 厦門
Tel: 86-592-2388138

中国 - 珠海
Tel: 86-756-3210040

アジア/太平洋

インド - バンガロール
Tel: 91-80-3090-4444

インド - ニューデリー
Tel: 91-11-4160-8631

インド - プネ
Tel: 91-20-4121-0141

日本 - 大阪
Tel: 81-6-6152-7160

日本 - 東京
Tel: 81-3-6880-3770

韓国 - 大邱
Tel: 82-53-744-4301

韓国 - ソウル
Tel: 82-2-554-7200

マレーシア - クアラルンプール
Tel: 60-3-7651-7906

マレーシア - ペナン
Tel: 60-4-227-8870

フィリピン - マニラ
Tel: 63-2-634-9065

シンガポール
Tel: 65-6334-8870

台湾 - 新竹
Tel: 886-3-577-8366

台湾 - 高雄
Tel: 886-7-213-7830

台湾 - 台北
Tel: 886-2-2508-8600

タイ - バンコク
Tel: 66-2-694-1351

ベトナム - ホーチミン
Tel: 84-28-5448-2100

欧州

オーストリア - ヴェルス
Tel: 43-7242-2244-39
Fax: 43-7242-2244-393

デンマーク - コペンハーゲン
Tel: 45-4485-5910
Fax: 45-4485-2829

フィンランド - エスポー
Tel: 358-9-4520-820

フランス - パリ
Tel: 33-1-69-53-63-20
Fax: 33-1-69-30-90-79

ドイツ - ガーヒンク
Tel: 49-8931-9700

ドイツ - ハーン
Tel: 49-2129-3766400

ドイツ - ハイムロン
Tel: 49-7131-72400

ドイツ - カールスルーエ
Tel: 49-721-625370

ドイツ - ミュンヘン
Tel: 49-89-627-144-0
Fax: 49-89-627-144-44

ドイツ - ローゼンハイム
Tel: 49-8031-354-560

イスラエル - ラーナナ
Tel: 972-9-744-7705

イタリア - ミラノ
Tel: 39-0331-742611
Fax: 39-0331-466781

イタリア - バドヴァ
Tel: 39-049-7625286

オランダ - ドリュウネン
Tel: 31-416-690399
Fax: 31-416-690340

ノルウェー - トロンハイム
Tel: 47-7288-4388

ポーランド - ワルシャワ
Tel: 48-22-3325737

ルーマニア - ブカレスト
Tel: 40-21-407-87-50

スペイン - マドリッド
Tel: 34-91-708-08-90
Fax: 34-91-708-08-91

スウェーデン - ヨーテボリ
Tel: 46-31-704-60-40

スウェーデン - ストックホルム
Tel: 46-8-5090-4654

イギリス - ウォーキンガム
Tel: 44-118-921-5800
Fax: 44-118-921-5820