



25CSM04

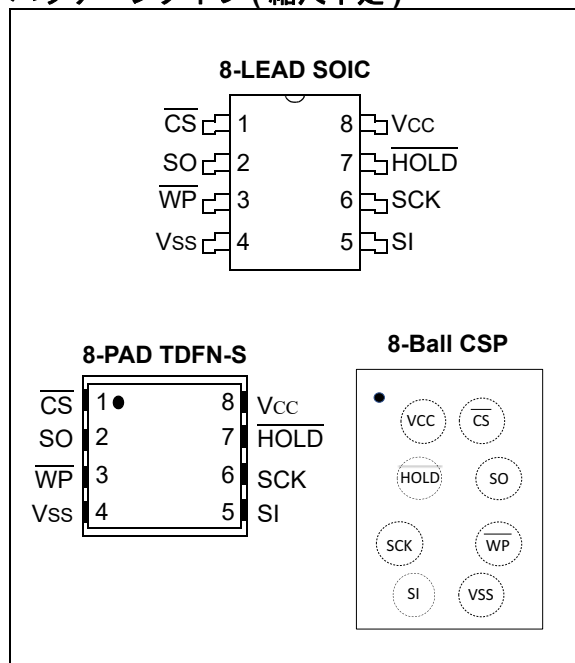
4 Mbit SPI シリアル EEPROM

(128 ビットシリアル番号書き込み済み、拡張書き込み保護機能付き)

特長

- 4 Mbit SPI シリアル EERAM
 - メモリ構成：524,288 バイト x 8 ビット
 - ページサイズ：256 バイト
 - バイト読み出しとシーケンシャル読み出し
 - バイト書き込みとページ書き込み
 - 自己タイマ書き込みサイクル (最長 5 ms)
- セキュリティ レジスタ
 - 128 ビットのシリアル番号が書き込み済み
 - 256 バイトのユーザ書き込み / ロック可能 ID ページ
- 誤り訂正コード (ECC) ロジックを内蔵
 - ステータス レジスタ内の ECC ステータス ビット
- JEDEC® 準拠 SPI の製造者 ID の読み出しをサポート
- 高速クロック
 - 8 MHz (@ Vcc ≥ 3.0 V)
 - 5 MHz (@ Vcc ≥ 2.5 V)
- レガシー書き込み保護モード
 - ブロック保護機能 (メモリアレイの 1/2、1/4、1/1 領域を保護)
- 拡張書き込み保護モード
 - ユーザ定義可能なメモリ パーティション
 - 各パーティションを個別に設定し、それぞれに固有の保護属性を持たせる事が可能
- 低消費電力 CMOS 技術
 - 電圧レンジ：2.5 ~ 5.5 V
 - 書き込み時消費電流：3.0 mA @ 5.0 V
 - 読み出し時消費電流：3.0 mA @ 5.0 V、8 MHz
 - スタンバイ時消費電流：1.0 μA @ 2.5 V (産業用温度レンジ)
- 高信頼性
 - 消去 / 書き込み耐性：100 万サイクル以上
 - 内蔵 ECC ロジックによる高信頼性
 - データ保持寿命：100 年以上
 - ESD 保護：4000 V 以上
- 温度レンジ
 - 産業用温度レンジ (I)：-40 ~ +85 °C

パッケージタイプ (縮尺不定)



ピン割り当て表

名称	機能
CS	チップセレクト入力
SO	シリアルデータ出力
WP	書き込み保護
Vss	グランド
SI	シリアルデータ入力
SCK	シリアルクロック入力
HOLD	ホールド入力
Vcc	電源電圧

パッケージ

- 8 ピン SOIC、8 パッド TDFN-S、8 ボール CSP

25CSM04

概要

Microchip 社の 25CSM04 は、SPI (Serial Peripheral Interface) 互換バスを使って 4 Mbit シリアル EEPROM を提供します。本デバイスは 512 K バイト (524,288 バイト x 8 ビット) として構成され、信頼性の高い不揮発性メモリを必要とするコンシューマおよび産業用アプリケーション向けに最適化されています。25CSM04 は、幅広い電圧レンジ (2.5 ~ 5.5 V) で動作可能です。

必要なバス信号ラインはクロック入力 (SCK)、データ入力 (SI)、データ出力 (SO) です。本デバイスへのアクセスは、チップセレクト ($\overline{\text{CS}}$) 入力を使って制御します。本デバイスとの通信は、 HOLD ピンを使って一時停止できます。一時停止中は $\overline{\text{CS}}$ を除く入力での信号遷移が無視され、ホストはこの間に優先度の高い割り込みを処理できます。

25CSM04 は、4 Mbit の主メモリアレイとは別に不揮発性セキュリティレジスタを備えています。セキュリティレジスタの前半部は読み出し専用であり、最初の 16 バイトにグローバルに一意的な 128 ビットシリアル番号が工場書き込み済みです。この 128 ビットシリアル番号は CS シリーズ EEPROM の全製品を通して一意であり、お客様の生産ラインで製品ごとにシリアル番号を書き込む手間を省きます。読み出し専用の 128 ビットシリアル番号の後に、ユーザ書き込み可能な追加の 256 バイト EEPROM 領域が存在します。

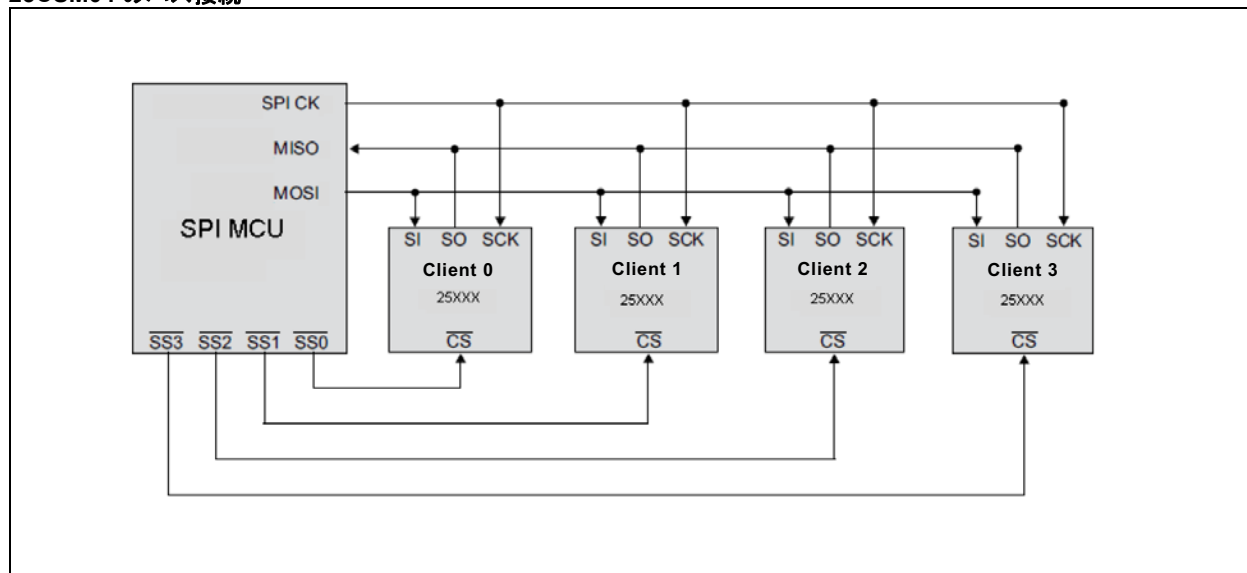
この領域は、ソフトウェアシーケンスによって永続的に書き込みから保護できます。

25CSM04 は設定可能な書き込み保護スキームを備えており、ユーザはレガシー書き込み保護モードと拡張書き込み保護モードのどちらかを選択できます。レガシー書き込み保護モードでは、ステータスレジスタの設定に基づいてブロック保護機能が有効になります。拡張書き込み保護モードでは、メモリを複数の独立したパーティションに分割できます。各パーティションは、対応するメモリパーティションレジスタの設定に基づいて個別に書き込みから保護できます。

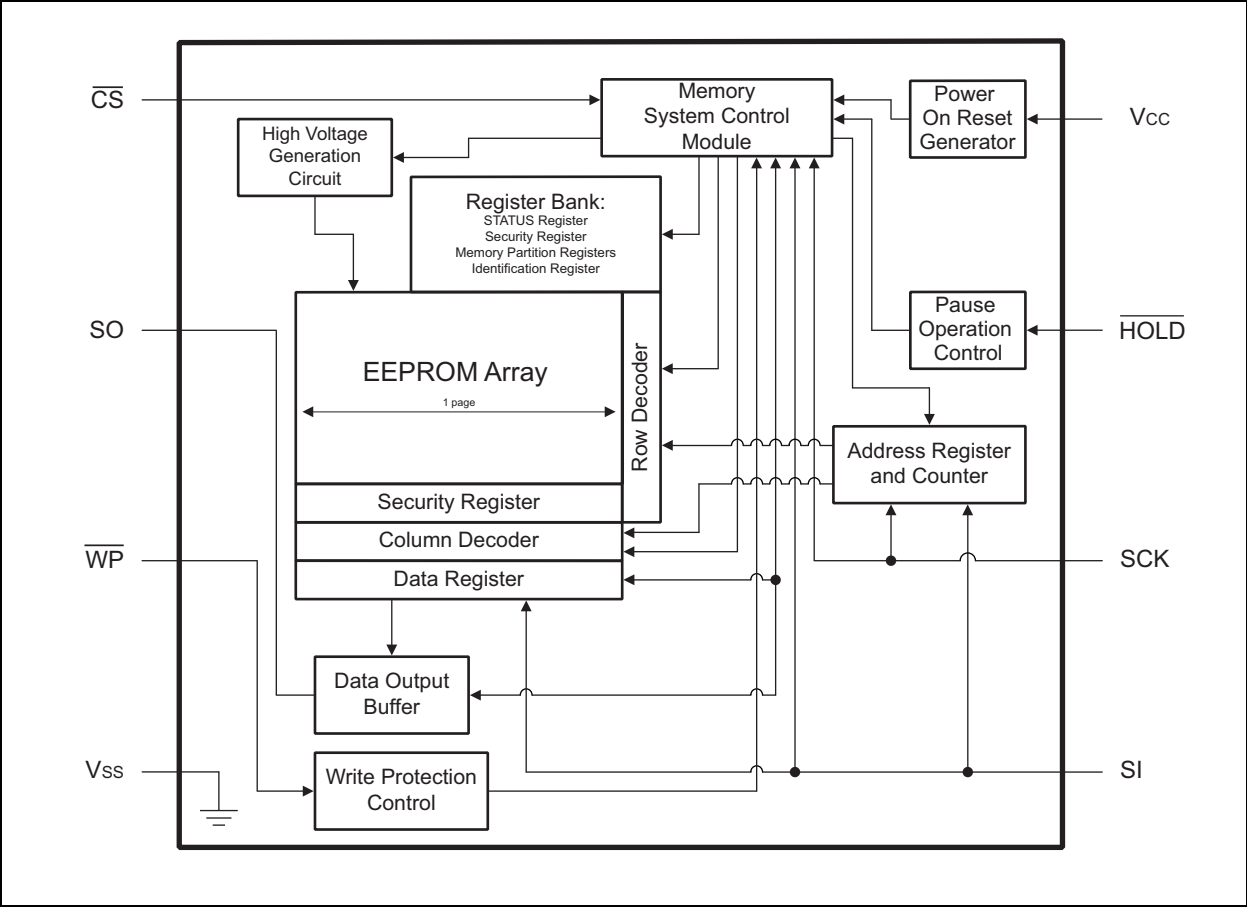
信頼性を高めるため、25CSM04 は誤り訂正コード (ECC) スキームを内蔵しています。このスキームにより、読み出した 4 バイトの中から最大 1 ビットの誤りを訂正できます。加えて、直近のメモリアレイ読み出しシーケンス中に誤りが検出 / 訂正されたかどうかを示すため、25CSM04 はステータスレジスタ内に 1 つのフラグを備えています。

25CSM04 は ID レジスタを備えており、このレジスタからデバイスの ID 情報を読み出す事ができます。システムに実装された 25CSM04 の ID 情報をアプリケーションから読み出す事で、デバイスを識別する事ができます。デバイスの識別方法と命令オペコードは、「SPI 互換シリアルインターフェイスメモリデバイス向けの製造者 ID およびデバイス ID 読み出し方法」に関する JEDEC[®] 規格に準拠しています。本デバイスから読み出し可能な情報には、JEDEC の定義に従う「製造者 ID」、「ベンダー固有デバイス ID」、「ベンダー固有拡張デバイス情報 (EDI)」が含まれます。

25CSM04 のバス接続



ブロック図



25CSM04

1.0 電気的特性

絶対最大定格 (†)

V _{CC}	6.25 V
全入出力電圧 (V _{SS} 基準).....	0.6 V ~ V _{CC} +1.0 V
保管温度.....	-65 ~ +155 °C
通電中の周囲温度.....	-40 ~ +125 °C
全ピンの ESD 保護.....	4 kV

† 注意：ここに記載した「絶対最大定格」を超える条件は、デバイスに恒久的な損傷を生じさせる可能性があります。これはストレス定格です。本書の動作条件に示す条件外でのデバイス運用は想定していません。最大定格条件に長期間曝露させるとデバイスの信頼性に影響を及ぼす可能性があります。

表 1-1: DC 特性

DC 特性			産業用温度レンジ (I): T _A = -40 ~ +85 °C、V _{CC} = +2.5 ~ 5.5 V			
パラメータ No.	記号	特性	Min.	Max.	単位	試験条件
D001	V _{IH}	High レベル入力電圧	V _{CC} × 0.7	V _{CC} + 1	V	
D002	V _{IL}	Low レベル入力電圧	-0.3	V _{CC} × 0.3	V	V _{CC} ≥ 2.5 V
D003	V _{OL}	Low レベル出力電圧	–	0.4	V	I _{OL} = 3.0 mA、 3.6 V ≤ V _{CC} ≤ 5.5 V
D004	V _{OL}	Low レベル出力電圧	–	0.2	V	I _{OL} = 0.15 mA、 2.5V ≤ V _{CC} ≤ 3.6 V
D005	V _{OH}	HIGH レベル出力電圧	V _{CC} - 0.5	–	V	I _{OH} = -100 μA
D006	I _{LI}	入力リーク電流	–	±1.0	μA	CS = V _{CC} 、V _{IN} = V _{SS} または V _{CC}
D007	I _{LO}	出力リーク電流	–	±1.0	μA	CS = V _{CC} 、 V _{OUT} = V _{SS} または V _{CC}
D008	C _{INT}	内部静電容量 (全ての入出力)	–	7.0	pF	T _A = +25 °C、F _{CLK} = 1.0 MHz、 V _{CC} = 5.0 V (Note 1)
D009	I _{CCREAD}	消費電流	–	3.0	mA	V _{CC} = 5.0 V、SCK = 8 MHz、 SO = Open
			–	2.0	mA	V _{CC} ≤ 3.0 V、SCK = 5 MHz、 SO = Open
D010	I _{CCWRITE}	消費電流	–	3.0	mA	V _{CC} = 5.0 V
D011	I _{CCS}	スタンバイ電流	–	2.0	μA	V _{CC} = 5.0 V、CS = V _{CC} 、 V _{IN} = V _{CC} または V _{SS}
			–	1.0	μA	V _{CC} = 2.5 V、CS = V _{CC} 、 V _{IN} = V _{CC} または V _{SS}

Note 1: このパラメータは検査していません (特性評価に基づきます)。

表 1-2: AC特性

AC 特性			産業用温度レンジ (I): TA = -40 ~ +85 °C、VCC = 2.5 ~ 5.5 V			
パラメータ No.	記号	特性	Min.	Max.	単位	試験条件
1	FCLK	クロック周波数	–	8	MHz	VCC ≥ 3.0 V
			–	5	MHz	VCC ≥ 2.5 V
2	TCSS	$\overline{\text{CS}}$ セットアップ時間	30	–	ns	VCC ≥ 3.0 V
			60	–	ns	VCC ≥ 2.5 V
3	TCSH	$\overline{\text{CS}}$ ホールド時間	30	–	ns	VCC ≥ 3.0 V
			60	–	ns	VCC ≥ 2.5 V
4	TCSD	$\overline{\text{CS}}$ ディセーブル時間	30	–	ns	VCC ≥ 3.0 V
			60	–	ns	VCC ≥ 2.5 V
5	TSU	データ セットアップ時間	10	–	ns	VCC ≥ 3.0 V
			20	–	ns	VCC ≥ 2.5 V
6	THD	データホールド時間	10	–	ns	VCC ≥ 3.0 V
			20	–	ns	VCC ≥ 2.5 V
7	TR	CLK 立ち上がり時間	–	50	ns	Note 1
8	TF	CLK 立ち下がり時間	–	50	ns	Note 1
9	THI	クロック High 時間	40	–	ns	VCC ≥ 3.0 V
			80	–	ns	VCC ≥ 2.5 V
10	TLO	クロック Low 時間	40	–	ns	VCC ≥ 3.0 V
			80	–	ns	VCC ≥ 2.5 V
11	TCLD	クロック遅延時間	50	–	ns	
12	TCLE	クロック イネーブル時間	50	–	ns	
13	TV	クロック Low から出力有効までの時間	–	40	ns	VCC ≥ 3.0 V
			–	80	ns	VCC ≥ 2.5 V
14	THO	出力ホールド時間	0	–	ns	Note 1
15	TDIS	出力ディセーブル時間	–	40	ns	VCC ≥ 3.0 V
			–	80	ns	VCC ≥ 2.5 V
16	THS	$\overline{\text{HOLD}}$ セットアップ時間	10	–	ns	VCC ≥ 3.0 V
			20	–	ns	VCC ≥ 2.5 V
17	THH	$\overline{\text{HOLD}}$ ホールド時間	10	–	ns	VCC ≥ 3.0 V
			20	–	ns	VCC ≥ 2.5 V
18	THZ	$\overline{\text{HOLD}}$ Low から出力 High Z までの時間	–	40	ns	VCC ≥ 3.0 V (Note 1)
			–	80	ns	VCC ≥ 2.5 V (Note 1)
19	THV	$\overline{\text{HOLD}}$ High から出力有効までの時間	–	40	ns	VCC ≥ 3.0 V
			–	80	ns	VCC ≥ 2.5 V
20	TWC	内部書き込みサイクル時間	–	5	ms	Note 2

Note 1: このパラメータは検査していません (特性評価に基づきます)。

2: TWC は、有効な書き込みシーケンスの後の $\overline{\text{CS}}$ 立ち上がりエッジから内部書き込みサイクルが完了するまでの時間です。

25CSM04

図 1-1: 入力試験波形と計測レベル

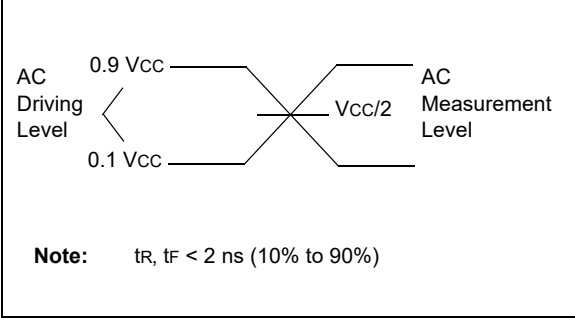


図 1-2: 出力試験負荷

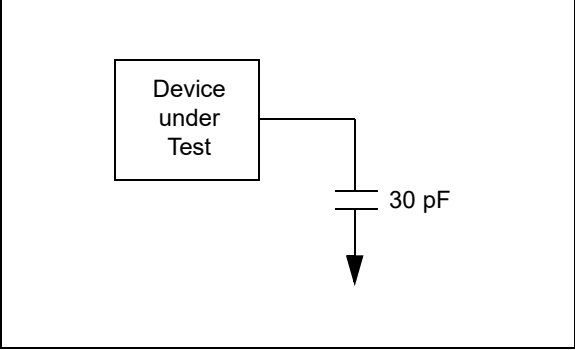


図 1-3: シリアル入力タイミング

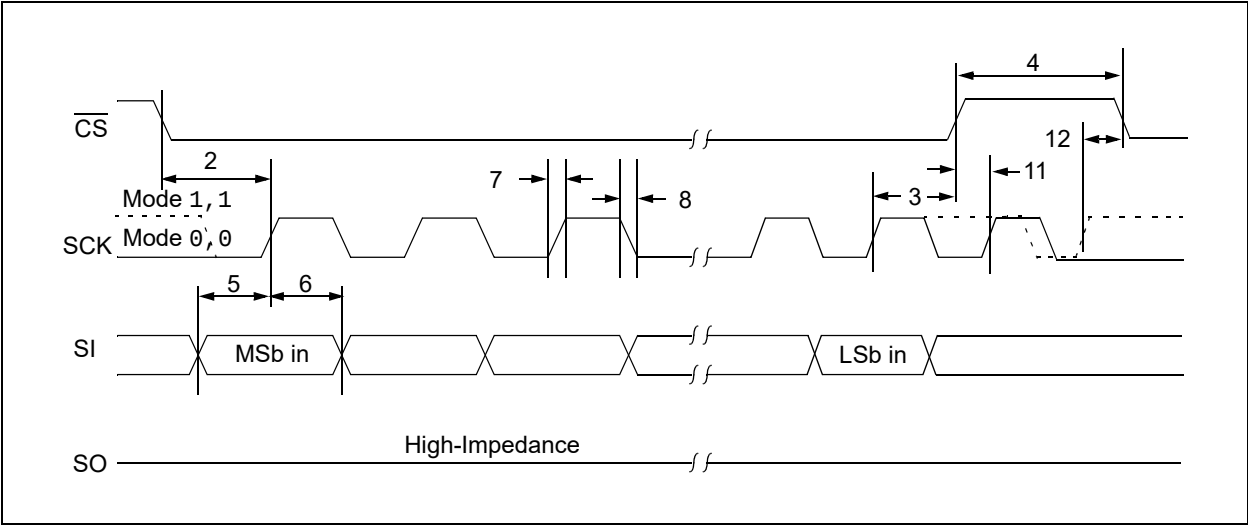


図 1-4: シリアル出力タイミング

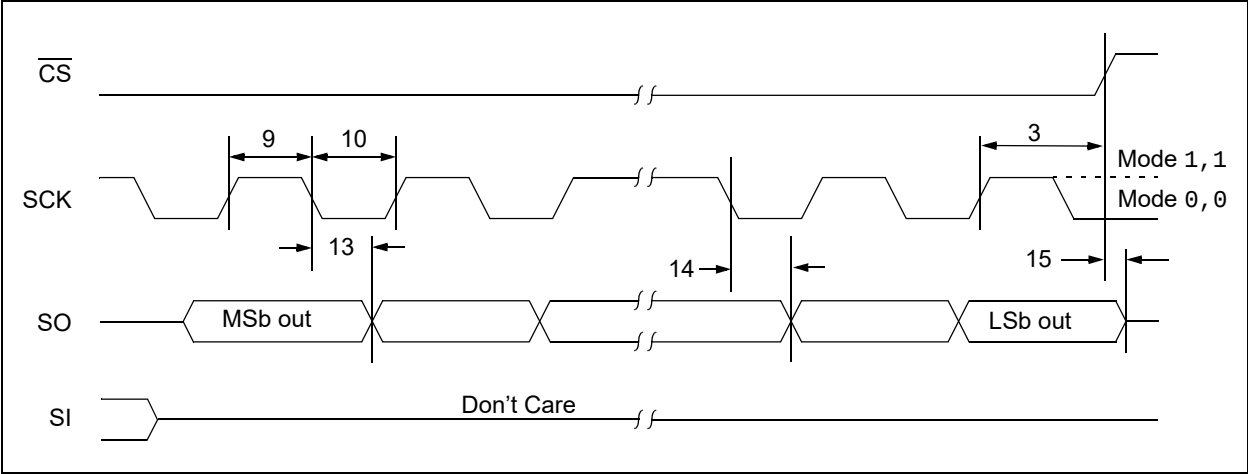


図 1-5: HOLD信 号タイミング

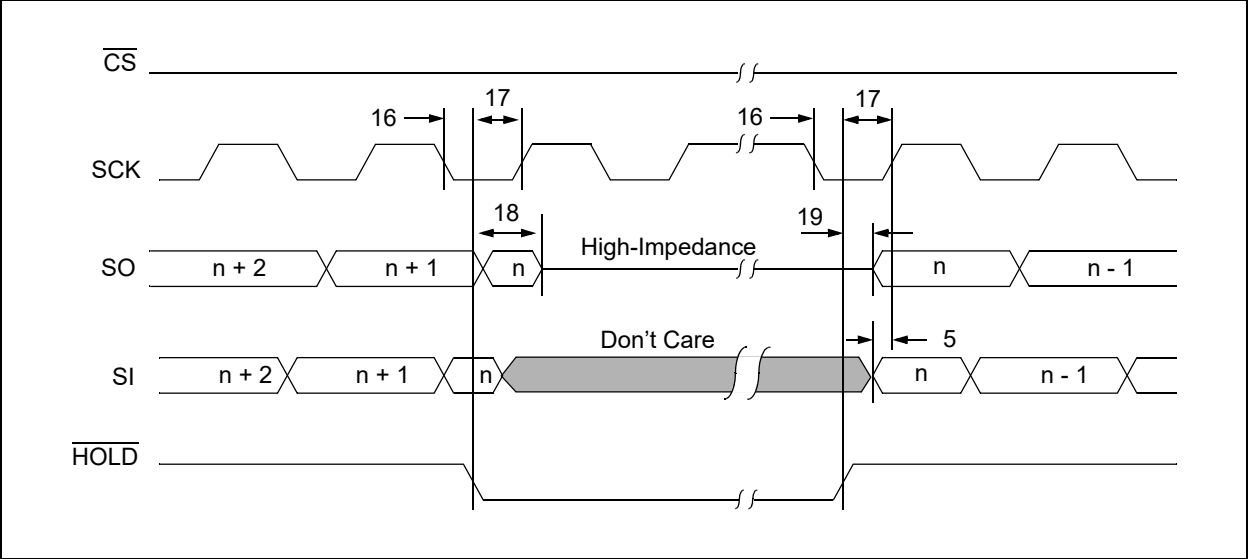


表 1-3: EEPROMセ ルの性能特性値

動作	試験条件	Min.	Max.	単位
書き込み耐性 ^(1,2)	$T_A = +25\text{ }^{\circ}\text{C}$ 、 $2.5\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	1,000,000	–	書き込みサイクル数
データ保持期間 ⁽¹⁾	$T_A = +55\text{ }^{\circ}\text{C}$	100	–	年

Note 1: 書き込み耐性は、特性計測と検査プロセスにより決定しています。

- 2: メモリアレイのアーキテクチャ上の理由により、書き込み耐性の値は4データバイトずつの書き込みシーケンスに対する値です。4 バイト領域の開始アドレスは4 の倍数 ($4 \times N$ 、 N は整数) です。4 バイト領域の終了アドレスは開始アドレス + 3 ($4 \times N + 3$) です。詳細は [8.2「誤り訂正コード \(ECC\) の構造」](#) を参照してください。

25CSM04

1.1 電源投入要件と既定値条件

電源投入シーケンス中に 25CSM04 に供給される VCC 電圧は、VSS から最低 VCC レベル (表 1-1 参照) まで 0.1 V/ μ s 以下のスルーレートで単調に増加する必要があります。

1.1.1 デバイス パワーオン リセット

表 1-4: 電源投入条件

記号	パラメータ	Min.	Max.	単位
TVCSL	VCC が最低レベルに達してから $\overline{\text{CS}}$ Low までの最小時間	100	–	μ s
VPOR	パワーオン リセットしきい値電圧	–	1.5	V
TPOFF	電源遮断から次の電源投入サイクルを開始するまでに VCC = 0 V を維持する必要がある最小時間	1	–	ms

電源投入シーケンス中に誤ったイベントが発生する事を防ぐため、25CSM04 はパワーオン リセット (POR) 回路を備えています。電源投入中は、VCC レベルが内部電圧しきい値 (VPOR) を超えるまで本デバイスは命令に応答しません。VCC が VPOR を超えると、本デバイスはリセット状態からスタンバイモードへ移行します。

Microchip 社は、電源投入時に VCC の立ち上がりに従って $\overline{\text{CS}}$ も立ち上がるよう、 $\overline{\text{CS}}$ をプルアップ抵抗で VCC に吊る事を推奨します。VCC が最低 VCC レベルを超える電圧で安定するまで本デバイスへ命令が送信されず $\overline{\text{CS}}$ が High に保持されるようにシステムを設計する必要があります。VCC が最低レベルを超えた後、SPI ホストは $\overline{\text{CS}}$ ピンをアサートする前に TVCSL 以上待機する必要があります。電源投入に関連するこれらのパラメータを表 1-4 に示します。

25CSM04 に供給される VCC レベルが VPOR レベル (Max.) を下回った場合、完全な電源再投入シーケンスを実行する事を推奨します。これを行うには、最初に VCC ピンを VSS へ駆動し、TPOFF (Min.) 以上待機した後、前述の要件を満たす完全な電源投入シーケンスを実行する必要があります。

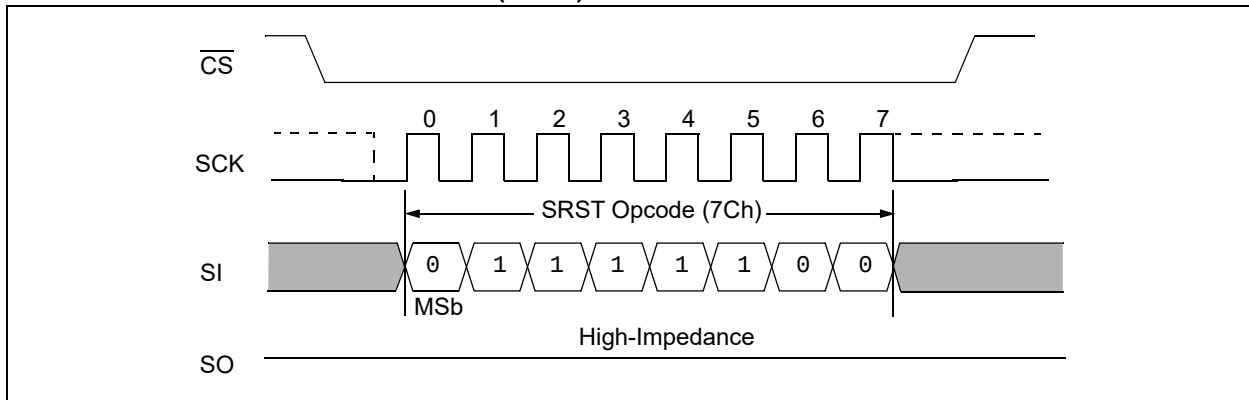
1.1.2 ソフトウェア リセット

25CSM04 はソフトウェア デバイスリセット (SRST) 命令を備えています。この命令を使う事で、電源を遮断 / 再投入する事なく本デバイスを電源投入時の既定値動作 (1.2 「デバイスの既定値状態」) へリセットできます。これを実行するには、最初に $\overline{\text{CS}}$ ピンを Low へ駆動して本デバイスを選択した後に、SI ピンでオペコード「7Ch」を入力します。

その後に $\overline{\text{CS}}$ ピンを High に駆動するとリセット動作が開始されます。リセットは、TcSD (Min.) 時間以内に内部で完了します。

Note: SRST 命令によってビジー状態中のデバイスに割り込む事はできません (6.1.4 「レディー/ビジー ステータスラッチ」参照)。

図 1-6: ソフトウェア デバイスリセット (SRST) 命令



1.2 デバイスの既定値状態

1.2.1 電源投入時の既定値状態

25CSM04 の電源投入時の既定値状態は以下の通りです。

- スタンバイモード ($\overline{CS}$ = High)
- アクティブ状態への移行には $\overline{CS}$ の High → Low 遷移が必要
- ステータス レジスタ内の書き込みイネーブル ラッチ (WEL) ビット = 0
- ステータス レジスタ内の誤り訂正状態ラッチ (ECS) ビット = 0
- ステータス レジスタ内のパーティション レジスタ書き込みイネーブル ラッチ (PREL) ビット = 0
- ステータス レジスタ内のレディー / ビジー (RDY/BUSY) ビット = 0 (デバイスは新しい命令を受け付け可能)

1.2.2 工場書き込み既定値

25CSM04 は、EEPROM アレイが全てデータパターン「FFh」(全ビットが論理「1」) に設定された状態でお客様へ出荷されます。

セキュリティ レジスタの下位 16 バイトには、128 ビットのシリアル番号が工場で書き込み済みです。ユーザ書き込み可能セクション (ロック可能 ID ページ) は未ロックであり、全てのビットは論理「1」に設定されています (256 バイトの FFh データが書き込まれた状態)。各種デバイスレジスタ内の不揮発性ビットは以下の通りに設定されています。

- ステータス レジスタ内の書き込み保護イネーブル (WPEN) ビット = 0 (ステータス レジスタへの書き込みを許可する)(表 1-5 参照)
- ステータス レジスタ内のブロック書き込み保護 (BP[1:0]) ビット = 00 (レガシー書き込み保護モード中に書き込み保護しない)(表 1-5 参照)
- ステータス レジスタ内の書き込み保護モード (WPM) ビット = 0 (デバイスをレガシー書き込み保護モードに設定する)(表 1-6 参照)
- ステータス レジスタ内のメモリ保護設定凍結 (FMPC) ビット = 0 (全てのメモリ パーティション レジスタ (MPR) と、ステータス レジスタ内の書き込み保護モード (WPM) ビットをロックしないで変更可能にする)(表 1-6 参照)
- ステータス レジスタ内のパーティション アドレス境界保護 (PABP) ビット = 0 (各メモリ パーティション レジスタ (MPR) 内のパーティション終端アドレス値は変更可能)(表 1-6 参照)
- メモリ パーティション レジスタ (MPR0 ~ MPR7) = 00h (4 Mbit のメモリ全体が書き込み可能) (表 1-7 参照)

表 1-5: ステータス レジスタ – バイト 0 の 工場既定値

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
WPEN	予約済み	予約済み	予約済み	BP1	BP0	WEL ⁽¹⁾	RDY/BUSY ⁽¹⁾
0	0	0	0	0	0	0	0

Note 1: これらのビットは揮発性であり、電源投入時に上記の値にリセットされます。

表 1-6: ステータス レジスタ – バイト 1 の 工場既定値

bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
WPM	ECS ⁽¹⁾	FMPC	PREL ⁽¹⁾	PABP	予約済み	予約済み	RDY/BUSY ⁽¹⁾
0	0	0	0	0	0	0	0

Note 1: これらのビットは揮発性であり、電源投入時に上記の値にリセットされます。

表 1-7: メモリ パーティション レジスタの工場既定値

MPR No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
	パーティション属性		パーティション終端アドレス					
			A18	A17	A16	A15	A14	A13
MPR0	0	0	0	0	0	0	0	0
MPR1	0	0	0	0	0	0	0	0
MPR2	0	0	0	0	0	0	0	0
MPR3	0	0	0	0	0	0	0	0
MPR4	0	0	0	0	0	0	0	0
MPR5	0	0	0	0	0	0	0	0
MPR6	0	0	0	0	0	0	0	0
MPR7	0	0	0	0	0	0	0	0

2.0 ピンの説明

表 2-1 にピン機能の一覧を示します。

2.1 チップセレクト ($\overline{CS}$)

表 2-1: ピン割り当て表

名称	8 ピン SOIC	8 パッド TDFN-S ⁽¹⁾	8 ボール CSP	機能
CS	1	1	1	チップセレクト入力
SO	2	2	2	シリアルデータ出力
$\overline{WP}$	3	3	3	書き込み保護
Vss	4	4	4	グランド
SI	5	5	5	シリアルデータ入力
SCK	6	6	6	シリアルクロック入力
$\overline{HOLD}$	7	7	7	ホールド入力
Vcc	8	8	8	デバイス電源

Note 1: TDFN-S パッケージの露出パッドは、Vss に接続するかフロート状態にできます。

$\overline{CS}$ ピンのアサートにより、本デバイスを選択します。 $\overline{CS}$ ピンがディアサートされている時、本デバイスは選択されずにスタンバイモードになり、SO ピンはハイインピーダンス状態になります。選択されていない場合、本デバイスはSIピン上のデータを受け付けません。シーケンスを開始するには $\overline{CS}$ ピンの High $\rightarrow$ Low 遷移が必要であり、シーケンスを終了するには $\overline{CS}$ ピンの Low $\rightarrow$ High 遷移が必要です。書き込みシーケンスの場合、本デバイスは内部自己タイム書き込みサイクルが完了するまでスタンバイモードに移行しません。

2.2 シリアルデータ出力 (SO)

SOピンは本デバイスからのデータ出力用に使います。SO ピン上のデータは、常に SCK の立ち下がりエッジに同期して出力されます。本デバイスが選択されていない場合 ($\overline{CS}$ ディアサート時)、および、ホールド機能が有効中である場合、SO ピンはハイ インピーダンス状態になります。

2.3 書き込み保護ピン ($\overline{WP}$)

レガシー書き込み保護モードが有効である場合、書き込み保護 ($\overline{WP}$) ピンを使ってステータスレジスタとメモリアレイの内容を保護できます (ブロック保護ビット (BP[1:0]) により保護するメモリ領域を指定)。

拡張書き込み保護モードが有効である場合、 $\overline{WP}$ ピンを使ってメモリパーティションレジスタの設定に基づく任意のメモリ領域を保護できます。

2.4 シリアルデータ入力 (SI)

25CSM04 はシリアルデータ入力 (SI) ピンを介して命令、アドレス、データをシリアルクロック (SCK) ラインの立ち上がりエッジに同期してラッチします。

2.5 シリアルクロック (SCK)

本デバイスはシリアルクロック (SCK) ピンから提供されるクロック信号を使ってデータの入出力フローを同期させます。SI ピンに入力される命令、アドレス、データは常に SCK の立ち上がりエッジに同期してラッチされ、SO ピンで出力されるデータは常に SCK の立ち下がりエッジに同期して出力されます。

2.6 ホールド ($\overline{HOLD}$)

本デバイスが $\overline{CS}$ によって選択されてシリアル通信シーケンスが実行中である時に $\overline{HOLD}$ ピンを使う事で、シリアルシーケンスをリセットする事なくホストデバイスとの通信を一時停止させる事ができます。

3.0 メモリ構成

3.1 EEPROM の構成

25CSM04 は内部で 2,048 ページ (各ページは 256 バイト) として構成されます。

3.2 デバイスレジスタ

25CSM04 は、機能の設定とステータスの報告用に以下の 4 種類のレジスタを備えています。

- ステータス レジスタ
- セキュリティ レジスタ
- メモリ パーティション レジスタ (8 個)
- ID レジスタ

3.2.1 ステータス レジスタ

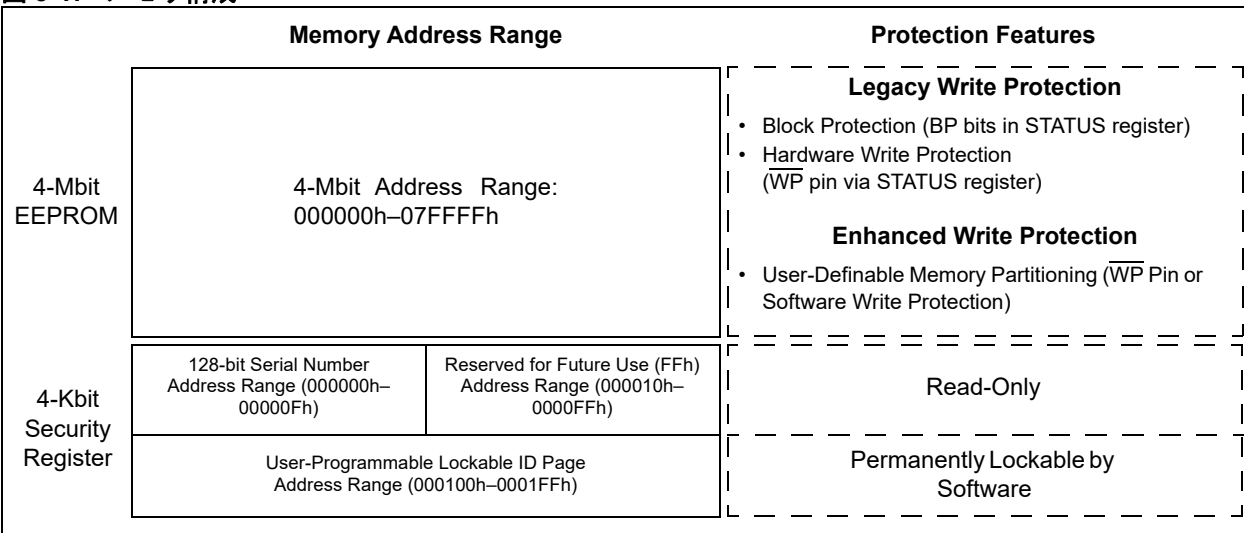
ステータス レジスタは揮発性ビットと不揮発性ビットを含む 16 ビットで構成されます。このレジスタは、本デバイスの各種ステータスを保存する他、書き込み保護機能を変更するために使います。ステータス レジスタの詳細は [6.0「ステータス レジスタ」](#) に記載しています。

3.2.2 セキュリティ レジスタ

セキュリティ レジスタは読み出し専用セクションと、ユーザによる書き込みとロックが可能な ID ページセクションに分割されています。読み出し専用セクションには、グローバルに一意の 128 ビットシリアル番号が工場での書き込み済みです。

セキュリティ レジスタのユーザ書き込み可能 (ロック可能 ID ページ) セクションは、重要なアプリケーション データを絶対に変更されないよう保護する必要があります。アプリケーション向けに理想的です。セキュリティ レジスタの詳細は [9.0「セキュリティ レジスタ」](#) を参照してください。

図 3-1: メモリ構成



3.2.3 メモリ パーティション レジスタ

25CSM04 は 8 個のメモリ パーティション レジスタを備えています。各レジスタは 8 ビットの不揮発性レジスタであり、対応するパーティションの終端アドレスと保護属性を設定できます。パーティションの保護レベルは以下の 4 通りに設定できます。

- 保護しない
- ソフトウェア書き込み保護
- $\overline{\text{WP}}$ ピンによるハードウェア書き込み保護
- ソフトウェア書き込み保護 (メモリ パーティション レジスタをロック)

メモリ パーティション レジスタ機能の詳細は [10.0「メモリ パーティション機能」](#) に記載しています。

3.2.4 ID レジスタ

ID レジスタは 40 ビットの不揮発性読み出し専用レジスタです。このレジスタは「SPI 互換シリアル インターフェイス メモリデバイス向けの製造者 ID およびデバイス ID 読み出し方法」に関する JEDEC® 規格に準拠したデバイス ID データを格納します。ID レジスタの内容と書式は [11.1「ID レジスタからの読み出し」](#) に記載しています。

4.0 機能説明

4.1 デバイス動作

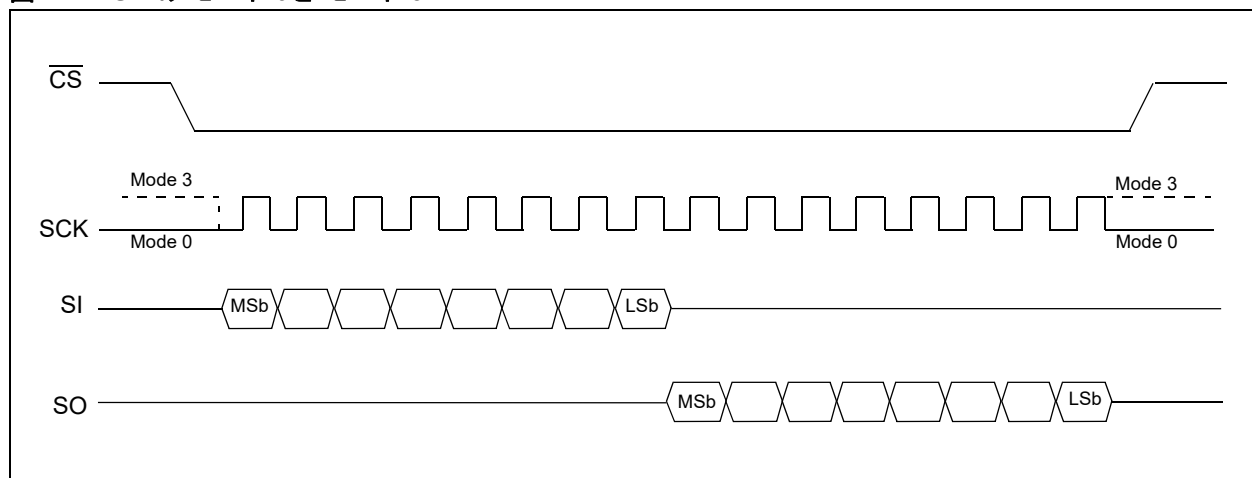
25CSM04 は、ホストコントローラ (SPI ホスト) が送信する一連の命令により制御されます。SPI ホストは、以下の 4 本の信号ラインを持つ SPI バスを介して 25CSM04 と通信します。

- チップセレクト ($\overline{\text{CS}}$)
- シリアルクロック (SCK)
- シリアル入力 (SI)
- シリアル出力 (SO)

SPI プロトコルは 4 通りのモード (モード 0、1、2、3) を定義しており、SPI バス上のデータフローを制御するために使われる SCK の極性と位相が各モードで異なります。25CSM04 は最も一般的に用いられる 2 つのモード (SPI モード 0 および 3) をサポートします。SPI モード 0 および 3 では、常にデータは SCK 立ち上がりエッジでラッチされ、SCK 立ち下がりエッジで出力されます。モード 0 とモード 3 では、SCK 信号の非アクティブ状態 (SPI ホストがスタンバイモード中でデータを転送していない時) の極性だけが異なります。 $\overline{\text{CS}}$ が非アサート (High) 時の SCK の状態は、モード 0 において Low、モード 3 において High として定義されます。通信シーケンスの前後で $\overline{\text{CS}}$ がディアサートされている時に、SCK はモードの定義に一致するアイドル (非アクティブ) 状態になる必要があります。

図 4-1 では、 $\overline{\text{CS}}$ が非アクティブ時の SCK を実線 (モード 0) と破線 (モード 3) で示しています。

図 4-1: SPI のモード 0 とモード 3



4.2 SPI バス上の 25CSM04 との通信

25CSM04 との通信は、SPI ホストデバイスから開始する必要があります。SPI ホストデバイスは、25CSM04 の SCK ピンへ入力するシリアルクロックを生成する必要があります。シリアルクロック (SCK) ピンは常に入力として機能するため、25CSM04 は常にクライアントとして動作します。

4.2.1 本デバイスを選択する

25CSM04 は $\overline{\text{CS}}$ ピンが Low の時に選択されます。本デバイスが選択されていない場合、SI ピンはデータを受け付けず、SO ピンはハイインピーダンス状態のままです。

4.2.2 本デバイスヘータを送信する

25CSM04 は、シリアルデータ入力 (SI) ピンを使ってデータを受信します。全ての入力バイト (命令、アドレス、データ) は、MSb (最上位ビット) から順番にクロックに同期して本デバイスに入力されます。 $\overline{\text{CS}}$ がアサートされた後の SCK ラインの最初の立ち上がりエッジで SI ピンのサンプリングが開始されます。

4.2.3 本デバイスからデータを受信する

本デバイスからのデータ出力は、シリアルデータ出力 (SO) ピン上で MSb から順番に送信されます。SO データは、命令バイトとアドレスバイト (アドレスが要求される場合のみ) が本デバイスに完全に入力された後の最初の SCK クロックサイクルの立ち下がりエッジでラッチされます。

25CSM04

4.3 デバイス オペコード

4.3.1 シリアル オペコード

$\overline{CS}$ が Low に駆動されて本デバイスが選択された後に本デバイスへ送信される最初のバイトは、これから実行するシーケンスを指定するオペコードである必要があります。

25CSM04 は 8 ビットの命令レジスタを使います。命令とオペコードの一覧を表 4-1 に示します。全ての命令、アドレス、データの転送は CS の High → Low 遷移によって MSb から開始されます。

表 4-1: 25CSM04の 命令セット

命令	命令の説明	オペコード		アドレス バイト数	データ バイト数	参照情報
ステータス レジスタ命令						
RDSR	ステータス レジスタを読み出す	05h	0000 0101	0	1 または 2	6.2
WRBP	書き込みレディー / ビジー ($\overline{RDY}/BSY$) 状態をポーリングする	08h	0000 1000	0	1	6.1.4.1
WREN	書き込みイネーブルラッチ (WEL) をセットする	06h	0000 0110	0	0	5.1
WRDI	書き込みイネーブルラッチ (WEL) をリセットする	04h	0000 0100	0	0	5.2
WRSR	ステータス レジスタに書き込む	01h	0000 0001	0	1 または 2	6.3
EEPROM およびセキュリティ レジスタ命令						
READ	EEPROM アレイから読み出す	03h	0000 0011	3	1+	7.1
WRITE	EEPROM アレイに書き込む (1 ~ 256 バイト)	02h	0000 0010	3	1+	8.0
RDEX	セキュリティ レジスタから読み出す	83h	1000 0011	3	1+	9.1
WREX	セキュリティ レジスタに書き込む	82h	1000 0010	3	1+	9.2
LOCK	セキュリティ レジスタを永続的にロックする	82h	1000 0010	3	1	9.2.1
CHLK	セキュリティ レジスタのロック状態を確認する	83h	1000 0011	3	1	9.2.2
メモリ パーティション レジスタ命令						
RMPR	メモリ パーティション レジスタの内容を読み出す	31h	0011 0001	3	1	10.3
PRWE	メモリ パーティション レジスタへの書き込みイネーブルラッチ (PREL) をセットする	07h	0000 0111	0	0	10.2.1
PRWD	メモリ パーティション レジスタ書き込みイネーブルラッチ (PREL) をリセットする	0Ah	0000 1010	0	0	10.2.2
WMPR	メモリ パーティション レジスタに書き込む	32h	0011 0010	3	1	10.2.3
PPAB	パーティションのアドレス境界を保護する	34h	0011 0100	3	1	10.1.3
FRZR	メモリ保護設定を永続的にロックする	37h	0011 0111	3	1	4.5.4
ID レジスタ命令						
SPID	SPI 製造者 ID データを読み出す	9Fh	1001 1111	0	5	11.1
デバイスリセット命令						
SRST	ソフトウェア デバイスリセット	7Ch	0111 1100	0	0	1.1.2

4.4 ホールド機能

HOLD ピンは、クロック シーケンスを停止またはリセットする事なく本デバイスとのシリアル通信を一時停止するために使います。ホールドモードは内部書き込みサイクルに対して影響を及ぼしません。従って、内部書き込みサイクルの実行中にHOLD ピンをアサートしてもそのシーケンスは一時停止せず、内部書き込みサイクルは最後まで継続されます。

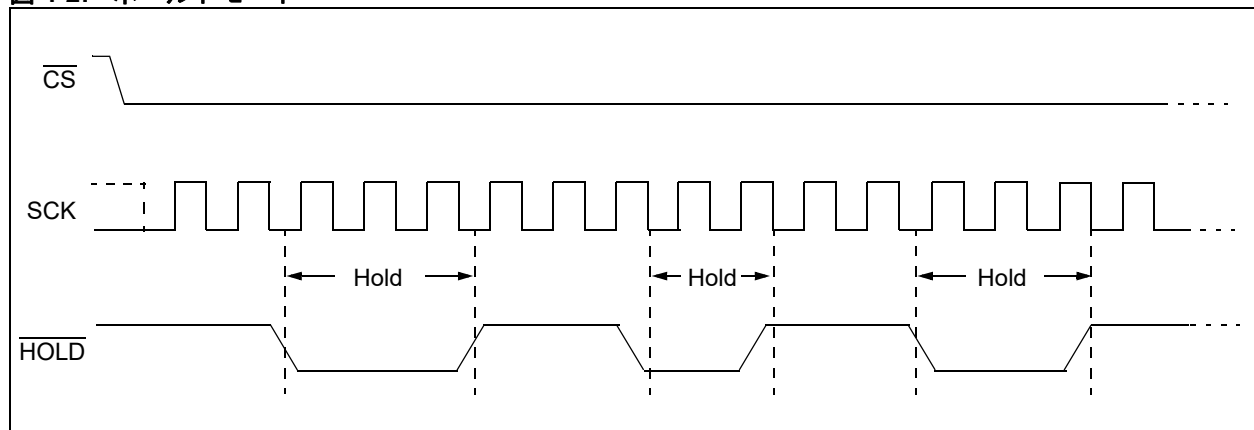
$\overline{\text{CS}}$ ピンがアサートされている時にのみホールドモードへの移行が可能です。SCK の Low パルス中に HOLD ピンをアサートする事により、ホールドモードを有効にします。SCK の High パルス中に HOLD ピンをアサートした場合、次の SCK Low パルスまでホールドモードは有効になりません。HOLD ピンと $\overline{\text{CS}}$ ピンの両方がアサートされている間は、ホールドモードが持続します。

ホールドモード中に SO ピンはハイ インピーダンス状態になります。加えて、SI ピンと SCK ピンはどちらも無視されます。しかし、WP ピンはホールドモード中であってもアサート / ディアサートが可能です。

ホールドモードを終了してシリアル通信を再開するには、SCK の Low パルス中に HOLD ピンをディアサートする必要があります。SCK の High パルス中に HOLD ピンをディアサートした場合、次の SCK Low パルスまでホールドモードは終了しません。

HOLD ピンがアサートされたまま $\overline{\text{CS}}$ ピンがディアサートされた場合、開始済みのシーケンスは中止されます。

図 4-2: ホールドモード



4.5 書き込み保護

25CSM04 の書き込み保護スキームは、基本的にステータス レジスタ (バイト0)内の書き込み保護モード (WPM) ビット (bit 7) の状態によって制御されます。WPM ビットの状態に応じて、本デバイスをレガシー書き込み保護モードまたは拡張書き込み保護モードのどちらかに設定できます。

書き込み保護モードは、FRZR 命令を実行する事により永続的にロックできます。これは、レガシー書き込み保護モードと拡張書き込み保護モードの両方で可能です。詳細は 4.5.4 「メモリ保護設定凍結 (FRZR)」を参照してください。

4.5.1 レガシー書き込み保護モード

レガシー書き込み保護モードの場合、EEPROM アレイはステータス レジスタ内のブロック保護ビット (BP[1:0]) の設定に従って書き込みから保護されます。詳細は 6.1.2 「ブロック書き込み保護ビット」を参照してください。

加えて、ステータス レジスタ内の書き込み保護イネーブル (WPEN) ビットを有効にする事により、ステータス レジスタの内容を保護できます。

WPEN 機能を有効にすると、 $\overline{\text{WP}}$ ピンのアサート (Low) 中にステータス レジスタの内容が保護されます。WPEN 機能の詳細は 6.1.1 「書き込み保護イネーブルビット」に記載しています。

4.5.2 拡張書き込み保護モード

拡張書き込み保護モードの場合、EEPROM の保護はメモリ パーティション レジスタ (MPR) の内容によって決まります。各 MPR では、対応するパーティションの終端アドレスと、そのパーティションの保護属性を設定できます。

メモリ パーティション レジスタに関する詳細は 10.0 「メモリ パーティション機能」に記載しています。

Note: 拡張書き込み保護モードが無効である場合、MPR の全ての内容は無視されます。

4.5.3 書き込み保護 (WP) ピンの機能

どちらの書き込み保護モード中も、ステータス レジスタ内の WPEN ビットを有効にする事により、ステータス レジスタとメモリ パーティション レジスタへの書き込みを禁止できます。WPEN機能が有効である場合、WP ピンのアサート (Low) 中にこれらのレジスタの内容が保護されます。これらのレジスタを保護するには、CSのアサート (Low)中にWPピンを常時をアサートする必要があります。WPEN 機能の詳細は [6.1.1「書き込み保護イネーブルビット」](#)に記載しています。

内部書き込みサイクルが既に開始されている場合、WP ピンの Low への遷移は書き込みシーケンスに影響を及ぼしません。

ステータス レジスタ内の WPEN ビットが論理「0」である場合、WP ピン機能は無効となります。このため、WPピンをVssに接続した状態で25CSM04をシステムに実装してもステータス レジスタへの書き込みは可能です。全ての WP ピン機能は WPEN ビットを論理「1」に設定した時点で有効になります。

4.5.4 メモリ保護設定凍結 (FRZR)

現在のメモリ保護レジスタの状態と書き込み保護モードを永続的に凍結する事で、それらの内容を変更不可能にできます。これを行うには、メモリ保護設定凍結 (FRZR) 命令を使います。メモリ保護レジスタの詳細は [10.0「メモリパーティション機能」](#)を参照してください。

Note: 書き込み保護イネーブル (WPEN) ビットとブロック保護 (BP[1:0]) ビットは、FRZR 命令の影響を受けません。

FRZR 命令を発行する前に、まず WREN 命令を発行してステータス レジスタ内の WEL ビットを論理「1」に設定してから PRWE 命令を発行して PREL ビットを論理「1」に設定しておく必要があります。これらの2つの命令を発行した後に、FRZR 命令を本デバイスへ送信できます。

Note: ステータス レジスタ (バイト 0) 内の WPEN ビット (bit 7) が論理「1」に設定されている場合、WP ピンがアサートされている時に FRZR 命令は無視されます。

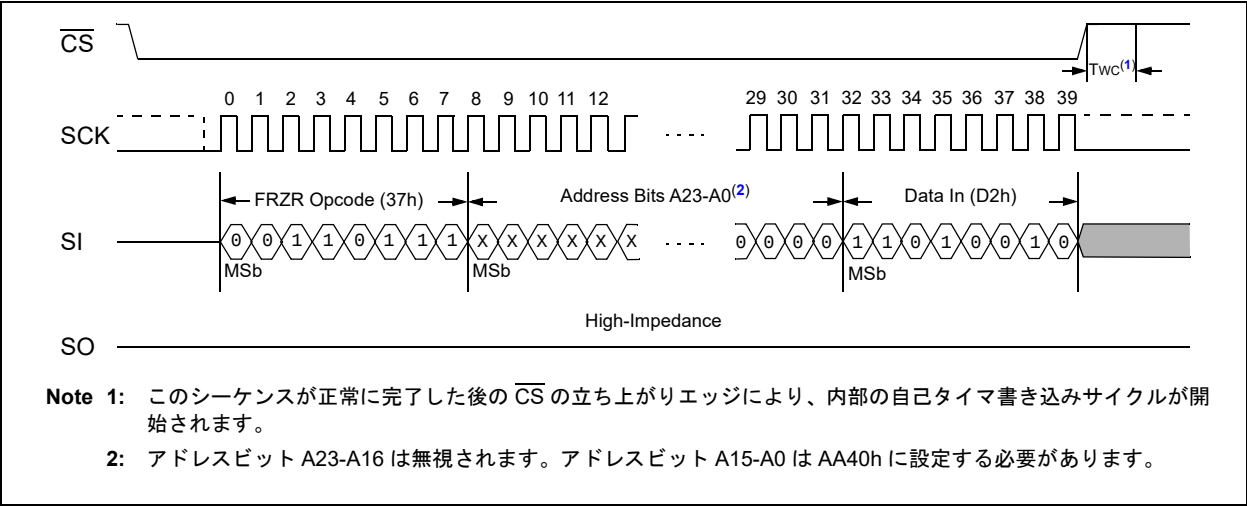
FRZR 命令を使ってメモリ保護設定の状態を凍結するには、CS ピンを Low に駆動してから SI ライン上でオペコード (37h)、アドレス (AA40h)、確認データバイト (D2h) を続けて本デバイスへ送信します。CS ピンをディアサートすると、本デバイスは内部の自己タイマ書き込みサイクルを開始し FMPC ビットをセットします。これにより、8 個のメモリ パーティション レジスタと書き込み保護モード (WPM) ビット (ステータス レジスタ内) が全て凍結されます。

Note: 凍結後は、それらの状態を変更する事が不可能になります。

内部書き込みサイクルが完了すると、ステータス レジスタ内の PREL ビットと WEL ビットは論理「0」状態へリセットされます。ステータス レジスタ (バイト 1) 内の WPM ビット (bit 7) は永続的に現在の状態に固定され、FMPC ビット (bit 5) は永続的に論理「1」 (メモリ保護設定が凍結済みである事を示す) に固定されます。メモリ パーティション レジスタと WPM ビットが既に凍結済みであった場合、FRZR 命令を発行しても無視されます。CS ピンがディアサートされると、本デバイスはアイドル状態に戻ります。

Note: 40 ビット シーケンスの完了前に CS ピンがディアサートされた場合、命令は中止されて書き込みサイクルは実行されません。

図 4-3: メモリ保護設定凍結 (FRZR) シーケンス



25CSM04

5.0 書き込みイネーブル/ディセーブル

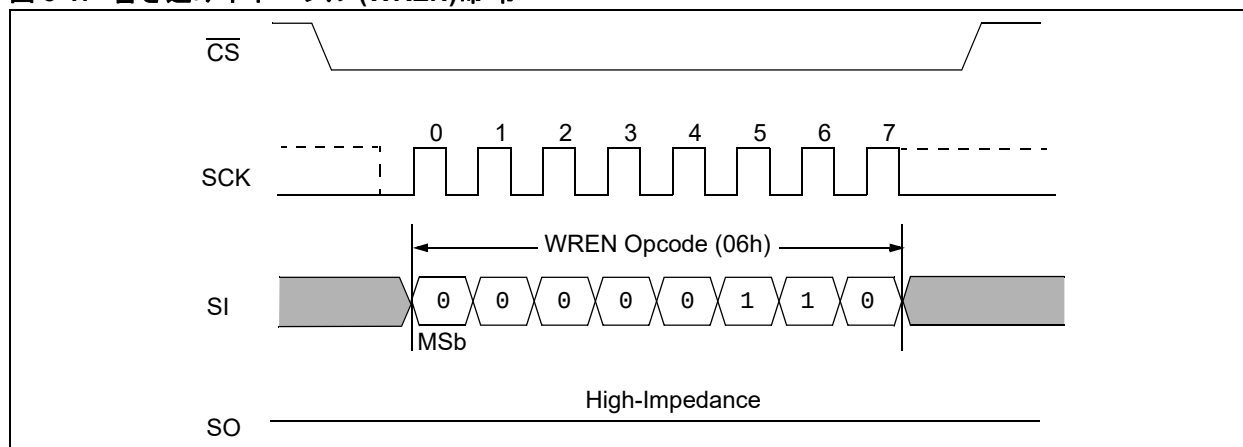
5.1 書き込みイネーブル命令 (WREN)

WRSR、WRITE、WREX、LOCK、PPWE、WMPR、PPAB、FRZR 命令を実行する場合、各命令の前にステータスレジスタの書き込みイネーブル (WEL) ビットを論理「1」に設定する必要があります。これらのシーケンスでは、実行前に追加の命令が必要になる場合があります (各シーケンスの説明を参照してください)。WEL ビットを論理「1」に設定するには、WREN(06h) 命令を 25CSM04 へ送信します。これを行うには、最初に $\overline{\text{CS}}$ ピンを Low に駆動して本デバイスを選択した後に、SI ピンで 06h 命令を入力します。その後 $\overline{\text{CS}}$ ピンを High に駆動すると、ステータスレジスタ内の WEL ビットは即座に論理「1」へと更新されます。

WEL ビットは以下の条件で論理「0」へリセットされます。

- 電源の投入 (電源投入時の既定値条件ではデバイスへの書き込みが無効 (WEL = 0) であるため) (1.2.2「工場書き込み既定値」参照)
- 書き込みシーケンス (WRITE、WRSR、WREX、LOCK、WMPR、PPAB、FRZR) の正常な完了
- 書き込みディセーブル (WRDI) 命令の実行 (5.2「書き込みディセーブル (WRDI) 命令」参照)
- ソフトウェア デバイスリセット (SRST) 命令の実行

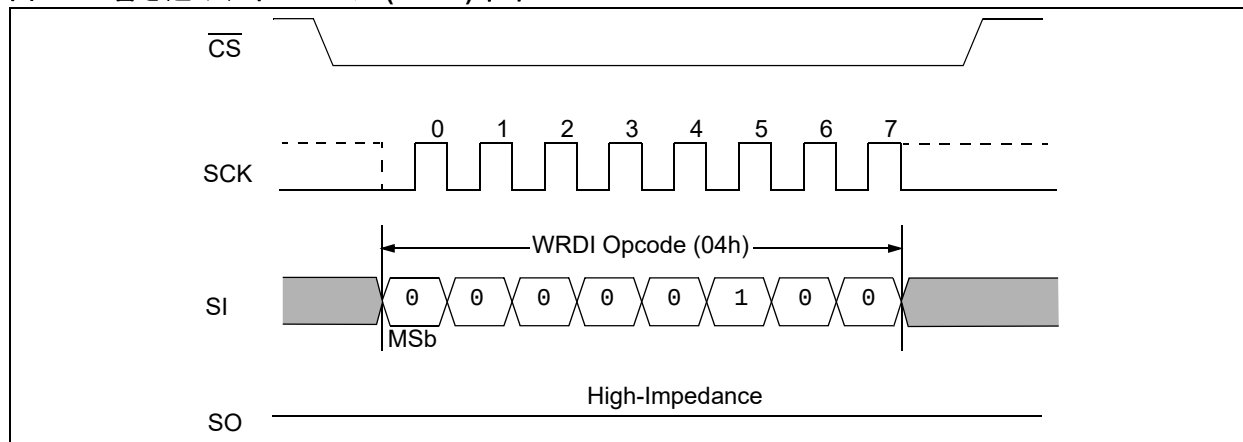
図 5-1: 書き込みイネーブル (WREN) 命令



5.2 書き込みディセーブル (WRDI) 命令

書き込みディセーブル命令 (04h) は、WEL ビットを論理「0」に設定する事により全ての書き込みモードを無効にします。これにより、不注意な書き込みシーケンスからデバイスを保護できます。WRDI 命令は $\overline{\text{WP}}$ ピンの状態とは無関係です。

図 5-2: 書き込みディセーブル (WRDI) 命令



6.0 ステータス レジスタ

6.1 ステータス レジスタのビット定義

25CSM04 は、通常の EEPROM セルと同じ優先度と機能を持った 6 個の不揮発性ビットと 5 個の揮発性ラッチを格納した 2 バイトのステータス レジスタを備えています。ステータス レジスタのビットにより、本デバイスの各種機能が設定されます ([レジスタ 6-1](#)、[レジスタ 6-2](#) 参照)。これらのビットは、この後で説明する専用の命令により読み出しまたは変更が可能です。

レジスタ 6-1: ステータス レジスタ (バイト 0)

R/W	U-0	U-0	U-0	R/W	R/W	R-0	R-0
WPEN	–	–	–	BP1	BP0	WEL	RDY/BSY
bit 7							bit 0

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装、「0」として読み出し
 -n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

- bit 7 **WPEN:** 書き込み保護イネーブルビット
 1 = 書き込み保護は有効
 0 = 書き込み保護は無効
- bit 6-4 **未実装:** 「0」として読み出し
- bit 3-2 **BP[1:0]:** ブロック保護ビット ([表 6-2](#) 参照)
 00 = メモリアレイを書き込み保護しない
 01 = メモリアレイの上位 1/4 領域を書き込み保護する
 10 = メモリアレイの上位 1/2 領域を書き込み保護する
 11 = メモリアレイの全領域を書き込み保護する
- bit 1 **WEL:** 書き込みイネーブルラッチ ビット
 1 = WREN が実行されてデバイスは書き込み可能
 0 = デバイスは書き込み不可
- bit 0 **RDY/BSY:** レディー / ビジー ステータスラッチ ビット
 1 = デバイスはビジー (内部書き込みサイクルを実行中)
 0 = デバイスはレディー (新しいシーケンスを実行可能)

25CSM04

レジスタ 6-2: ステータス レジスタ (バイト 1)

R/W-1	R-0	R	R-0	R	U-0	U-0	R-0
WPM	ECS	FMPC	PREL	PABP	–	–	RDY/BSY
bit 7							bit 0

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装、「0」として読み出し
-n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

- bit 7 **WPM:** 書き込み保護モードビット ⁽¹⁾
1 = 拡張書き込み保護モードを選択
0 = レガシー書き込み保護モードを選択
- bit 6 **ECS:** 誤り訂正状態ラッチ ビット
1 = 直前の読み出しシーケンスが誤り訂正コード (ECC) を要求した
0 = 直前の読み出しシーケンスは誤り訂正コード (ECC) を要求しなかった
- bit 5 **FMPC:** メモリ保護設定凍結ビット ⁽²⁾
1 = メモリ パーティション レジスタと書き込み保護モード (WPM) ビットを永続的に凍結する
0 = メモリ パーティション レジスタと書き込み保護モード (WPM) ビットを凍結しない
- bit 4 **PREL:** パーティション レジスタ書き込みイネーブルラッチ ビット
1 = PRWE が実行済みであり WMPR、FRZR、PPAB 命令は有効
0 = WMPR、FRZR、PPAB 命令は無効
- bit 3 **PABP:** パーティション アドレス境界保護ビット
1 = メモリ パーティション レジスタ内で設定されているパーティション終端アドレスは変更不可能
0 = メモリ パーティション レジスタ内で設定されているパーティション終端アドレスは変更可能
- bit 2-1 **未実装:** 「0」として読み出し
- bit 0 **RDY/BSY:** レディー / ビジー ステータスラッチ ビット
1 = デバイスはビジー (内部書き込みサイクルを実行中)
0 = デバイスはレディー (新しいシーケンスを実行可能)

Note 1: FMPC ビットが論理「1」に設定されている場合、WPM ビットは読み出し専用です。

2: 既に「1」にセットされた FMPC ビットを「0」にクリアする事はできません。

6.1.1 書き込み保護イネーブルビット

ステータス レジスタ (バイト 0) 内の書き込み保護イネーブル (WPEN) ビット (bit 7) を $\overline{WP}$ ピンと組み合わせて使う事で、本デバイス内の各種レジスタに対する書き込みを禁止できます。

$\overline{WP}$ ピンが Low かつ WPEN ビットが論理「1」である場合、本デバイスはハードウェア書き込み保護されます。影響を受けるレジスタは、選択されている書き込み保護モードによって決まります。

書き込み保護モードは、ステータス レジスタ (バイト 1) 内の WPM ビット (bit 7) によって指定されます。 $\overline{WP}$ ピンが High (ディアサート) または WPEN ピンが論理「0」である場合、ハードウェア書き込み保護は無効です。

表 6-1 に、WP ピンおよび WPEN ビットの組み合わせと保護されるレジスタの関係を示します。いずれの保護機能も、有効にするには WP ピンをアサート (Low) する必要があります。

表 6-1: レガシーおよび拡張書き込み保護モードにおけるレジスタの保護属性

書き込み保護モード	WP ピン	WPEN ビット	ステータス レジスタ	メモリパーティションレジスタ
レガシーまたは拡張	Low	0	保護されない	保護されない
	Low	1	保護される	保護される
	High	X	保護されない	保護されない

Note: WP ピンがアサート (Low) されている間は、論理「1」の WPEN ビットを論理「0」へ戻す事はできません。

本デバイスがハードウェア書き込み保護されている場合、ステータス レジスタの不揮発性ビット (WPEN、BP1、BP0、WPM、FMPC、PABP) は読み出し専用となるため以下の命令は使えません。

- ステータス レジスタ書き込み (WRSR)
- メモリ保護設定凍結 (FRZR)
- パーティション アドレス境界保護 (PPAB)
- メモリ パーティション レジスタ書き込み (WMPR)
- セキュリティ レジスタ ロック (LOCK)

6.1.2 ブロック書き込み保護ビット

25CSM04 では、ブロック保護機能を使って 4 通りのレベルで EEPROM を書き込みから保護できます。不揮発性のブロック書き込み保護ビット (BP[1:0]) はステータス レジスタ (バイト 0) 内の bit 3-2 に配置され、EEPROM とセキュリティ レジスタ内で読み出し専用として扱う領域を定義します。BP[1:0] ビットの値は、ステータス レジスタ (バイト 1) 内の WPM ビット (bit 7) によって本デバイスがレガシー書き込み保護モードに設定されている場合にのみ有効です。

以下の 4 通りのレベルの保護が可能です。

- **レベル 0** – EEPROM の全領域を保護しない。セキュリティ レジスタの下位 256 バイトのみ読み出し専用とする。
- **レベル 1** – EEPROM の上位 1/4 アドレス領域のみ書き込み保護する (EEPROM の最上位 1 Mbit が読み出し専用)。セキュリティ レジスタの下位 256 バイトのみ読み出し専用とする。
- **レベル 2** – EEPROM の上位 1/2 アドレス領域のみ書き込み保護する (EEPROM の最上位 2 Mbit が読み出し専用)。セキュリティ レジスタの下位 256 バイトのみ読み出し専用とする。
- **レベル 3** – EEPROM とセキュリティ レジスタの全領域を保護する (全アドレスが読み出し専用)。

各ブロック書き込み保護レベルに対応するステータス レジスタ制御ビット (BP1/BP0) の値と保護されるアドレス範囲を表 6-2 に示します。

表 6-2: ブロック書き込み保護ビット

保護レベル	ステータス レジスタ (バイト 0) Bit[3:2]		保護されるアドレス範囲	
	BP1	BP0	メモリ領域	25CSM04
0	0	0	EEPROM	なし
			セキュリティ レジスタ	00000h-000FFh
1	0	1	EEPROM	60000h-7FFFFh
			セキュリティ レジスタ	00000h-000FFh
2	1	0	EEPROM	40000h-7FFFFh
			セキュリティ レジスタ	00000h-000FFh
3	1	1	EEPROM	00000h-7FFFFh
			セキュリティ レジスタ	00000h-001FFh

Note: ブロック保護機能は、ステータス レジスタ (バイト 1) の WPM ビット (bit 7) が論理「0」(レガシー書き込み保護モード) に設定されている場合にのみ有効となります。WPM ビットが論理「1」に設定されている場合、本デバイスは拡張書き込み保護モードに従います。拡張書き込み保護モードの詳細は [10.1「拡張書き込み保護モード」](#) を参照してください。

6.1.3 書き込みイネーブルラッチ

不揮発性レジスタ、EEPROM アレイ、セキュリティレジスタに対する書き込みを許可 / 禁止するために、書き込みイネーブル命令 WREN(5.1「[書き込みイネーブル命令 \(WREN\)](#)」参照) と書き込みディセーブル命令 WRDI (5.2「[書き込みディセーブル \(WRDI\) 命令](#)」参照) を使います。これらの命令は、ステータスレジスタ (バイト 0) 内の書き込みイネーブルラッチ (WEL) ビット (bit 1) の状態を変更します。

6.1.4 レディー / ビジー ステータスラッチ

レディー / ビジー ステータスラッチ ($\overline{RDY/BSY}$) は、本デバイスが不揮発性書き込みシーケンスを現在実行中であるかどうかを示します。このビットは読み出し専用であり、本デバイスによって自動的に更新されます。このビットは、両方のステータスレジスタバイトの bit 0 で提供されます。

このビットの論理「1」は、デバイスが現在ビジー (不揮発性書き込みシーケンスを実行中) であることを示します。このビットが論理「1」である間は、ステータ

スレジスタ読み出し (RDSR) 命令とレディー / ビジーポーリング (WRBP) 命令のみが本デバイスによって実行されます。

このビットの値が論理「0」である場合、本デバイスは新しい命令を受け付けます。

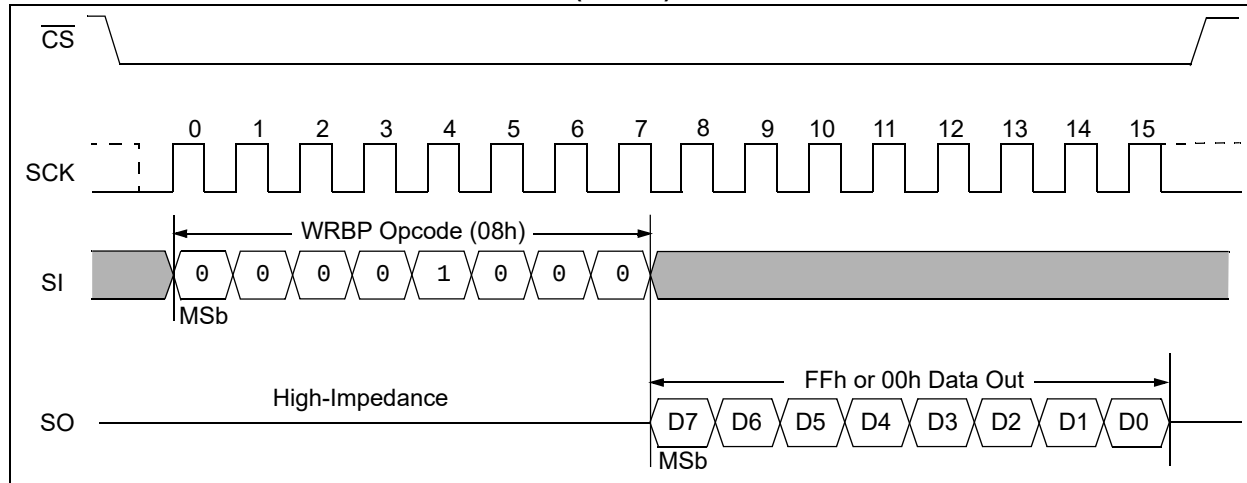
6.1.4.1 書き込みレディー / ビジー ポーリング

書き込みレディー / ビジー ポーリング (WRBP) 命令により、ステータスレジスタ内の $\overline{RDY/BSY}$ ビットへ 8 ビットフォーマットで直接アクセスできます。WRBP 命令を使う事で、不揮発性書き込みシーケンス後に本デバイスが内部書き込みサイクルを完了したかどうかを確認できます。

この命令は、本デバイスがビジーである (書き込みサイクルをまだ実行している) 場合に値 FFh を返し、書き込みサイクル中ではない場合に 00h を返します。

ポーリングルーチンの実装については、8.3「[ポーリングルーチン](#)」を参照してください。本デバイスは書き込みレディー / ビジー状態の連続的な読み出しをサポートし、出力値を 8 ビットごとに更新します。

図 6-1: 書き込みレディー / ビジー ポーリング (WRBP) シーケンス



6.1.5 書き込み保護モードビット

25CSM04 の書き込み保護属性は、ステータスレジスタ内の不揮発性書き込み保護モード (WPM) ビットにより制御されます。このビットは、ステータスレジスタ (バイト 1) 内の bit 7 に配置されています。このビットの論理「0」は本デバイスがレガシー書き込み保護モードに設定されている事を示し、論理「1」は拡張書き込み保護モードに設定されている事を示します。

書き込み保護モードは、EEPROM とセキュリティレジスタならびに各種不揮発性レジスタの内容を書き込みから保護する方法を制御します。2 つの書き込み保護モードの概要は 4.5「[書き込み保護](#)」に記載しています。WP ピンの状態に応じて保護される不揮発性レジスタについては、6.1.1「[書き込み保護イネーブルビット](#)」を参照してください。

ステータスレジスタ内の WPM ビットは、WRSR 命令によってのみ変更可能です (6.3「[ステータスレジスタ書き込み \(WRSR\)](#)」参照)。

書き込み保護モードは、FRZR 命令の実行によって永続的にロックできます。これは、レガシー書き込み保護モードと拡張書き込み保護モードの両方で可能です。詳細は 4.5.4「[メモリ保護設定凍結 \(FRZR\)](#)」を参照してください。

6.1.6 誤り訂正状態ラッチ

誤り訂正状態 (ECS) ビットは、ステータス レジスタ (バイト 1) 内の bit 6 に配置されています。このビットは、デバイス内部の誤り訂正コード (ECC) ロジックスキームが直前の読み出しシーケンス中に呼び出されたどうかを示します。ECC に関連するその他の情報は、[8.2「誤り訂正コード \(ECC\) の構造」](#)を参照してください。

直前の読み出しシーケンスで ECC ロジックスキームが要求されなかった場合、ECS ビットは論理「0」に設定されます。これが要求された場合は論理「1」に設定されます。

後続の読み出しシーケンスで ECC ロジックスキームが要求されなくなるまで、またはパワーオンリセット (POR) イベントが発生するかソフトウェア デバイスリセット (SRST) 命令が本デバイスへ送信されるまで、ECS ビットの読み値は論理「1」のままです。

6.1.7 メモリ保護設定凍結ビット

メモリ保護設定凍結 (FMPC) ビットは、ステータス レジスタ (バイト 1) 内の bit 5 に配置されています。このビットは不揮発性の OTP ビットであり、工場既定値の「0」に設定されています。

このビットは、メモリ保護設定凍結 (FRZR) 命令によってのみ論理「1」に設定する事ができます ([4.5.4「メモリ保護設定凍結 \(FRZR\)」](#)参照)。ステータス レジスタ書き込み (WRSR) 命令を使ってこのビットを変更する事はできません。このビットが論理「1」に設定された後は、メモリ保護設定を永続的に変更できなくなります。

6.1.8 パーティション書き込みイネーブルラッチ

WEL ビットに加えてメモリ パーティション書き込みイネーブルラッチ セット (PRWE) 命令 ([図 10-3 参照](#)) またはメモリ パーティション書き込みイネーブルラッチ リセット (PRWD) 命令 ([図 10-4 参照](#)) を使う事で、メモリ パーティション レジスタへの書き込みを許可または禁止できます。これらの命令は、ステータス レジスタ (バイト 1) 内の PREL ビット (bit 4) の状態を変更します。

Note: PRWE 命令を発行する前に WEL ビットを論理「1」にセットしておく必要があります。そうしないと PRWE 命令は無視されます。

6.1.9 パーティション アドレス境界保護ビット

パーティション アドレス境界保護 (PABP) ビットは、ステータス レジスタ (バイト 1) 内の bit 3 に配置されています。このビットは RDSR 命令で読み出せますが、このビットのセット/クリアはパーティションアドレス境界保護シーケンス ([10.1.3「パーティション終端アドレスの保護」](#)) によってのみ可能です。PABP ビットを論理「1」に設定した場合、メモリ パーティションレジスタ内のパーティション終端アドレスビット (A[18:13]) は読み出し専用 (変更不可) となりますが、パーティション属性ビット (PB[1:0]) の変更は可能なままです。

メモリ保護設定凍結ビットが論理「1」に設定された場合、パーティション終端アドレスビットとパーティション属性ビットは PABP ビットの状態に関係なく永続的に読み出し専用 (変更不可能) となります。

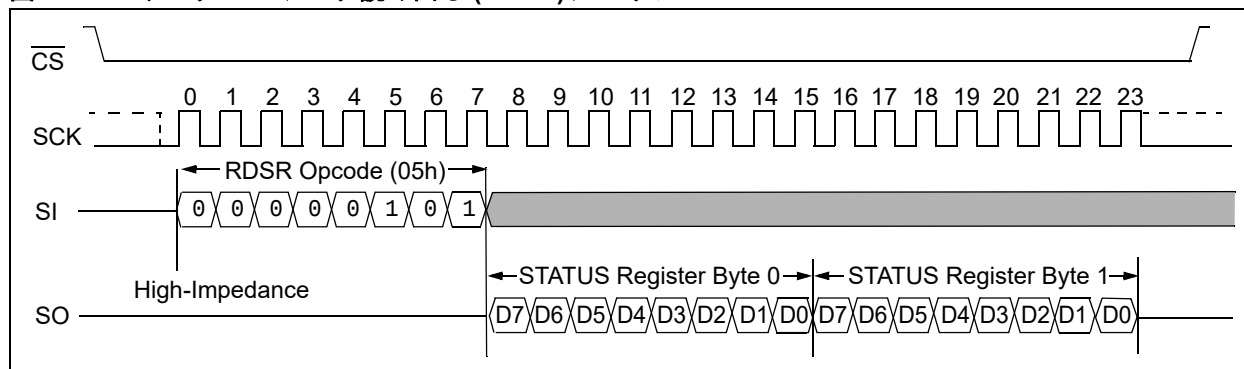
6.2 ステータス レジスタ読み出し (RDSR)

ステータス レジスタ読み出し (RDSR) 命令により、ステータス レジスタの内容にアクセスできます。CS ピンのアサート後にオペコード 05h を本デバイスへ送信する事により、ステータス レジスタを読み出せます。本デバイスは、SO ピンで 16 ビットのステータス レジスタ値を返します。

最初の 16 ビット値が返された後も読み出し続ける事により、ステータス レジスタを繰り返し読み出す事ができます。25CSM04 はステータス レジスタ内の揮発性ビット (RDY/BSY、WEL、PREL) の値をバイト境界で更新するため、RDSR 命令を繰り返し発行しなくても揮発性ビットの新しい値を読み出し続ける事ができます。

ステータス レジスタ内の不揮発性ビット (WPEN、BP0、BP1、WPM) を更新するには、RDSR 命令を新たに発行する必要があります。

図 6-2: ステータス レジスタ読み出し (RDSR) シーケンス



6.3 ステータス レジスタ書き込み (WRSR)

SPI ホストは、ステータス レジスタ書き込み (WRSR) 命令を使ってステータス レジスタ内の一部のビット値を変更できます。WRSR シーケンスを開始する前に、WREN 命令を実行して WEL ビットを論理「1」に設定しておく必要があります。WREN 命令が完了した後に WRSR シーケンスの実行が可能になります。

WRSR 命令は以下のビットのみ変更します。

- バイト 0: bit 7, bit 3, bit 2
- バイト 1: bit 7

バイト0内の書き込み保護イネーブル(WPEN)ビット、ブロック保護 (BP1、BP0) ビットとバイト1内の書き込み保護モード (WPM) ビットが変更可能です。

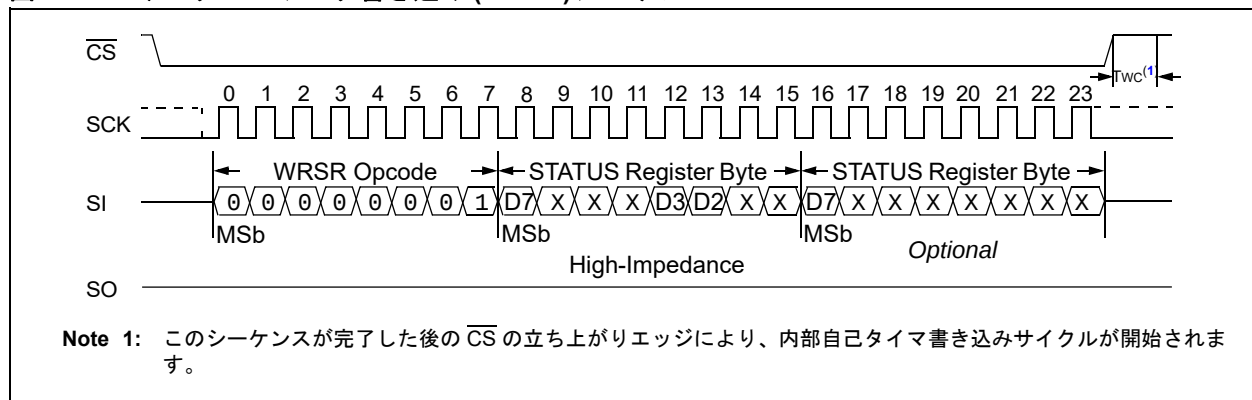
これらの4つのビットは、通常の EEPROM セルと同じ優先度と機能を持つ不揮発性セルです。これらの値は、デバイスの電源が遮断されている間も保持されます。ステータス レジスタ (バイト1) 内の FMPC ビット (bit 5) と PABP ビット (bit 3) も不揮発性ビットですが、これらは専用の命令を使って変更します。詳細は [6.1.7「メモリ保護設定凍結ビット」](#) と [10.1.3「パーティション終端アドレスの保護」](#) を参照してください。

バイト0は、ステータス レジスタへの書き込み時に常に書き込む必要があります。バイト1は、拡張書き込み保護モードを使う場合に必要に応じて書き込むことができます。

Note: バイト (8 ビット) 境界ではないタイミングで CS ピンがディアサートされた場合、シーケンスは中止されて内部書き込みサイクルは実行されません。

WRSR シーケンス後に内部自己タイマ書き込みサイクルが完了するまで、25CSM04 は RDSR または WRBP 以外の命令に応答しません。書き込みサイクルが完了した時点で、ステータス レジスタ内の WEL ビットは論理「0」へとリセットされます。

図 6-3: ステータス レジスタ書き込み (WRSR) シーケンス



7.0 読み出しシーケンス

7.1 EEPROM からの読み出し

本デバイスが内部書き込みサイクルの実行中でなければ(すなわち、ステータスレジスタ内の RDY/BSY ビットが「0」であれば)、EEPROM の内容をいつでも読み出せます。EEPROM を読み出すために、ホストは最初に $\overline{\text{CS}}$ ラインを Low に駆動して本デバイスを選択し、SI ラインで READ 命令 (03h) と読み出し位置を指す 24 ビットアドレスを続けて送信します。アドレスビット (A23-A19) は「ドントケア」ビットです(メモリのアドレス範囲外であるため)。

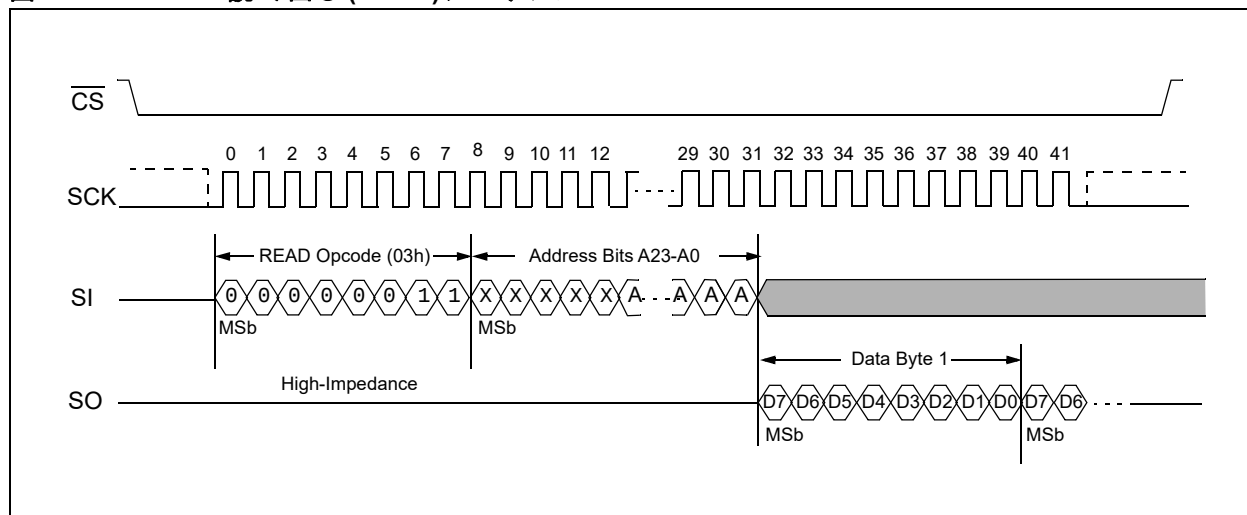
24 ビットアドレスの送信が完了した後は、SI ライン上の全てのデータが無視されます。本デバイスは、指定されたアドレスのデータ (D7-D0) を SO ライン上で

シフトアウトします。1 バイトのみ読み出す場合、そのデータバイトが本デバイスから出力された後に $\overline{\text{CS}}$ ラインを High に駆動する必要があります。

読み出しシーケンスでは、バイトアドレスが自動的にインクリメントして後続のデータが連続的にシフトアウトされます。最高アドレスに達するとアドレスカウンタは最低アドレス (000000h) へ「ロールオーバー」します。このため、開始アドレスに関係なく、1 回の読み出しシーケンスでメモリ全体を連続的に読み出す事ができます。

読み出しシーケンスは、任意のタイミングで $\overline{\text{CS}}$ を High に駆動する事によりいつでも終了できます。

図 7-1: EEPROM 読み出し (READ) シーケンス



8.0 書き込みシーケンス

25CSM04 内の EEPROM に書き込むには、書き込みイネーブル (WREN) 命令を使ってデバイスを書き込み可能にする必要があります。書き込み可能ではない場合、本デバイスは WRITE 命令を無視し、 $\overline{CS}$ が High へ遷移した時にスタンバイ状態に戻ります。メモリの書き込み先アドレスは、ブロック書き込み保護レベルまたはメモリパーティションレジスタの内容によって選択された保護アドレス領域の外である必要があります。内部書き込みサイクルの実行中は、RDSR および WRBP 以外の全ての命令が無視されます。

8.1 書き込み命令シーケンス

8.1.1 バイト書き込み

WREN 命令が完了した後に、バイト書き込みシーケンス (図 8-1) が実行可能となります。 $\overline{CS}$ ラインの Low への遷移によって本デバイスが選択された後に、SI ラインを介して WRITE 命令 (02h)、24 ビットアドレス、データ (D7-D0) が続けて本デバイスへ送信されます。

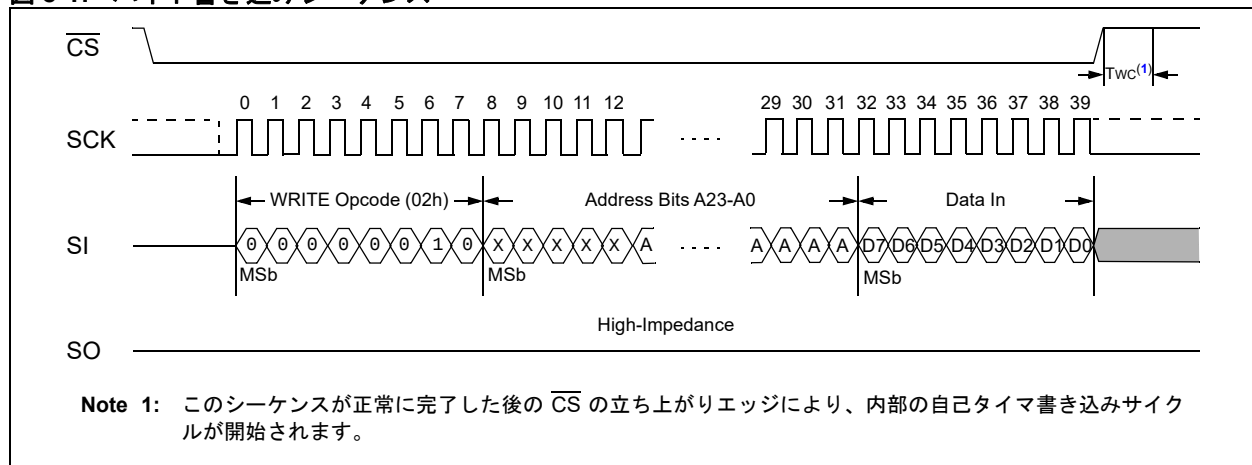
アドレスビット (A23-A19) は「ドントケア」ビットです (メモリのアドレス範囲外であるため)。

$\overline{CS}$ ピンが High へ遷移した後に書き込みサイクルが開始されます。 $\overline{CS}$ ピンの Low → High 遷移は、D0 (データの LSb ビット) が入力された直後の SCK Low 期間中 (モード 0 の場合) または High 期間中 (モード 3 の場合) に発生する必要があります。

Note: バイト (8 ビット) 境界ではないタイミングで $\overline{CS}$ ピンがディアサートされた場合、シーケンスは中止されて内部書き込みサイクルは実行されません。

書き込みサイクルが完了すると、25CSM04 は自動的に書き込みディセーブル状態 (ステータスレジスタビット WEL = 0) に戻ります。

図 8-1: バイト書き込みシーケンス



8.1.2 ページ書き込み

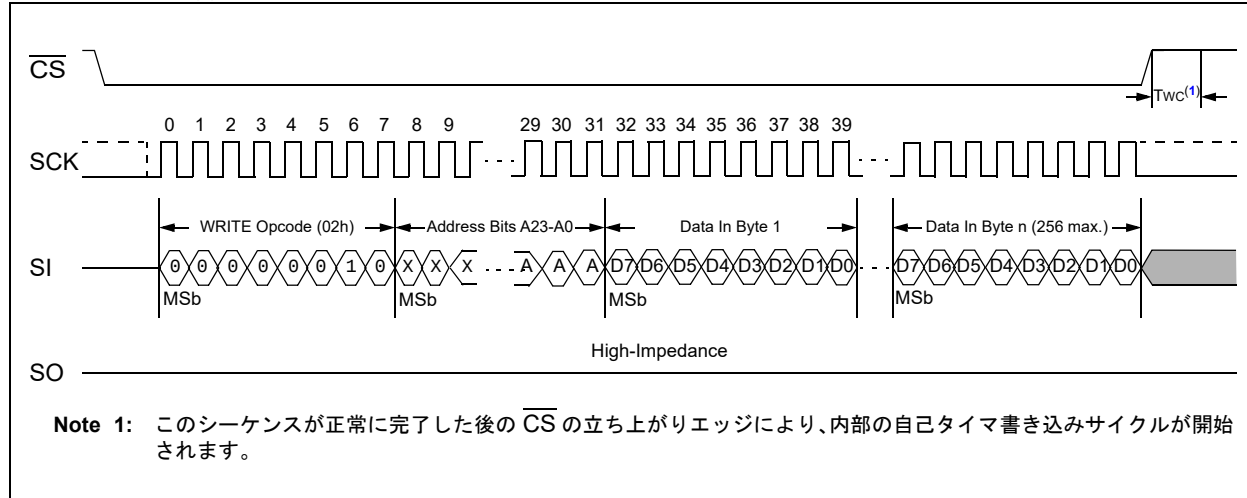
ページ書き込みシーケンスは基本的にバイト書き込みと同じですが、同一書き込みサイクル中に最大 256 バイトを書き込む事ができます。ただし、全てのバイトがメモリアレイの同一ページ内 (アドレスビット A18-A8 が同じ値) である必要があります。256 未満のバイトを書き込む部分ページ書き込みも可能です。データの各バイトを受信するたびに、アドレスの最下位 8 ビットが内部で 1 つインクリメントします (その他のアドレスビットは不変)。

アドレスがそのメモリページの終端に達した後さらにデータバイトが送信された場合、アドレスカウンタはそのページの先頭位置へ「ロールオーバー」し、直前に受信した 256 バイトのデータのみがデバイスに書き込まれます。

書き込みサイクルが完了すると、25CSM04 は自動的に書き込みディセーブル状態 (ステータスレジスタビット WEL = 0) に戻ります。

Note: バイト (8 ビット) 境界ではないタイミングで $\overline{CS}$ ピンがディアサートされた場合、シーケンスは中止されて内部書き込みサイクルは実行されません。

図 8-2: ページ書き込みシーケンス



8.2 誤り訂正コード (ECC) の構造

信頼性を高めるため、25CSM04 は誤り訂正コード (ECC) ロジックスキームを内蔵しています。EEPROM アレイは、連続した 4 個のバイトと 6 個の ECC パリティビットを 1 つのグループとして内部で構成されます。これらのグループ (計 38 ビット) を内部物理データワードと呼びます。読み出しシーケンス中に、ECC ロジックは 4 バイト物理データワードと、対応する 6 個の ECC パリティビットを比較します。4 バイト領域の中の一つのビットが正しく読み出されなかった場合、誤りのあるビットは ECC ロジックによって検出され、正しい値に訂正された後に出力されます。このような構造により、25CSM04 の信頼性は ECC を使わないデバイスに比べて大幅に向上します。

書き込みバイト数に関係なく、データは常に 4 バイトの内部物理データワード単位で物理的に本デバイスに書き込まれるという事に注意が必要です。バイト書き込みシーケンスによる単一バイトの書き込みは可能ですが、内部では書き込み先の 4 バイト領域内の他の 3 バイトと 6 個の ECC パリティビットも更新されます。このような構造のため、25CSM04 の EEPROM 書き込み耐性は、従来のページ単位ではなく内部物理データワード (4 バイトワード) 単位で規定されています。書き込み耐性を最大限に高めるため、データの配置を内部ワード境界に整列させる等、書き込みアルゴリズムの最適化を図る必要があります。

8.3 ポーリングルーチン

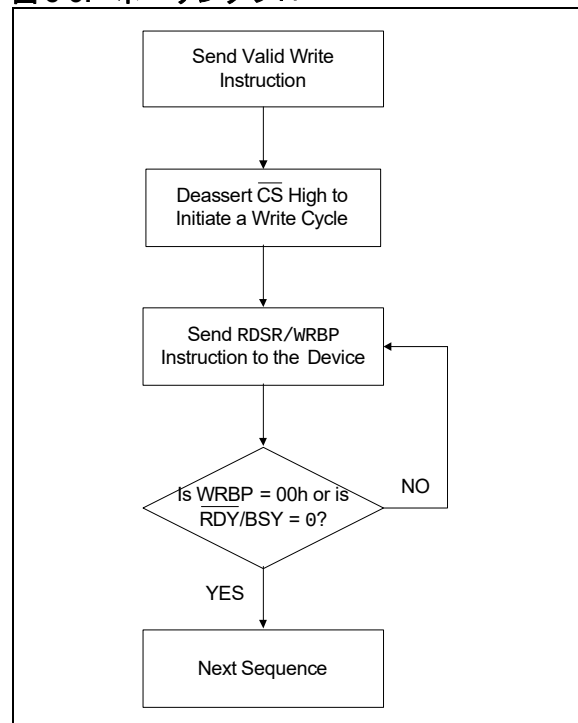
少しでも書き込み待ち時間を短くしたい場合、固定の最大書き込みサイクル時間 (T_{WC}) を待つ代わりにポーリングを実施します。これにより、アプリケーションはシリアル EEPROM が書き込みシーケンスを完了したかどうかを問い合わせる事ができます。このポーリングルーチンは、内部で自己タイマ書き込みサイクルが始まった時点で開始します。

ポーリングルーチンは、ステータスレジスタ読み出し (RDSR) 命令または書き込みレディー / ビジー ポーリング (WRBP) 命令を繰り返し送信する事で、デバイスが内部自己タイマ書き込みサイクルを完了したかどうかを判定します (図 8-3 参照)。RDSR 命令から RDY/BSY

ビット = 1 が返された場合、または WRBP 命令から FFh が返された場合、書き込みサイクルは実行中 (未完了) です。

RDSR 命令から $\overline{RDY/BSY}$ ビット = 0 が返された場合、または WRBP 命令から 00h が返された場合、書き込みサイクルは完了済みです。デバイスがまだビジー状態である場合、RDY/BSY ビット = 0 が返されるまで RDSR 命令を繰り返し実行するか、00h が返されるまで WRBP 命令を繰り返し実行する事で、デバイスが新しい命令を実行可能な状態になった事を検出できます。書き込みサイクル中は、RDSR および WRBP 命令のみが有効です。

図 8-3: ポーリングフロー



9.0 セキュリティ レジスタ

セキュリティ レジスタは1つの256バイト読み出し専用ページと、1つの256バイトID ページ(ユーザによる書き込みとロックが可能)に分割されています。ID ページは、バイト書き込みとページ書き込みの両方をサポートします。ID ページは、LOCK 命令を使っていつでも永続的にロックできます。セキュリティ レジスタのロック状態は、CHLK 命令を使っていつでも確認できます。

表 9-1: セキュリティ レジスタの構成

セキュリティ レジスタバイトの番号									
0	1	...	254	255	256	257	...	510	511
工場書き込み済み (読み出し専用) 0-15: デバイスシリアル番号 16-255: 将来用に予約済み					ユーザ書き込み可能 (ロック可能)				

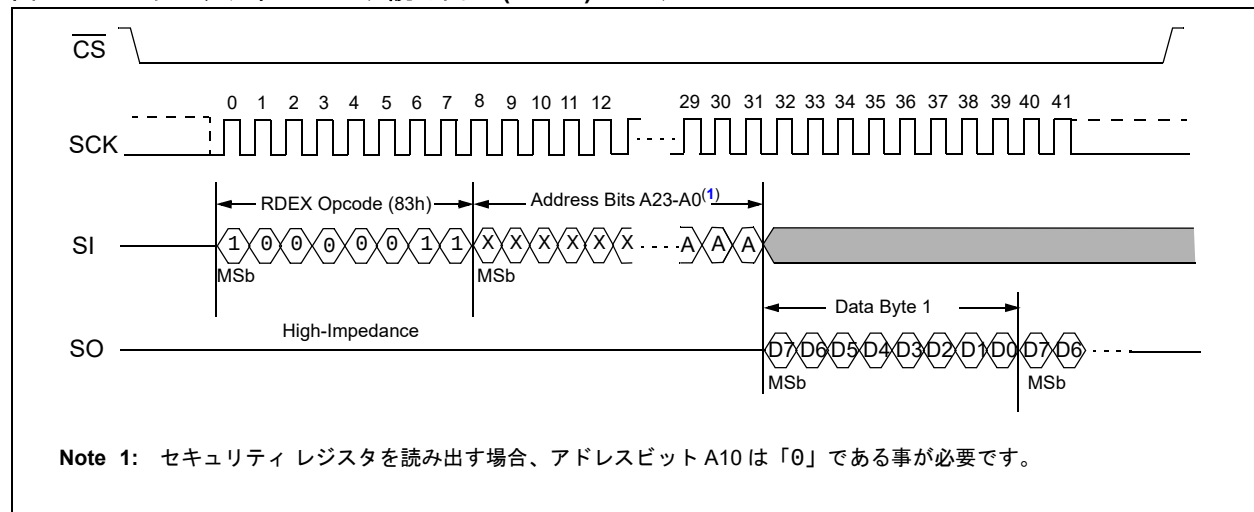
9.1 セキュリティ レジスタからの読み出し

25CSM04 からのセキュリティ レジスタの読み出し方法は EEPROM からの読み出しシーケンスと似ていますが、異なるオペコードと専用のアドレスデータが必要です。セキュリティ レジスタを読み出す場合、ホストは最初に CS ラインを Low に駆動して本デバイスを選択し、SI ラインで RDEX 命令 (83h) と読み出し位置を指す 24 ビットアドレスを続けて送信します。

Note: アドレスビット A23-A9 (A10 を除く) は「ドントケア」ビットですが、A10 は論理「0」である必要があります。

24 ビットアドレスの送信が完了した後は、SI ライン上の全てのデータが無視されます。本デバイスは、指定されたアドレスのデータ (D7-D0) を SO ラインへシフトアウトします。1 バイトのみ読み出す場合、そのデータが本デバイスから出力された後に CS ラインを High に駆動する必要があります。読み出しシーケンスでは、バイトアドレスが自動的にインクリメントして後続のデータが連続的にシフトアウトされます。最高アドレス (0001FFh) に達するとアドレスカウンタは最低アドレス (000000h) へ「ロールオーバー」します。このため、開始アドレスに関係なく、1 回の読み出しシーケンスでセキュリティ レジスタの全体を連続的に読み出す事ができます。

図 9-1: セキュリティ レジスタ読み出し (RDEX) シーケンス



9.1.1 工場書き込み済み 128ビット 一意シリアル番号の読み出し

セキュリティレジスタには、グローバルに一意の128ビットシリアル番号が工場で書き込み済みです。このシリアル番号はセキュリティレジスタの下位16バイト(バイト0h-Fh)に書き込まれており、Microchip社製CSシリーズEEPROMの全バリエーションを通して一意です。シリアル番号は、セキュリティレジスタ内のその他のデータと同じ方法で読み出せます。

Note: 番号の一意性を確保するため、128ビットシリアル番号は開始アドレスからを読み出す必要があります。加えて、完全な一意値を得るにはシリアル番号の全体を読み出す必要があります。

9.2 セキュリティレジスタへの書き込み

セキュリティレジスタに対する書き込みシーケンスは、基本的にEEPROMへの書き込みシーケンス(8.1.1「バイト書き込み」、8.1.2「ページ書き込み」参照)と同じですが、ユーザ書き込み/ロック可能IDページへ書き込むためにWREX命令(82h)を使う事とアドレスビットA10が論理「0」かつアドレスビットA8が論理「1」である事が必要です。レガシー書き込み保護モードでは、ステータスレジスタ(バイト0)内のBP[1:0]ビット(bit 3-2)が「11」である場合にセキュリティレジスタは書き込み保護されます。これは、ステータスレジスタ(バイト0)のWPENビット(bit 7)およびWPピンの状態とは無関係です。

セキュリティレジスタのユーザ書き込み/ロック可能IDページも、永続的にロックする事により読み出し専用にできます。これにはLOCK命令を使います。本デバイスが既にロック済みであるかどうかは、CHLK命令を使って確認できます。セキュリティレジスタがロックされると、その後の全てのWREX命令は無視されます。

Note: バイト(8ビット)境界ではないタイミングでCSピンがディアサートされた場合、シーケンスは中止されて内部書き込みサイクルは実行されません。

9.2.1 セキュリティレジスタのロック

セキュリティレジスタの上位256バイトは、ユーザ書き込み可能状態でMicrochip社から出荷されます。セキュリティレジスタのユーザ書き込み/ロック可能IDページは、必要なデータを書き込んだ後にLOCK命令を使って永続的に書き込み保護できます。

Note: ステータスレジスタ(バイト0)内のWPENビット(bit 7)が論理「1」かつWPピンがアサート状態である場合、LOCK命令は無視されます。

LOCK命令を実行すると、25CSM04のセキュリティレジスタの上位256バイトに対する全ての書き込みシーケンスは永続的に禁止され、セキュリティレジスタ全体(512バイト)が読み出し専用となります。

Note: セキュリティレジスタを一度ロックした後でロックを解除する事はできません。

LOCK命令は書き込みシーケンスを利用するため、LOCK命令を発行する前にWREN命令を送信してステータスレジスタ内のWELビットを論理「1」に設定しておく必要があります。図9-4に示す通り、SIライン上でLOCK命令(82h)、ダミーアドレス(ビットA23-A0(A10を除く)は「ドントケア」ビット、ビットA10は「1」である事が必要)、確認データバイト(0x00000001)が続けて送信され、CSピンがHighに遷移した後に内部自己タイマ書き込みサイクルが始まります。

Note: 40ビットのFRZRシーケンスの完了前にCSピンがディアサートされた場合、シーケンスは中止されて書き込みサイクルは実行されません。

図 9-2: セキュリティ レジスタ書き込み (WREX) - バイト書き込みシーケンス

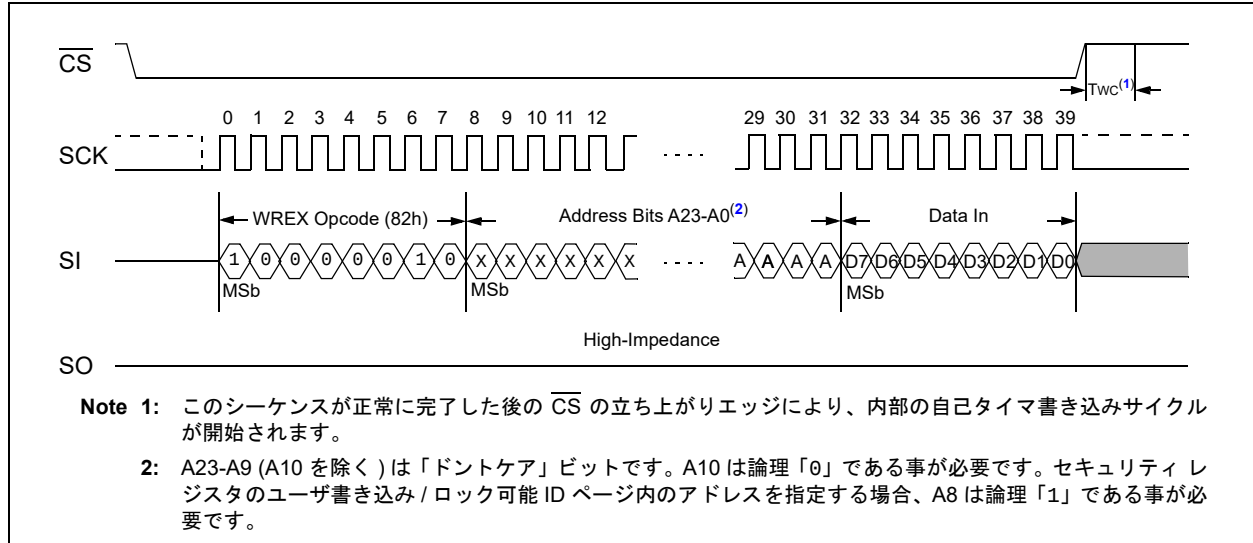


図 9-3: セキュリティ レジスタ書き込み (WREX)-ページ書き込みシーケンス

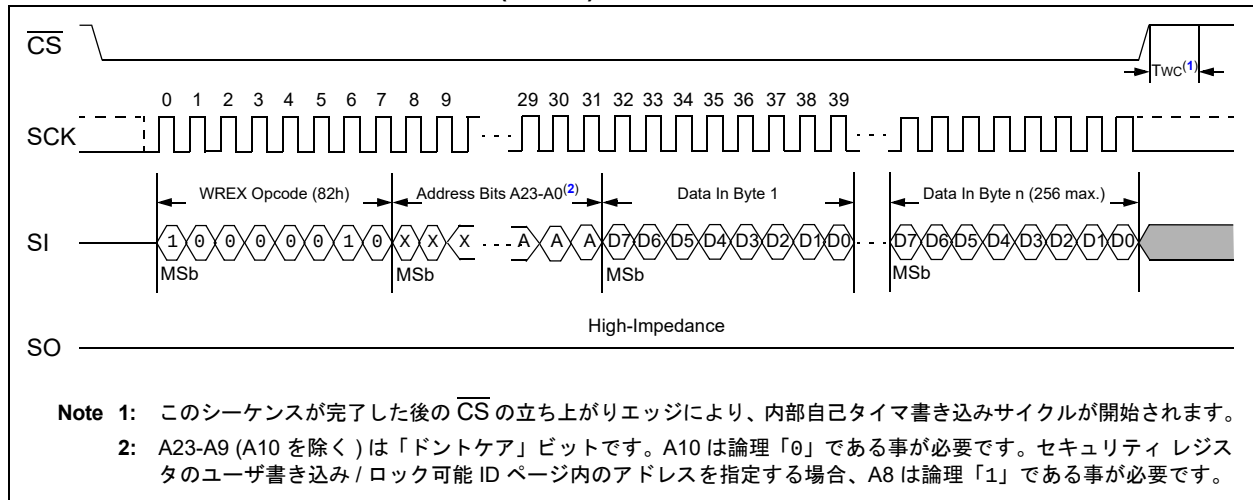
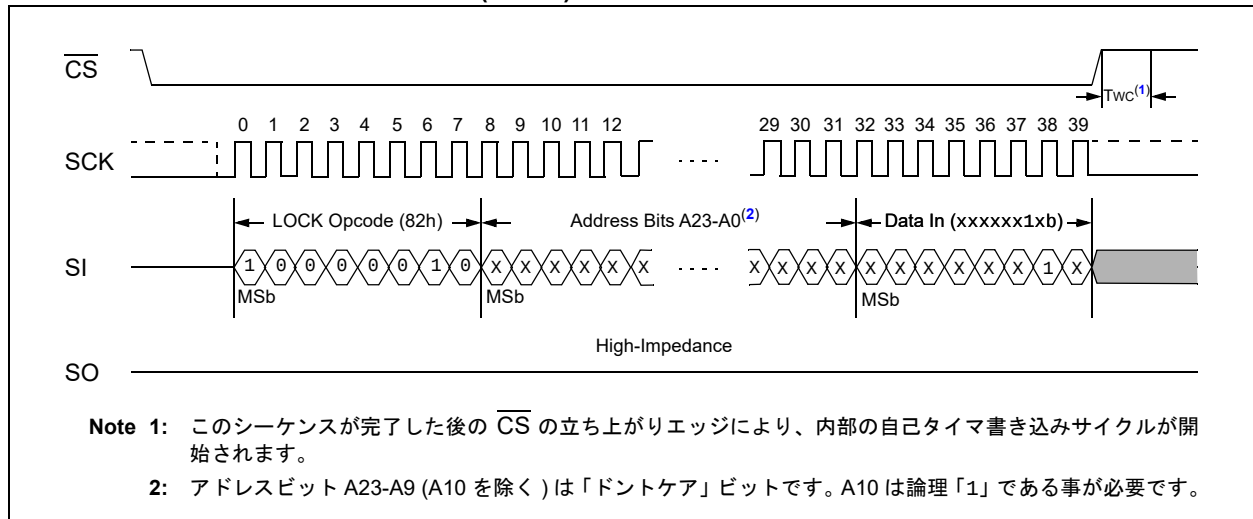


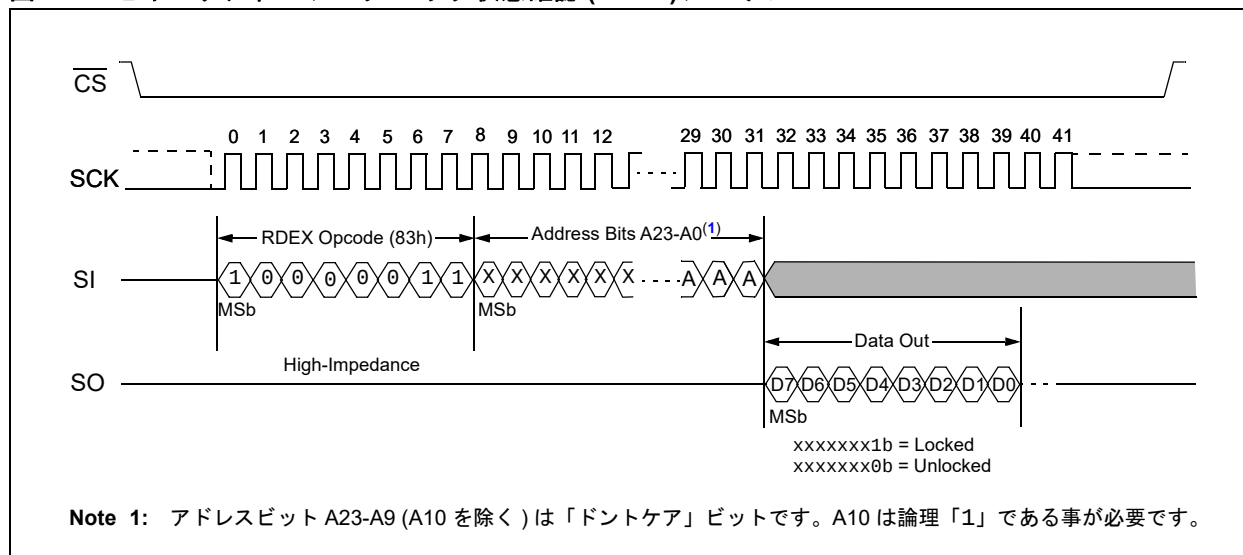
図 9-4: セキュリティ レジスタ ロック (LOCK) シーケンス



9.2.2 セキュリティ レジスタのロック状態 の確認

CHLK 命令を使うと、セキュリティ レジスタのユーザ書き込み/ロック可能 ID ページがロック済みであるかどうかを確認できます。ロック状態を確認するには、SI ラインでオペコード 83h を本デバイスへ入力する必要があります。アドレスビット A10 は論理「1」である必要があります。その他のビットは全て「ドントケア」です。SO ラインで本デバイスから出力されるデータバイトの bit 0 がロックの状態を示します (0: 未ロック、1: ロック済み)。データバイトのその他のビットは全て「ドントケア」です。従って、このデータバイトが xxxxxxx1b であればユーザ書き込み / ロック可能 ID ページはロック済みであり、xxxxxxx0b であれば未ロックです。

図 9-5: セキュリティ レジスタ ロック状態確認 (CHLK) シーケンス



10.0 メモリ パーティション機能

25CSM04 の書き込み保護機能は、レガシー書き込み保護モードまたは拡張書き込み保護モードのどちらかに設定できます。これらのモードは、ステータスレジスタの WPM ビットで選択します (6.1.5「**書き込み保護モードビット**」参照)。このビットは、ステータスレジスタ書き込み (WRSR) シーケンスを使って変更できます。WPM ビットが論理「0」に設定されている場合、本デバイスはレガシー書き込み保護モードに設定されます。WPM ビットが論理「1」である場合、拡張書き込み保護モードが有効になります。

Note: 書き込み保護モードは、FRZR 命令を実行する事により、永続的にロックできます。これは、レガシー書き込み保護モードと拡張書き込み保護モードの両方で可能です。詳細は 4.5.4「**メモリ保護設定凍結 (FRZR)**」を参照してください。

本デバイスがレガシー書き込み保護モードに設定されている場合、EEPROM とセキュリティ レジスタはステータス レジスタ内のブロック保護 (BP[1:0]) ビットの状態に基づいて保護されます。このビット機能の詳細は 6.1.2「**ブロック書き込み保護ビット**」に記載しています。

10.1 拡張書き込み保護モード

本デバイスは拡張書き込み保護モードを備えています。このモードは、ステータス レジスタ (バイト 1) の WPM ビット (bit 7) を論理「1」に設定すると有効になります。本デバイスが拡張書き込み保護モードに設定されている場合、ステータス レジスタとメモリ パーティション レジスタは、WPEN ビットが論理「1」に設定されかつ $\overline{WP}$ ピンがアサートされている時に、全ての変更から保護されます。

25CSM04 を拡張書き込み保護モードに設定すると、8 個のメモリ パーティション レジスタ (MPR0 ~ MPR7) が有効になります。これらは 8 ビットレジスタであり、書き込み可能アドレス範囲と保護属性のタイプに基づいてメモリ構成を制御します。

10.1.1 メモリ パーティションの概要

本デバイスの 8 個のメモリ パーティション レジスタ (MPR) を使う事で、EEPROM アレイを最大で 9 個のパーティションに分割できます。各 MPR は、対応するパーティションの保護属性を指定します (4通りある保護属性タイプの 1つを選択)。

各メモリ パーティション レジスタは、各パーティションの終端に位置するメモリアレイ アドレスの上位 6 ビット (A18-A13) を指定します (A12-A0 は全て論理「1」)。これにより、パーティションのサイズを 32 ページ (8K バイト) 刻みで設定でき、設定可能な最小パーティションサイズは 64K ビット (8K バイト) です。各パーティションは、アプリケーション要件に応じて異なるサイズに設定できます。図 10-1 に、設定可能なパーティション位置を示します。

Note: 拡張書き込み保護モードが無効である場合、MPR の全ての内容は無視されます。

図 10-1: 25CSM04の メモリ パーティション マップ

4-Mbit (512-Kbyte) EEPROM (256 bytes per page x 2,048 pages)		Beginning Address	Ending Address	
Available Partition Point: A18:A13 [000000b]	32 Pages	00000h	01FFFh	64-Kbit
Available Partition Point: A18:A13 [000001b]	32 Pages	02000h	03FFFh	64-Kbit
Available Partition Point: A18:A13 [000010b]	32 Pages	04000h	05FFFh	64-Kbit
Available Partition Point: A18:A13 [000011b]	32 Pages	06000h	07FFFh	64-Kbit
	----	----	----	
Available Partition Point: A18:A13 [111110b]	32 Pages	7C000h	7DFFFh	64-Kbit
Available Partition Point: A18:A13 [111111b]	32 Pages	7E000h	7FFFFh	64-Kbit

10.1.2 メモリ パーティション レジスタの構成

各メモリパーティションレジスタ (MPR) は8ビットの不揮発性レジスタです。レジスタ 10-1 に、MPR の構成を示します。各 MPR の bit 7-6 により、4 通りの保護属性が定義されます (レジスタ 10-1 参照)。各パーティションで異なる属性を選択できます。

bit 5-0 は、パーティション終端アドレスのビット A18:A13 を格納します (このアドレスの A12:A0 は全て論理「1」)。例えば、メモリアレイの最初のパーティションを 128K ビットメモリ領域の後に終了させる場合、終端アドレスは 03FFFh です。この場合、MPR0 レジスタ内の A18:A13 アドレスビットに 000001b を書き込みます。

本デバイスは MPR0 から順番に 8 個の MPR をデコードします。各 MPR には、1 つ前の MPR のパーティション終端アドレスよりも大きな終端アドレスを設定する必要があります。上位の MPR のパーティション終端アドレスが下位の MPR の終端アドレス以下である場合、上位の MPR は無視されます (その内容に基づく保護は設定されません)。

メモリパーティションの使用例を表 10-1 に示します。

Note: パーティション属性ビット (PB[1:0]) に 11b が書き込まれた場合、その MPR は永続的に読み出し専用 (ROM) となり、その内容は変更不可能になります (レジスタ 10-1 参照)。

レジスタ 10-1: メモリ パーティション レジスタ

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PB1	PB0	A18	A17	A16	A15	A14	A13
bit 7							bit 0

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装、「0」として読み出し
 -n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

bit 7-6

PB[1:0]: パーティション属性ビット⁽¹⁾

00 = パーティションは開かれており書き込み可能

01 = パーティションは常に書き込みから保護されるが、後で保護を解除可能 (ソフトウェア書き込み保護)

10 = パーティションは $\overline{WP}$ ピンのアサート時にのみ書き込みから保護される (ハードウェア書き込み保護)

11 = パーティションはソフトウェア書き込み保護され、メモリ パーティション レジスタは永続的にロックされる

bit 5-0

A[18:13]: パーティション終端アドレスビット^(1,2)

000000 = パーティションの終端アドレスを 01FFFh に設定する

000001 = パーティションの終端アドレスを 03FFFh に設定する

.

.

.

111110 = パーティションの終端アドレスを 7DFFFh に設定する

111111 = パーティションの終端アドレスを 7FFFFh に設定する

Note 1: FMPC ビットがセットされている場合、メモリ パーティション レジスタに書き込む事はできません。**2:** PABP ビットがセットされている場合、パーティション終端アドレス レジスタに書き込む事はできません。

表 10-1: メモリ パーティション レジスタの用例

レジスタ	内容	パーティション属性ビット (Bit 7-6)	パーティションの保護	レジスタの保護	パーティション終端アドレスビット (Bit 5-0)	パーティション終端メモリアドレス	パーティションのサイズとアドレス範囲
MPR0	43h	01b	ソフトウェア保護	未ロック	000011b	07FFFh	256 Kbit パーティション 000000h-007FFFh
MPR1	C4h	11b	ソフトウェア保護	ロック済み	000100b	09FFFh	64 Kbit パーティション 008000h-009FFFh
MPR2 ⁽¹⁾	03h	00b	保護せず	未ロック	000011b	07FFFh	このレジスタは無視される
MPR3	8Fh	10b	ハードウェア保護	未ロック	001111b	01FFFFh	704 Kbit パーティション 00A000h-01FFFFh

Note 1: この例では、MPR2 のパーティション終端アドレスが MPR1 で指定された終端アドレスよりも大きくないため、MPR2 は無視されます。

10.1.3 パーティション終端アドレスの保護

25CSM04 は、8 個の MPR 内で指定されたパーティション終端アドレスを変更から保護する機能を備えています。この保護機能が有効であっても、MPR のパーティション属性ビットは変更可能です。表 10-2 に示す通り、FRZR シーケンス (4.5.4「メモリ保護設定凍結 (FRZR)」参照) によってステータス レジスタ (バイト 1) 内の FMPC ビット (bit 5) が論理「1」に設定されている場合、パーティション属性ビットとパーティション終端アドレスビットが全てロックされるため、この機能 (PABP) を有効にしても意味はありません。

Note: ステータス レジスタ (バイト 0) 内の WPEN ビット (bit 7) が論理「1」かつ $\overline{WP}$ ピンがアサート状態である場合、PPAB 命令は無視されます。

25CSM04

パーティション終端アドレスに必要な値を書き込んだ後は、意図的ではない変更を防ぐために、それらのアドレスを保護する事を推奨します。これを行うには、パーティション アドレス境界保護 (PPAB) 命令を実行する事により、ステータス レジスタ (バイト 1) 内の PABP ビット (bit 3) を変更します。

Note: 各パーティションの開始アドレスは、1つ前のパーティションの終端アドレス境界によって決まります (MPR0 のパーティション開始アドレスは 00000h です)。MPR のアドレス境界を変更すると、一部のメモリアレイ位置に対するパーティションの割り当てが変更され、結果としてそれらのメモリ位置に割り当てられている書き込み保護属性に影響が及ぶ可能性があります。

表 10-2: メモリ パーティション レジスタの保護条件

FMPC	PABP	パーティション属性ビット	パーティション終端アドレスビット
0	0	書き込み可能	書き込み可能
0	1	書き込み可能	保護
1	X	永続的に保護	永続的に保護

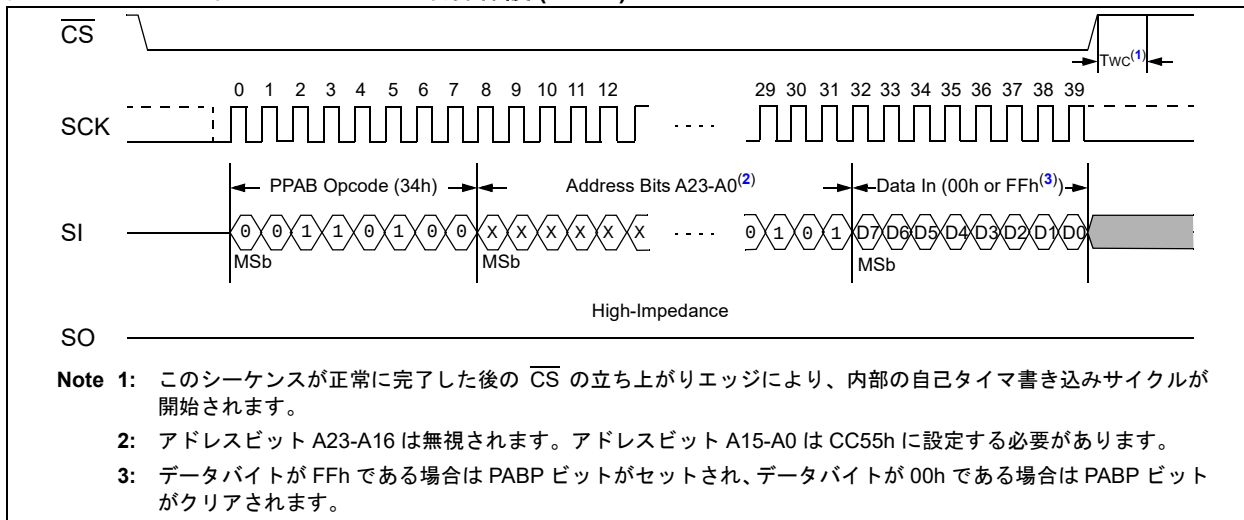
PPAB 命令を実行する前に、書き込みシーケンスを有効にするために WREN 命令を送信してから PRWE 命令を送信する必要があります (10.2「メモリ パーティション レジスタへの書き込み」参照)。これにより、WEL ビットと PREL ビットが論理「1」に設定されます。

次に、図 10-2 に示す通り、SI ライン上で PPAB 命令 (34h) に続けて 24 ビットアドレス (下位 16 ビットは CC55h である事が必要) を送信します。最後に、データバイト (00h または FFh) を送信した後に、CS ピンを High に駆動すると、内部自己タイマ書き込みサイクルが始まります。

データバイトが FFh である場合、ステータス レジスタ内の PABP ビットが論理「1」にセットされてパーティション終端アドレスが変更から保護されます。データバイトが 00h である場合、ステータス レジスタ内の PABP ビットが論理「0」にクリアされてパーティション終端アドレスの保護が解除されます。

Note: 40 ビットシーケンスの完了前に $\overline{\text{CS}}$ ピンがディアサートされた場合、シーケンスは中止されて書き込みサイクルは実行されません。

図 10-2: パーティション アドレス境界保護 (PPAB) シーケンス



10.1.4 メモリ パーティション レジスタの
アドレス指定

本デバイスの 8 個の MPR のいずれかにアクセスする場合、各 MPR のアドレスは本デバイスへ送信される 24 ビットアドレス内の A18:A16 ビットにより指定します。

残りのアドレスビット (A23-A19 と A15-A0) は無視されます。表 10-3 に、各 MPR を指定する A18-A16 ビットの値を示します。

表 10-3: メモリ パーティション レジスタの
アドレス指定

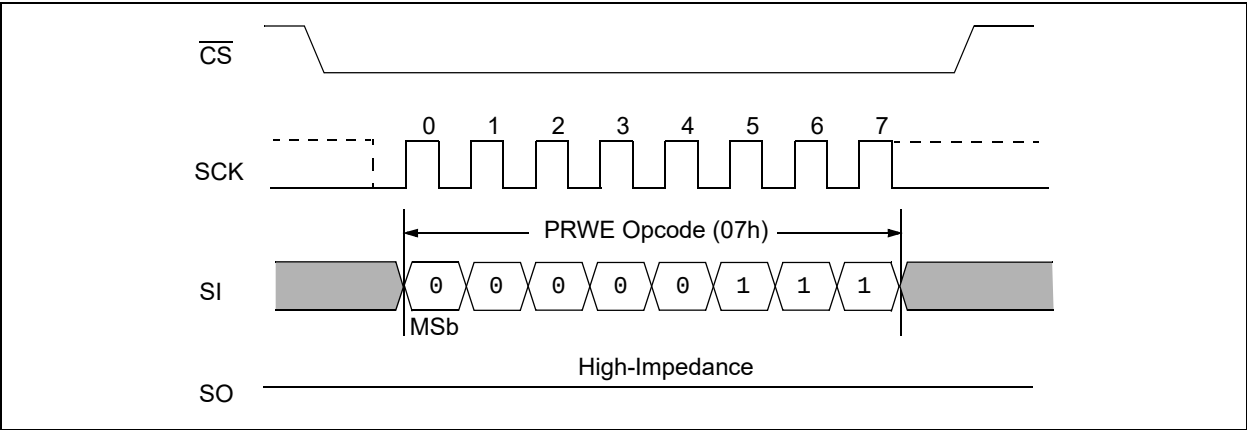
メモリ パーティション レジスタ番号	A18	A17	A16
MPR0	0	0	0
MPR1	0	0	1
MPR2	0	1	0
MPR3	0	1	1
MPR4	1	0	0
MPR5	1	0	1
MPR6	1	1	0
MPR7	1	1	1

10.2 メモリ パーティション レジスタへの書き込み

10.2.1 メモリ パーティション レジスタ書き込みイネーブル (PRWE)

アドレス境界を保護するための全ての書き込みシーケンスまたは FRZR 命令の前に、ステータス レジスタ内の WEL ビットと PREL ビットを「1」にセットする必要があります。これを行うには、WREN 命令 (06h) (6.1.3 「書き込みイネーブルラッチ」参照) を送信してから PRWE 命令 (07h) を送信します (図 10-3 参照)。WEL ビットと PREL ビットの両方が「1」にセットされた後は、WMPR 命令による MPR への書き込み、PPAB 命令によるパーティション終端アドレスの保護、FRZR 命令による全 MPR の内容の永続的なロックが可能となります。これらの命令が完了すると、PREL ビットと WEL ビットは自動的に論理「0」へとリセットされます。

図 10-3: メモリ パーティション レジスタ書き込みイネーブル (PRWE) 命令

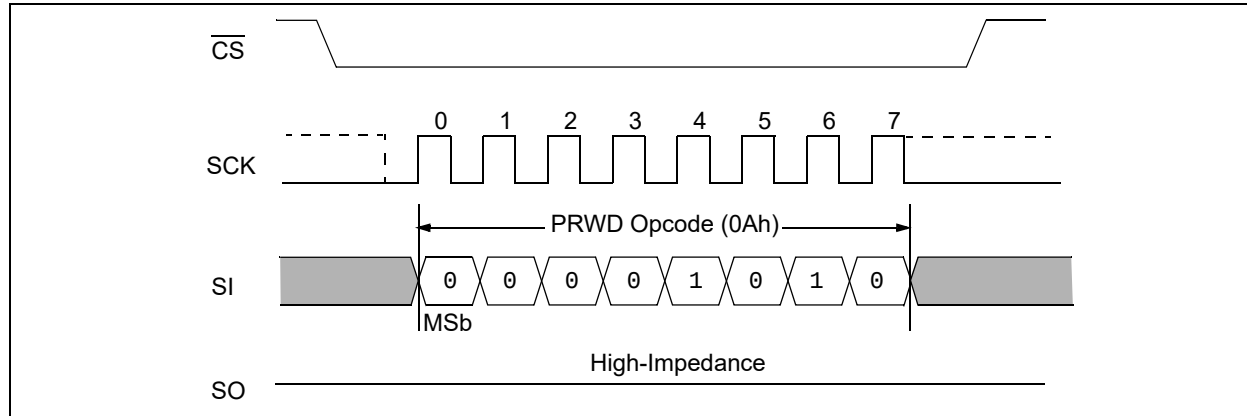


25CSM04

10.2.2 メモリ パーティション レジスタ 書き込みディセーブル (PRWE)

メモリ パーティション レジスタ書き込みディセーブル (PRWD) 命令により、ステータス レジスタ内の PREL ビットを論理「0」へとリセットできます。

図 10-4: メモリ パーティション レジスタ書き込みディセーブル (PRWD) 命令



10.2.3 メモリ パーティション レジスタへの書き込み

FRZR シーケンス (4.5.4「メモリ保護設定凍結 (FRZR)」参照) によってステータス レジスタ内の FMPC ビットが論理「1」にセットされていない場合は、ステータス レジスタ内の WEL ビットと PREL ビットを「1」に設定する事によりメモリ パーティション レジスタへの書き込みが可能になります。

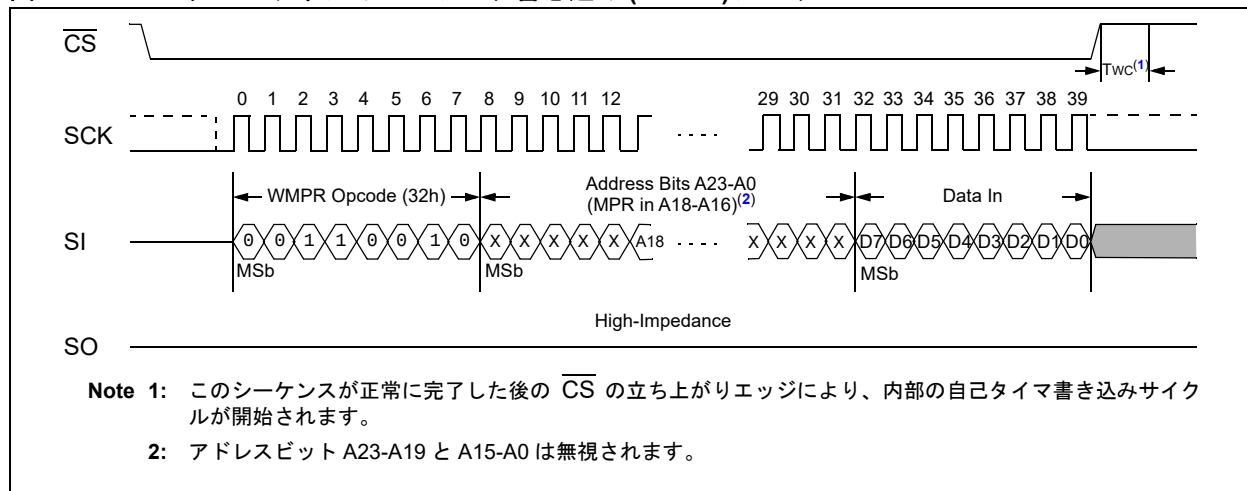
MPR への書き込みには WMPR 命令を使います。WMPR 命令を発行するには、最初に CS ピンをアサートし、次に SI ライン上でオペコード 32h、3 バイトアドレス (A18-A16 ビットで書き込み先メモリ パーティション レジスタ番号を指定、表 10-3 参照)、1 バイトのデータ (内容はレジスタ 10-1 に従う) を続けて本デバイスへ送信した後に、CS ラインをディアサートします。本

デバイスは内部書き込みサイクルを開始し、これが完了するステータス レジスタ内の WEL ビットと REL ビットは自動的に論理「0」へとリセットされます。

最初のデータバイトの後に追加のデータが本デバイスへ送信された場合、命令は無視されます (一度に 1 つの MPR に書き込む事しかできないため)。8 ビット境界以外の位置でシーケンスが終了された場合、命令は無視されます。メモリ パーティション レジスタへの書き込みシーケンスを図 10-5 に示します。

本デバイスは 8 個の MPR を MPR0 から順番にデコードするため、各 MPR 内のパーティション終端アドレス値は MPR0 から上位の MPR へ向かって順番に増加する必要があります。上位の MPR のパーティション終端アドレスが下位の MPR の終端アドレス以下である場合、上位の MPR は無視されます (その内容に基づく保護は設定されません)。

図 10-5: メモリ パーティション レジスタ書き込み (WMPR) シーケンス



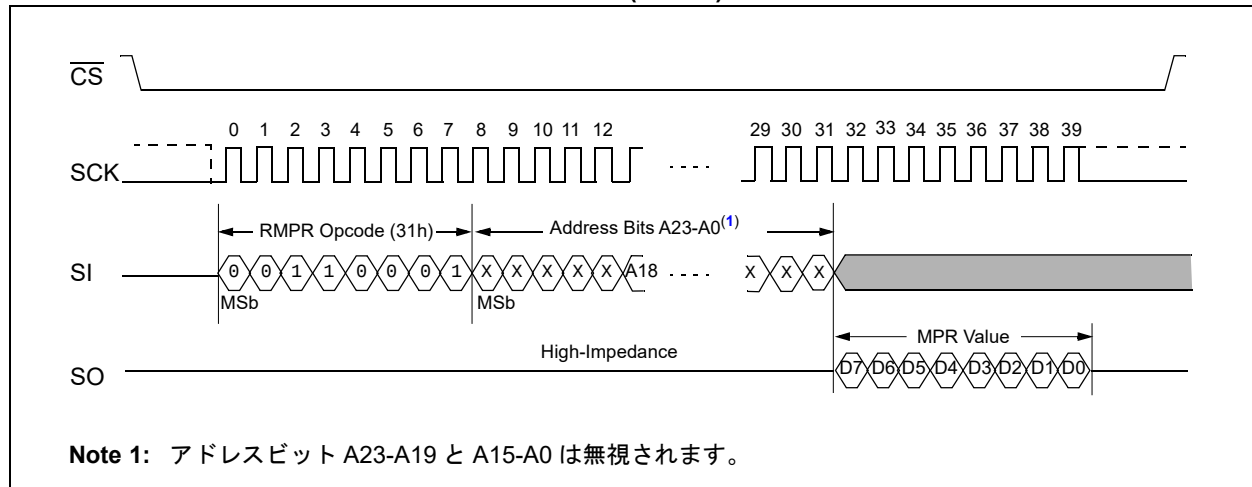
10.3 メモリ パーティション レジスタからの読み出し

メモリ パーティション レジスタの内容は、メモリ パーティション レジスタ読み出し (RMPR) 命令を使って読み出せます。ステータス レジスタ内の FMPC ビットとは無関係に読み出し可能です。

MPR の内容を確認するには、最初に $\overline{\text{CS}}$ ラインで本デバイスを選択してから、SI ライン上でオペコード 31h と 24 ビットのメモリ パーティション レジスタアドレスを続けて本デバイスへ送信します。

各メモリ パーティション レジスタのアドレスは、本デバイスへ送信される最初のアドレスバイト内の A18-A16 ビットで指定されます (表 10-3 参照)。その後本デバイスは SO ライン上でデータの出力を開始します。一度に 1 つの MPR を読み出す事しかできません。メモリ パーティション レジスタからの読み出しシーケンスを図 10-6 に示します。

図 10-6: メモリ パーティション レジスタ読み出し (RMPR) シーケンス



11.0 IDレジスタ

ID レジスタは本デバイスの ID 情報を格納します。デバイスからこの情報を読み出す事により、システム内に実装された 25CSM04 を識別する事ができます。

デバイスの識別方法と命令オペコードは、「SPI 互換シリアル インターフェイス メモリデバイス向けの製造者 ID およびデバイス ID 読み出し方法」に関する JEDEC® 規格に準拠しています。本デバイスから読み出し可能な情報のタイプには、JEDEC® の定義に従う「製造者 ID」、「ベンダー固有デバイス ID」、「ベンダー固有拡張デバイス情報 (EDI)」が含まれます。

11.1 ID レジスタからの読み出し

ID 情報を読み出すには、最初に $\overline{CS}$ ピンをアサートしてから、オペコード 9Fh (SPID) を本デバイスへ入力する必要があります。オペコードが入力されると、本デバイスは後続のクロックサイクル中に SO ピンで ID データを出力します。出力される最初のバイトは製造者 ID を格納し、続く 2 バイトはデバイス ID 情報を格納します。

第 4 バイトは、拡張デバイス情報 (EDI) 文字列の長さを格納します。25CSM04 では、この値は 01h です (この後に 1 バイトの EDI データが続く事を示す)。

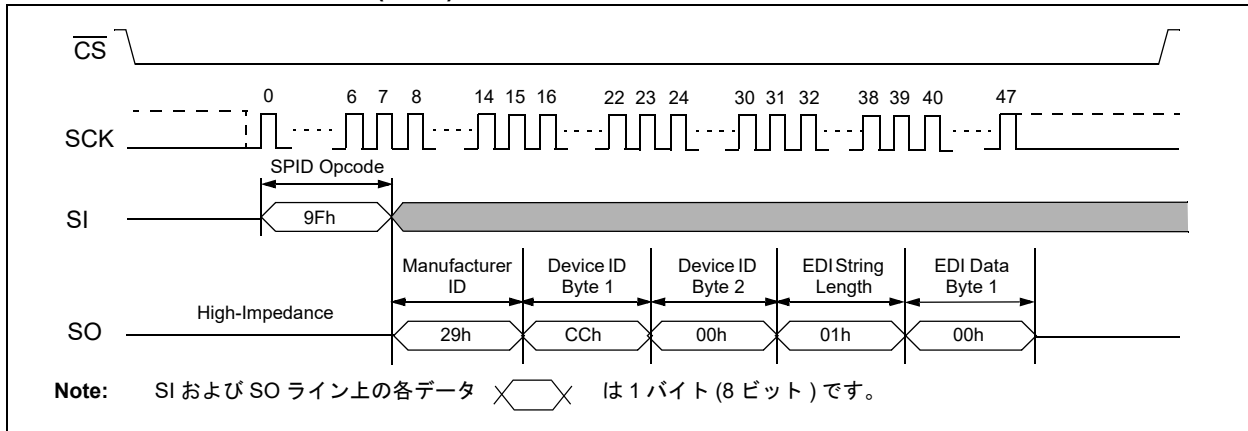
1 バイトの EDI データが出力された後に、SO ピンはハイ インピーダンス状態へと遷移します。従って、後続のクロックサイクルは SO ピンに対して効果を持たず、データは何も出力されません。JEDEC® 規格によると、EDI 文字列長と後続の EDI データの読み出しは必須ではありません。

$\overline{CS}$ ピンをディアサートすると製造者 ID とデバイス ID の読み出しシーケンスは終了し、SO ピンはハイ インピーダンス状態になります。 $\overline{CS}$ ピンはいつでもディアサート可能です (データの完全な 1 バイトを読み出す必要はありません)。メモリ パーティション レジスタからの読み出しシーケンスを図 11-1 に示します。

製造者 ID と デバイス ID の 詳細

データのタイプ	バイト番号	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	HEX 値	詳細
製造者 ID	1	JEDEC® 割り当てコード								29h	JEDEC® コード : 0010 1001 (Microchip 社 : 29h)
		0	0	1	0	1	0	0	1		
デバイス ID (パート 1)	2	ファミリコード				記憶容量コード				CCh	記憶容量コード : 4 Mbit
		1	1	0	0	1	1	0	0		
デバイス ID (パート 2)	3	サブコード				製品バリエーション				00h	将来用に予約済み
		0	0	0	0	0	0	0	0		
EDI 文字列長	4	0	0	0	0	0	0	0	1	01h	EDI は 1 バイト
EDI バイト 1 デバイス リビジョン	5	0	0	0	0	0	0	0	0	00h	第 1 世代、 SPI 4 Mbit デバイス

図 11-1: ID レジスタ読み出し (SPID) シーケンス



12.0 パッケージ情報

12.1 パッケージのマーキング情報

8 ピン SOIC



例



8 パッド 5x6



例



8 ボール CSP



例



製品番号	1 行目のマーキングコード		
	SOIC	TDFN-S	CSP
25CSM04	25CSM04	25CSM04	25CSM04

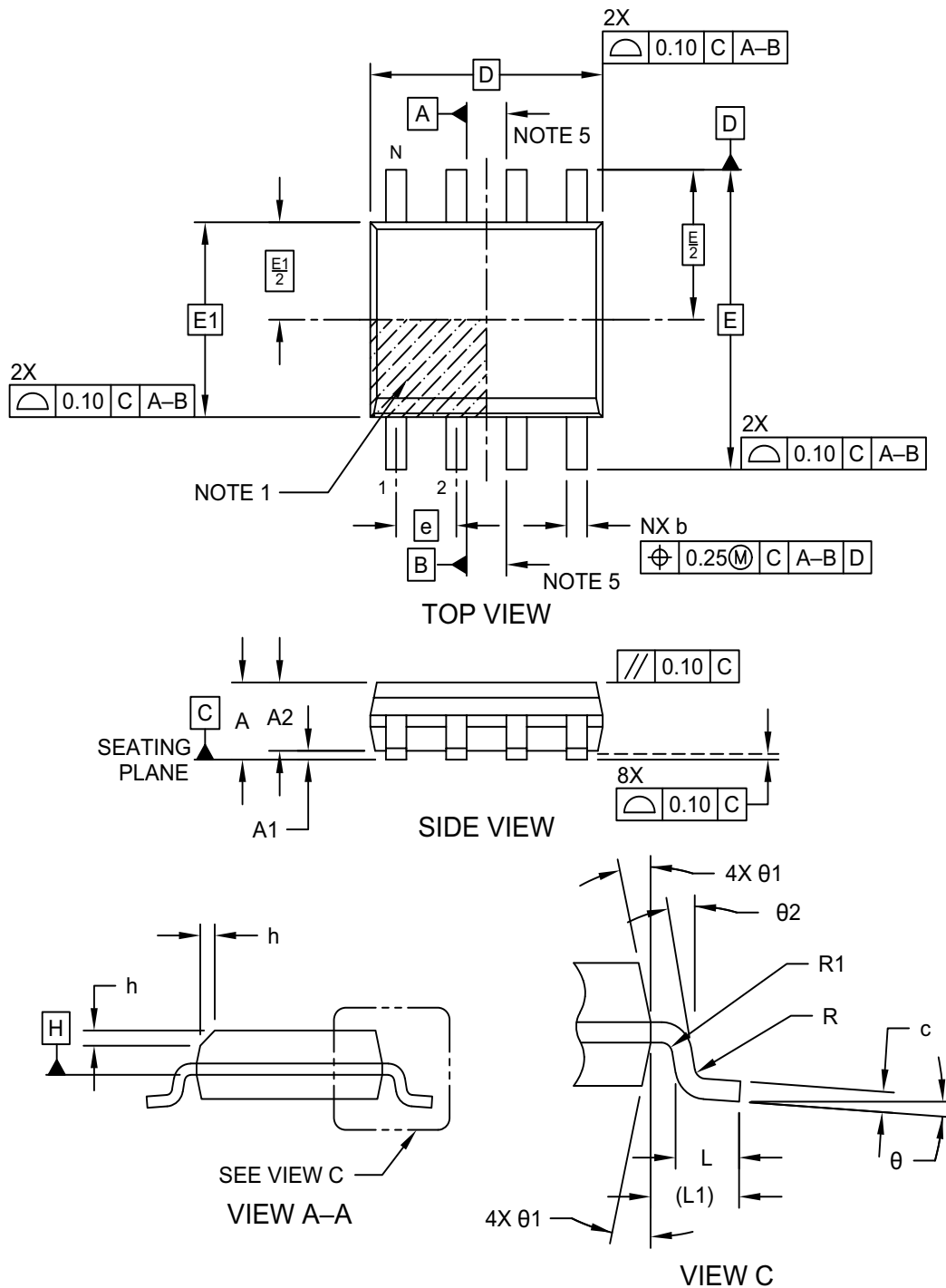
凡例： XX...X お客様固有情報
 Y 年コード (西暦の下 1 桁)
 YY 年コード (西暦の下 2 桁)
 WW 週コード (1 月 1 日の週を「01」とする)
 NNN 英数字のトレーサビリティコード
 * このパッケージは RoHs に準拠しています。JEDEC® マーク
 は外箱に表記しています。

Note: Microchip 社の製品番号が 1 行に収まりきらない場合は複数行を使います。
 その場合、お客様固有情報に使える文字数が制限されます。

25CSM04

8-Lead Plastic Small Outline (SN) - Narrow, 3.90 mm (.150 In.) Body [SOIC]

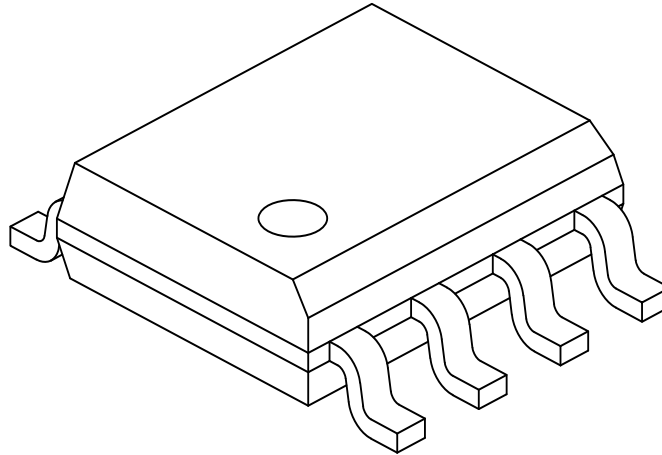
Note: For the most current package drawings, please see the Microchip Packaging Specification located at <http://www.microchip.com/packaging>



Microchip Technology Drawing No. C04-057-SN Rev K Sheet 1 of 2

8-Lead Plastic Small Outline (SN) - Narrow, 3.90 mm (.150 In.) Body [SOIC]

Note: For the most current package drawings, please see the Microchip Packaging Specification located at <http://www.microchip.com/packaging>



Dimension Limits	Units	MILLIMETERS		
		MIN	NOM	MAX
Number of Pins	N	8		
Pitch	e	1.27 BSC		
Overall Height	A	–	–	1.75
Molded Package Thickness	A2	1.25	–	–
Standoff §	A1	0.10	–	0.25
Overall Width	E	6.00 BSC		
Molded Package Width	E1	3.90 BSC		
Overall Length	D	4.90 BSC		
Chamfer (Optional)	h	0.25	–	0.50
Foot Length	L	0.40	–	1.27
Footprint	L1	1.04 REF		
Lead Thickness	c	0.17	–	0.25
Lead Width	b	0.31	–	0.51
Lead Bend Radius	R	0.07	–	–
Lead Bend Radius	R1	0.07	–	–
Foot Angle	θ	0°	–	8°
Mold Draft Angle	θ1	5°	–	15°
Lead Angle	θ2	0°	–	–

Notes:

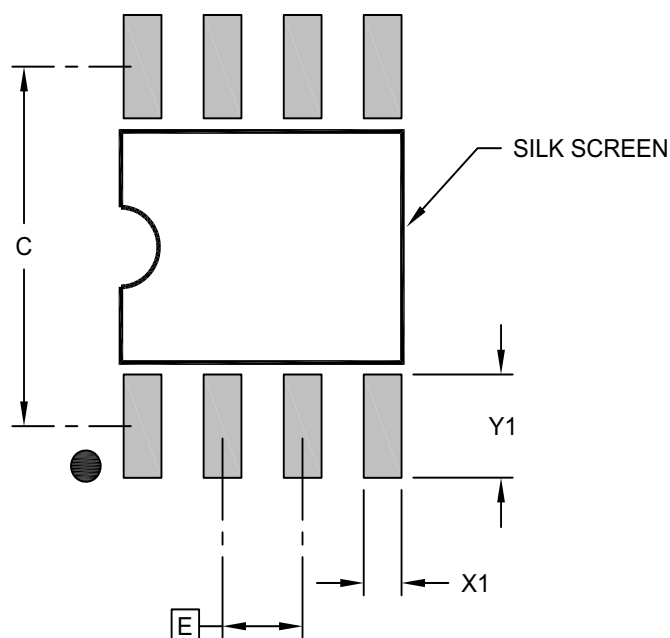
- Pin 1 visual index feature may vary, but must be located within the hatched area.
- § Significant Characteristic
- Dimensions D and E1 do not include mold flash or protrusions. Mold flash or protrusions shall not exceed 0.15mm per side.
- Dimensioning and tolerancing per ASME Y14.5M
 - BSC: Basic Dimension. Theoretically exact value shown without tolerances.
 - REF: Reference Dimension, usually without tolerance, for information purposes only.
- Datums A & B to be determined at Datum H.

Microchip Technology Drawing No. C04-057-SN Rev K Sheet 2 of 2

25CSM04

8-Lead Plastic Small Outline (SN) - Narrow, 3.90 mm (.150 In.) Body [SOIC]

Note: For the most current package drawings, please see the Microchip Packaging Specification located at <http://www.microchip.com/packaging>



RECOMMENDED LAND PATTERN

Dimension Limits	Units	MILLIMETERS		
		MIN	NOM	MAX
Contact Pitch	E	1.27 BSC		
Contact Pad Spacing	C		5.40	
Contact Pad Width (X8)	X1			0.60
Contact Pad Length (X8)	Y1			1.55

Notes:

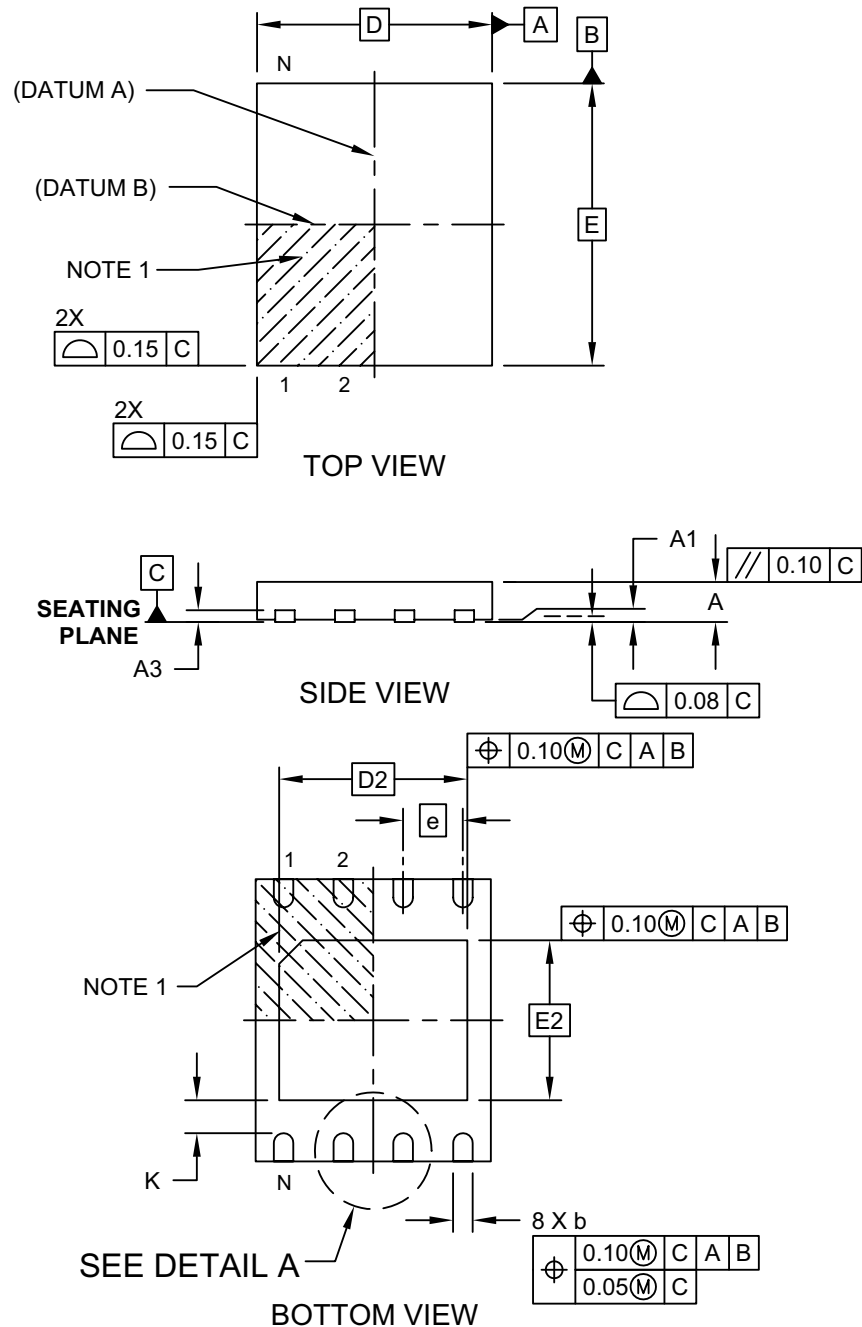
1. Dimensioning and tolerancing per ASME Y14.5M

BSC: Basic Dimension. Theoretically exact value shown without tolerances.

Microchip Technology Drawing C04-2057-SN Rev K

8-Lead Plastic Very, Very Thin Small Outline No-Lead (MF) - 5x6 mm Body [TDFN-S]

Note: For the most current package drawings, please see the Microchip Packaging Specification located at <http://www.microchip.com/packaging>

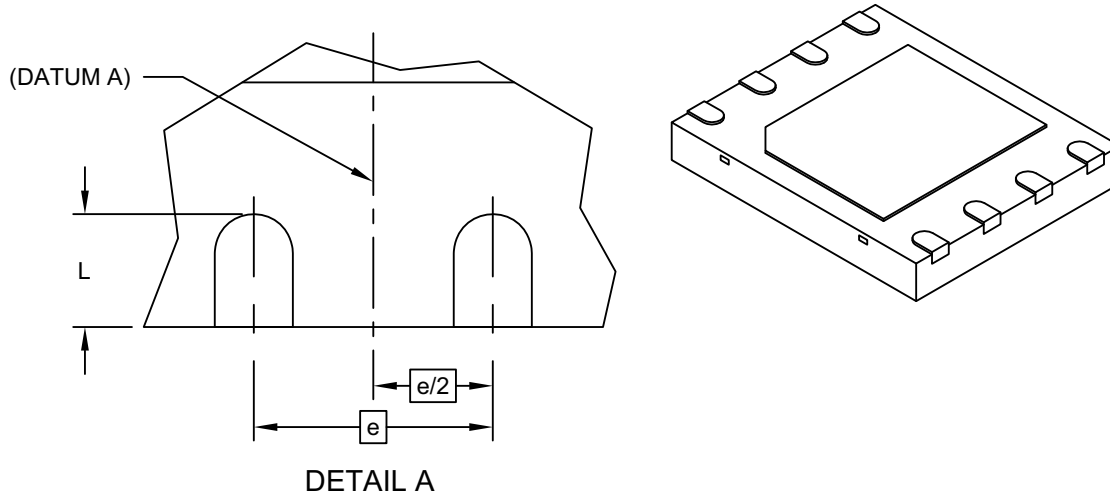


Microchip Technology Drawing C04-210B Sheet 1 of 2

25CSM04

8-Lead Plastic Very, Very Thin Small Outline No-Lead (MF) - 5x6 mm Body [TDFN-S]

Note: For the most current package drawings, please see the Microchip Packaging Specification located at <http://www.microchip.com/packaging>



		Units	MILLIMETERS		
Dimension Limits			MIN	NOM	MAX
Number of Terminals	N		8		
Pitch	e		1.27 BSC		
Overall Height	A		0.70	0.75	0.80
Standoff	A1		0.00	0.02	0.05
Terminal Thickness	A3		0.20 REF		
Overall Width	D		5.00 BSC		
Exposed Pad Width	D2		4.00 BSC		
Overall Length	E		6.00 BSC		
Exposed Pad Length	E2		3.40 BSC		
Terminal Width	b		0.35	0.42	0.48
Terminal Length	L		0.50	0.60	0.70
Terminal-to-Exposed-Pad	K		0.20	-	-

Notes:

1. Pin 1 visual index feature may vary, but must be located within the hatched area.
2. Package is saw singulated
3. Dimensioning and tolerancing per ASME Y14.5M

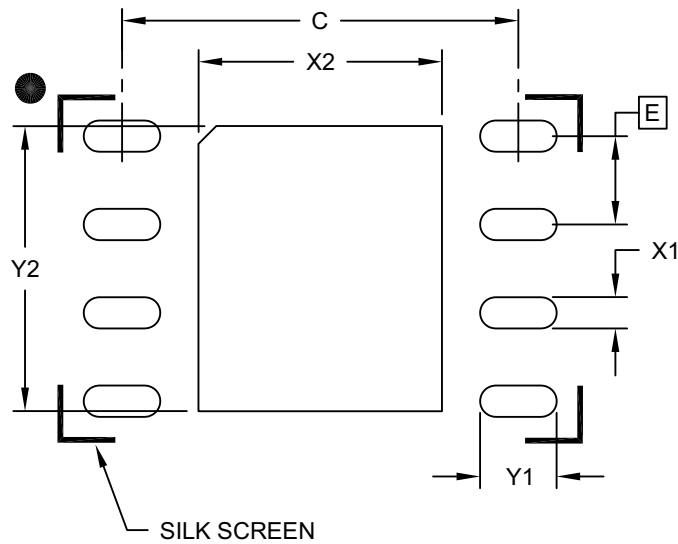
BSC: Basic Dimension. Theoretically exact value shown without tolerances.

REF: Reference Dimension, usually without tolerance, for information purposes only.

Microchip Technology Drawing C04-210B Sheet 2 of 2

8-Lead Plastic Very, Very Thin Small Outline No-Lead (MF) - 5x6 mm Body [TDFN-S]

Note: For the most current package drawings, please see the Microchip Packaging Specification located at <http://www.microchip.com/packaging>



RECOMMENDED LAND PATTERN

Units		MILLIMETERS		
Dimension Limits		MIN	NOM	MAX
Contact Pitch	E	1.27 BSC		
Optional Center Pad Width	X2			3.50
Optional Center Pad Length	Y2			4.10
Contact Pad Spacing	C		5.70	
Contact Pad Width (X8)	X1			0.45
Contact Pad Length (X8)	Y1			1.10

Notes:

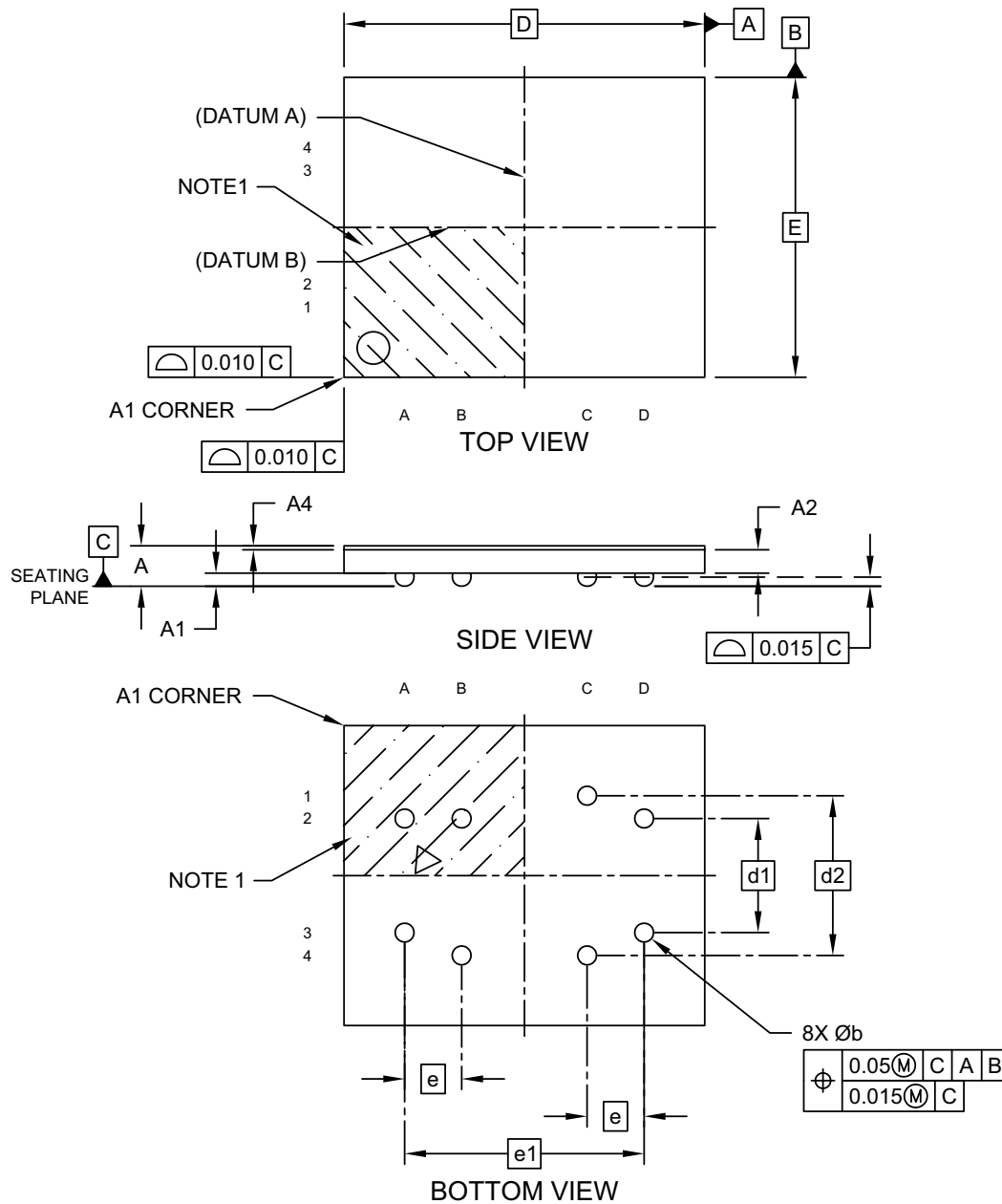
1. Dimensioning and tolerancing per ASME Y14.5M

BSC: Basic Dimension. Theoretically exact value shown without tolerances.

Microchip Technology Drawing C04-2210A

8-Ball Wafer Level Chip Scale Package (CS) - [WLCSP]

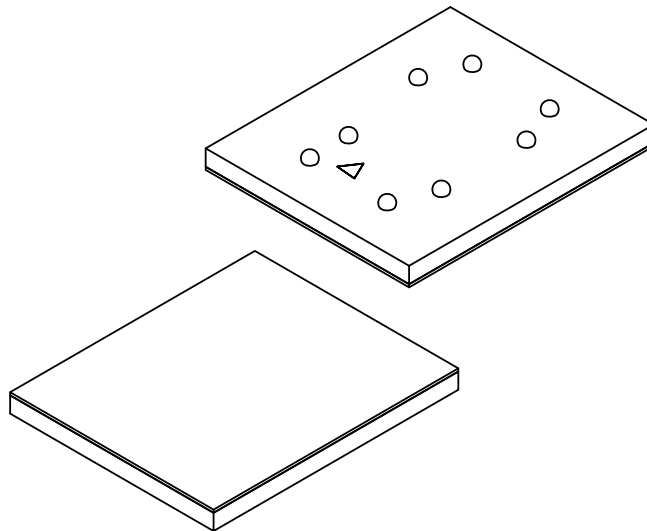
Note: For the most current package drawings, please see the Microchip Packaging Specification located at <http://www.microchip.com/packaging>



Microchip Technology Drawing C04-21241 Rev B Sheet 1 of 2

8-Ball Wafer Level Chip Scale Package (CS) - [WLCSP]

Note: For the most current package drawings, please see the Microchip Packaging Specification located at <http://www.microchip.com/packaging>



Units		MILLIMETERS		
Dimension Limits		MIN	NOM	MAX
Overall Height	A	0.275	0.315	0.355
Bump Height	A1	0.085	0.100	0.115
Body Height	A2	0.175	0.190	0.205
Backside Laminate Thickness	A4	0.015	0.025	0.035
Length	D	See Note 3		
Width	E	See Note 3		
Bump Pitch	d1	1.00 BSC		
Bump Pitch	d2	1.40 BSC		
Bump Pitch	e	0.50 BSC		
Bump Pitch	e1	2.10 BSC		
Bump Diameter	b	0.175	0.185	0.200

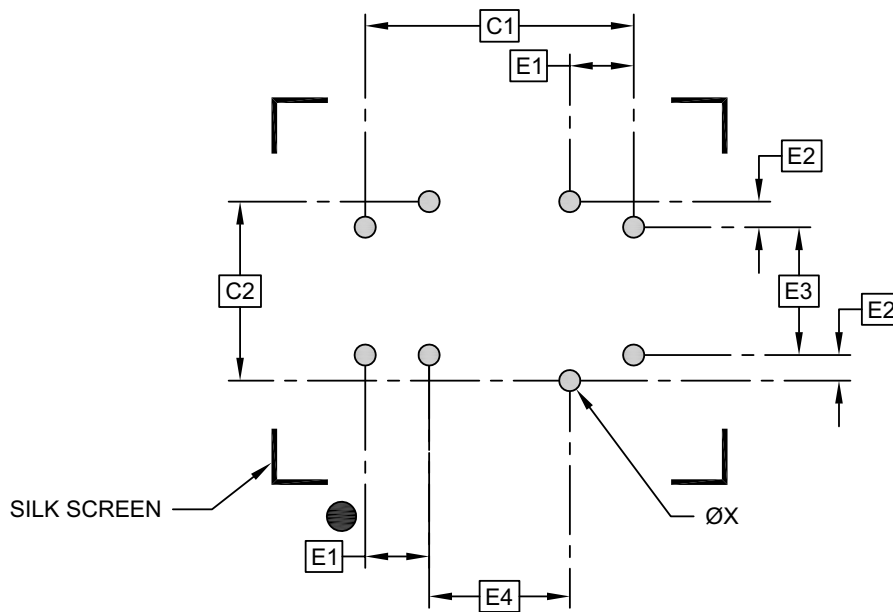
Notes:

- Pin 1 visual index feature may vary, but must be located within the hatched area.
- Dimensioning and tolerancing per ASME Y14.5M
BSC: Basic Dimension. Theoretically exact value shown without tolerances.
REF: Reference Dimension, usually without tolerance, for information purposes only.
- Please contact your local Microchip representative for details.

Microchip Technology Drawing C04-21241 Rev B Sheet 2 of 2

8-Ball Wafer Level Chip Scale Package (CS) - [WLCSP]

Note: For the most current package drawings, please see the Microchip Packaging Specification located at <http://www.microchip.com/packaging>



RECOMMENDED LAND PATTERN

Units		MILLIMETERS		
Dimension Limits		MIN	NOM	MAX
Contact Pitch	E1	0.50 BSC		
Contact Pitch	E2	0.20 BSC		
Contact Pitch	E3	1.00 BSC		
Contact Pitch	E4	1.10 BSC		
Contact Pad Spacing	C1	2.10 BSC		
Contact Pad Spacing	C2	1.40 BSC		
Contact Pad Diameter (X8)	X1			0.17

Notes:

1. Dimensioning and tolerancing per ASME Y14.5M
BSC: Basic Dimension. Theoretically exact value shown without tolerances.

Microchip Technology Drawing C04-23241 Rev B

補遺 A: 改訂履歴

リビジョン D (2022 年 05 月)

TR、TF、THV、THZ 時間を Max. 値に訂正しました (これらは以前に Min. 値として示されていました)。
複数のハイパーリンクを修正し、PRWE の項目を追加しました。
既存の一部の表に Note を追加しました。
「マスタ」を「ホスト」に変更し、「スレーブ」を「クライアント」に変更しました。
SOIC のパッケージ図面を更新しました。

リビジョン C (2020 年 04 月)

「Preliminary」ステータスを削除しました。
不必要な「工場既定値」の注釈を削除しました。
SOIC のパッケージ図面を最新版に更新しました。

リビジョン B (2020 年 01 月)

WLSCP (Wafer Level Chip Scale Package) のパッケージ図面を追加しました。

リビジョン A (2019 年 10 月)

本書の初版です。

MICROCHIP社のウェブサイト

Microchip 社はウェブサイト (www.microchip.com) を通してオンラインサポートを提供しています。当ウェブサイトでは、お客様に役立つ情報やファイルを簡単に見つけ出せます。インターネット ブラウザから以下の内容をご覧になれます。

- **製品サポート** - データシートとエラッタ、アプリケーション ノートとサンプル プログラム、設計リソース、ユーザガイドとハードウェア サポート文書、最新のソフトウェアと過去のソフトウェア
- **技術サポート** - よく寄せられる質問 (FAQ)、技術サポートのご依頼、オンライン ディスカッショングループ、Microchip 社のコンサルタント プログラムおよびメンバーリスト
- **ご注文とお問い合わせ** - 製品セレクトと注文ガイド、最新プレスリリース、セミナー / イベントの一覧、お問い合わせ先 (営業所 / 販売代理店) の一覧

顧客変更通知サービス

Microchip 社の顧客変更通知サービスは、お客様に Microchip 社製品の最新情報をお届けする配信サービスです。ご興味のある製品ファミリまたは開発ツールに関する変更、更新、リビジョン、エラッタ情報をいち早くメールにてお知らせします。

Microchip 社のウェブサイト (www.microchip.com) にアクセスし、[Customer Change Notification] からご登録ください。

カスタマサポート

Microchip 社製品をお使いのお客様は、以下のチャネルからサポートをご利用になれます。

- 正規代理店
- 技術サポート

サポートは正規代理店にお問い合わせください。各地の営業所もご利用になれます。本書の最後のページに各国の営業所の一覧を記載しています。

技術サポートは以下のウェブページからもご利用になれます。

<http://microchip.com/support>

製品識別システム

ご注文や製品の価格、納期につきましては弊社または正規代理店にお問い合わせください。

製品番号

デバイス

テープ&リール
オプション

X

温度
レンジ

XX

パッケージ

例：

a) 25CSM04T-I/SN:
4 Mbit、2.5～5.5 V SPI シリアルEEPROM、
テープ&リール、産業用温度レンジ、
SOICパッケージ

b) 25CSM04-I/SN:
4 Mbit、2.5～5.5 V SPI シリアルEEPROM、
産業用温度レンジ、SOICパッケージ

c) 25CSM04T-I/MF:
4 Mbit、2.5～5.5 V SPI シリアルEEPROM、
テープ&リール、産業用温度レンジ、
TDFN-Sパッケージ

d) 25CSM04-I/MF:
4 Mbit、2.5～5.5 V SPI シリアルEEPROM、
産業用温度レンジ、TDFN-Sパッケージ

e) 25CSM04T-I/CS0668:
4 Mbit、2.5～5.5 V SPI シリアルEEPROM、
テープ&リール、産業用温度レンジ、
CSPパッケージ

Note 1: テープ & リールの識別情報はカタログの
製品番号説明にのみ記載しています。こ
れは製品の注文時に使う識別情報であ
り、デバイスのパッケージには印刷して
いません。テープ & リールが選択できる
パッケージの在庫 / 供給状況は正規代理
店にお問い合わせください。

デバイス：

25CSM04 = 4 Mbit SPI シリアル EEPROM (セキュリティ レジスタ付き)

テープ&リール
オプション⁽¹⁾:

空欄 = 標準パッケージ (チューブまたはトレイ)
T = テープ & リール⁽¹⁾

温度レンジ：

I = -40 ～ +85 °C (産業用温度レンジ)

パッケージ：

SN = 8ピン Plastic Small Outline – Narrow (3.90 mm)
MF = 8パッド Ultra Thin Dual Flat リードなし
(5.0 mm x 6.0 mm x 0.6 mm)
CS0668 = 8ボール Extremely Thin Fine Pitch Wafer Level
Chip Scale Package (テープ&リールのみ)

Microchip 社製品のコード保護機能について以下の点にご注意ください。

- Microchip 社製品は、該当する Microchip 社データシートに記載の仕様を満たしています。
- Microchip 社では、通常の条件ならびに仕様に従って使った場合、Microchip 社製品のセキュリティ レベルは、現在市場に流通している同種製品の中でも最も高度であると考えています。
- Microchip 社はその知的財産権を重視し、積極的に保護しています。Microchip 社製品のコード保護機能の侵害は固く禁じられており、デジタル ミレニアム著作権法に違反します。
- Microchip 社を含む全ての半導体メーカーで、自社のコードのセキュリティを完全に保証できる企業はありません。コード保護機能とは、Microchip 社が製品を「解読不能」として保証するものではありません。コード保護機能は常に進歩しています。Microchip 社では、常に製品のコード保護機能の改善に取り組んでいます。

本書および本書に記載されている情報は、Microchip 社製品を設計、テスト、お客様のアプリケーションと統合する目的を含め、Microchip 社製品に対してのみ使用する事ができます。それ以外の方法でこの情報を使用する事はこれらの条項に違反します。デバイス アプリケーションの情報は、ユーザの便宜のためにのみ提供されるものであり、更新によって変更となる事があります。お客様のアプリケーションが仕様を満たす事を保証する責任は、お客様にあります。その他のサポートについては、弊社または代理店にお問い合わせになるか、<https://www.microchip.com/en-us/support/design-help/client-support-services> をご覧ください。

Microchip 社は本書の情報を「現状のまま」で提供しています。Microchip 社は明示的、暗黙的、書面、口頭、法定のいずれであるかを問わず、本書に記載されている情報に関して、非侵害性、商品性、特定目的への適合性の暗黙的保証、または状態、品質、性能に関する保証をはじめとするいかなる類の表明も保証も行いません。

いかなる場合も Microchip 社は、本情報またはその使用に関連する間接的、特殊的、懲罰的、偶発的または必然的損失、損害、費用、経費のいかににかかわらず、また Microchip 社がそのような損害が生じる可能性について報告を受けていた場合あるいは損害が予測可能であった場合でも、一切の責任を負いません。法律で認められる最大限の範囲を適用しようとも、本情報またはその使用に関連する一切の申し立てに対する Microchip 社の責任限度額は、使用者が当該情報に関連して Microchip 社に直接支払った額を超えません。

Microchip 社の明示的な書面による承認なしに、生命維持装置あるいは生命安全用途に Microchip 社の製品を使用する事は全て購入者のリスクとし、また購入者はこれによって発生したあらゆる損害、クレーム、訴訟、費用に関して、Microchip 社は擁護され、免責され、損害をうけない事に同意するものとします。特に明記しない場合、暗黙的あるいは明示的を問わず、Microchip 社が知的財産権を保有しているライセンスは一切譲渡されません。

商標

Microchip 社の名称とロゴ、Microchip ロゴ、Adaptec、AnyRate、AVR、AVR ロゴ、AVR Freaks、BesTime、BitCloud、CryptoMemory、CryptoRF、dsPIC、flexPWR、HELD0、IGLOO、JukeBlox、KeeLoq、Kleer、LANCheck、LinkMD、maXStylus、maXTouch、MediaLB、megaAVR、Microsemi、Microsemi ロゴ、MOST、MOST ロゴ、MPLAB、OptoLyzer、PIC、picoPower、PICSTART、PIC32 ロゴ、PolarFire、Prochip Designer、QTouch、SAM-BA、SenGenuity、SpyNIC、SST、SST ロゴ、SuperFlash、Symmetricom、SyncServer、Tachyon、TimeSource、tinyAVR、UNI/O、Vectron、XMEGA は米国およびその他の国における Microchip Technology Incorporated の登録商標です。

AgileSwitch、APT、ClockWorks、The Embedded Control Solutions Company、EtherSynch、Flashtec、Hyper Speed Control、HyperLight Load、IntelliMOS、Libero、motorBench、mTouch、Powermite 3、Precision Edge、ProASIC、ProASIC Plus、ProASIC Plus ロゴ、Quiet-Wire、SmartFusion、SyncWorld、Temux、TimeCesium、TimeHub、TimePictra、TimeProvider、TrueTime、WinPath、ZL は米国における Microchip Technology Incorporated の登録商標です。

Adjacent Key Suppression、AKS、Analog-for-the-Digital Age、Any Capacitor、AnyIn、AnyOut、Augmented Switching、BlueSky、BodyCom、CodeGuard、CryptoAuthentication、CryptoAutomotive、CryptoCompanion、CryptoController、dsPICDEM、dsPICDEM.net、Dynamic Average Matching、DAM、ECAN、Espresso T1S、EtherGREEN、GridTime、IdealBridge、In-Circuit Serial Programming、ICSP、INICnet、Intelligent Paralleling、Inter-Chip Connectivity、JitterBlocker、Knob-on-Display、maxCrypto、maxView、memBrain、Mindī、MiWi、MPASM、MPF、MPLAB Certified logo、MPLIB、MPLINK、MultiTRAK、NetDetach、NVM Express、NVMe、Omniscient Code Generation、PICDEM、PICDEM.net、PICKit、PICtail、PowerSmart、PureSilicon、QMatrix、REAL ICE、Ripple Blocker、RTAX、RTG4、SAM-ICE、Serial Quad I/O、simpleMAP、SimpliPHY、SmartBuffer、SmartHLS、SMART-I.S.、storClad、SQL、SuperSwitcher、SuperSwitcher II、Switchtec、SynchroPHY、Total Endurance、TSHARC、USBCheck、VariSense、VectorBlox、VeriPHY、ViewSpan、WiperLock、XpressConnect、ZENA は米国とその他の国における Microchip Technology Incorporated の商標です。

SQTP は米国における Microchip Technology Incorporated のサービス マークです。

Adaptec ロゴ、Frequency on Demand、Silicon Storage Technology、Symmcom、Trusted Time はその他の国における Microchip Technology Incorporated の登録商標です。

GestIC は、米国以外の国における Microchip Technology Inc. の子会社である Microchip Technology Germany II GmbH & Co. KG の登録商標です。

その他の商標は各社に帰属します。

© 2023, Microchip Technology Incorporated and its subsidiaries.

All Rights Reserved.

ISBN: 978-1-6683-2574-2

Microchip 社の品質管理システムについては
www.microchip.com/quality をご覧ください。

各国の営業所とサービス

北米

本社
2355 West Chandler Blvd.
Chandler, AZ 85224-6199
Tel:480-792-7200
Fax:480-792-7277
技術サポート :
<http://www.microchip.com/support>
URL:
www.microchip.com

アトランタ
Duluth, GA
Tel:678-957-9614
Fax:678-957-1455

オースティン, TX
Tel:512-257-3370

ボストン
Westborough, MA
Tel:774-760-0087
Fax:774-760-0088

シカゴ
Itasca, IL
Tel:630-285-0071
Fax:630-285-0075

ダラス
Addison, TX
Tel:972-818-7423
Fax:972-818-2924

デトロイト
Novi, MI
Tel:248-848-4000

ヒューストン, TX
Tel:281-894-5983

インディアナポリス
Noblesville, IN
Tel:317-773-8323
Fax:317-773-5453
Tel:317-536-2380

ロサンゼルス
Mission Viejo, CA
Tel:949-462-9523
Fax:949-462-9608
Tel:951-273-7800

ローリー, NC
Tel:919-844-7510

ニューヨーク, NY
Tel:631-435-6000

サンノゼ, CA
Tel:408-735-9110
Tel:408-436-4270

カナダ - トロント
Tel:905-695-1980
Fax:905-695-2078

アジア / 太平洋

オーストラリア - シドニー
Tel:61-2-9868-6733

中国 - 北京
Tel:86-10-8569-7000

中国 - 成都
Tel:86-28-8665-5511

中国 - 重慶
Tel:86-23-8980-9588

中国 - 東莞
Tel:86-769-8702-9880

中国 - 広州
Tel:86-20-8755-8029

中国 - 杭州
Tel:86-571-8792-8115

中国 - 香港 SAR
Tel:852-2943-5100

中国 - 南京
Tel:86-25-8473-2460

中国 - 青島
Tel:86-532-8502-7355

中国 - 上海
Tel:86-21-3326-8000

中国 - 瀋陽
Tel:86-24-2334-2829

中国 - 深圳
Tel:86-755-8864-2200

中国 - 蘇州
Tel:86-186-6233-1526

中国 - 武漢
Tel:86-27-5980-5300

中国 - 西安
Tel:86-29-8833-7252

中国 - 厦門
Tel:86-592-2388138

中国 - 珠海
Tel:86-756-3210040

アジア / 太平洋

インド - バンガロール
Tel:91-80-3090-4444

インド - ニューデリー
Tel:91-11-4160-8631

インド - プネ
Tel:91-20-4121-0141

日本 - 大阪
Tel:81-6-6152-7160

日本 - 東京
Tel:81-3-6880-3770

韓国 - 大邱
Tel:82-53-744-4301

韓国 - ソウル
Tel:82-2-554-7200

マレーシア - クアラルンプール
Tel:60-3-7651-7906

マレーシア - ペナン
Tel:60-4-227-8870

フィリピン - マニラ
Tel:63-2-634-9065

シンガポール
Tel:65-6334-8870

台湾 - 新竹
Tel:886-3-577-8366

台湾 - 高雄
Tel:886-7-213-7830

台湾 - 台北
Tel:886-2-2508-8600

タイ - バンコク
Tel:66-2-694-1351

ベトナム - ホーチミン
Tel:84-28-5448-2100

ヨーロッパ

オーストリア - ヴェルス
Tel:43-7242-2244-39
Fax:43-7242-2244-393

デンマーク - コペンハーゲン
Tel:45-4485-5910
Fax:45-4485-2829

フィンランド - エスポー
Tel:358-9-4520-820

フランス - パリ
Tel:33-1-69-53-63-20
Fax:33-1-69-30-90-79

ドイツ - ガーヒング
Tel:49-8931-9700

ドイツ - ハーン
Tel:49-2129-3766400

ドイツ - ハイльブロン
Tel:49-7131-72400

ドイツ - カールスルーエ
Tel:49-721-625370

ドイツ - ミュンヘン
Tel:49-89-627-144-0
Fax:49-(89-627)-144/-44

ドイツ - ローゼンハイム
Tel:49-8031-354-560

イスラエル - ラーナナ
Tel:972-9-744-7705

イタリア - ミラノ
Tel:39-0331-742611
Fax:39-0331-466781

イタリア - バドヴァ
Tel:39-049-7625286

オランダ - ドリュウネン
Tel:31-416-690399
Fax:31-416-690340

ノルウェー - トロンハイム
Tel:47-7288-4388

ポーランド - ワルシャワ
Tel:48-22-3325737

ルーマニア - ブカレスト
Tel:40-21-407-87-50

スペイン - マドリッド
Tel:34-91-708-08-90
Fax:34-91-708-08-91

スウェーデン - ヨーテボリ
Tel:46-31-704-60-40

スウェーデン - ストックホルム
Tel:46-8-5090-4654

イギリス - ウォーキンガム
Tel:44-118-921-5800
Fax:44-118-921-5820