

2.5V/3.0V 8 Mbit シリアルクワッド I/O™ (SQI™) フラッシュメモリ

特長

- 単一電源電圧による読み書き動作
 - 2.7 ~ 3.6 V または 2.3 ~ 3.6 V
- シリアル インターフェイス アーキテクチャ
 - SPI と同様のシリアルコマンド構造を使うニブル幅多重化 I/O
 - モード0 とモード3
 - x1/x2/x4 SPI (Serial Peripheral Interface) プロトコル
- 高速なクロック周波数
 - 2.7 ~ 3.6 V: 104 MHz max. (産業用温度レンジ品)
 - 2.3 ~ 3.6 V: 80 MHz max. (産業用 / 拡張温度レンジ品)
- バーストモード
 - 連続リニア バースト
 - 8/16/32/64 バイトのラップ (周回) 式リニアバースト
- 優れた信頼性
 - 書き込み耐性: 100,000 サイクル (min.)
 - 100 年以上のデータ保持期間
- 低消費電力
 - 読み出し時電流: 15 mA (typ. @104 MHz)
 - スタンバイ時電流: 15 μ A (typ.)
- 高速な消去
 - セクタ / ブロック消去: 20 ms (typ.), 25 ms (max.)
 - デバイス消去: 40 ms (typ.), 50 ms (max.)
- ページ書き込み
 - 256 バイト / ページ (x1 または x4 モード)
- 書き込み終了検出
 - ステータス レジスタ内の BUSY ビットをソフトウェアでポーリング
- 柔軟な消去サイズ
 - 統一された 4K バイト セクタ
 - 統一された 32K バイト オーバーレイ ブロック
 - 統一された 64K バイト オーバーレイ ブロック
- 書き込みサスペンド
 - 実行中の書き込み / 消去動作をサスペンドして別のブロック / セクタへアクセス可能
- ソフトウェア リセット (RST) モード
- ソフトウェアによる書き込み保護
 - ステータス レジスタ内のブロック保護ビットによる書き込み保護

- セキュリティ ID
 - OTP (One Time Programmable) 2 K バイトセキュア ID
 - 工場書き込み済み128ビット一意ID
 - ユーザ書き込み可能メモリ領域
- 温度レンジ
 - 産業用温度レンジ品: -40 ~ +85 $^{\circ}$ C
 - 拡張温度レンジ品: -40 ~ +125 $^{\circ}$ C
- 車載 AEC-Q100 認証済み
- パッケージ オプション
 - 8 ピン WDFN (6 mm x 5 mm)
 - 8 ピン SOIC (3.90 mm)
- 全デバイスは RoHS に準拠

製品説明

シリアルクワッド I/O™ (SQI™) ファミリのフラッシュメモリ デバイスは 6 線式 4 ビット I/O インターフェイスを備えており、少ピンパッケージにて低消費電力かつ高性能な動作が可能です。SST26VF080A は、従来のシリアル ペリフェラル インターフェイス (SPI) プロトコルと互換の完全な命令セットもサポートします。SQI フラッシュ デバイスを使うとシステム回路の基板専有面積を縮小でき、最終的にシステムコストを削減できます。

全ての 26 シリーズ SQI ファミリ製品は、弊社独自の高性能 CMOS SuperFlash® テクノロジーを使って製造されています。この製造法は、スプリットゲート セル設計と厚膜酸化物トンネリングインジェクタにより、他の製造法に比べて信頼性と製造容易性に優れています。

SST26VF080A を使う事で、消費電力を低減しながら性能と信頼性を大幅に向上させる事ができます。これらのデバイスは、2.3 ~ 3.6 V の単一電源電圧を使って書き込み / 消去します。総消費電力は印加電圧、電流、アプリケーションの実行時間によって決まります。同一印加電圧で比較した場合、SuperFlash テクノロジーは他のフラッシュメモリ テクノロジーに比べて書き込み時の消費電流が小さく、消去時間も短いため、消去 / 書き込み動作中の総エネルギー消費を低く抑える事ができます。

ピンの割り当ては [図 2-1](#) を参照してください。

大切なお客様へ

Microchip 社は、大切なお客様が弊社製品を最適にお使いになれるよう、文書の作成に最善をつくし、お客様のニーズにより的確に応える事ができるよう文書の継続的な改善に努めています。更新版をリリースする際に内容の見直しと充実を図って参ります。本書に関してご質問またはご意見がございましたら、マーケティング コミュニケーション部宛てにメールでご連絡ください。メールの宛先は docerrors@microchip.com です。皆様からのご意見をお待ちしております。

最新版データシート

本書の最新版を入手するには、弊社ウェブサイトで登録手続きを行ってください。

<http://www.microchip.com>

データシートのバージョンは、各ページの欄外下隅に記載されている文書番号で確認できます。文書番号の末尾のアルファベットがリビジョンを表します (例: DS30000000A_JP のリビジョンは「A」です)。

エラッタ

現行デバイスの動作とデータシート上の動作との間に微細な差違が生じた場合、その相違点と推奨対応策を記載したエラッタシートを発行する場合があります。弊社はデバイスや文書に関する問題を認識した時点でエラッタを発行します。エラッタには、該当するシリコンと文書のリビジョンを明記しています。

お使いのデバイス向けにエラッタシートが発行されているかどうかは以下で確認できます。

- Microchip 社のウェブサイト: <http://www.microchip.com>
- Microchip 社正規代理店 (本書の最後のページに記載)

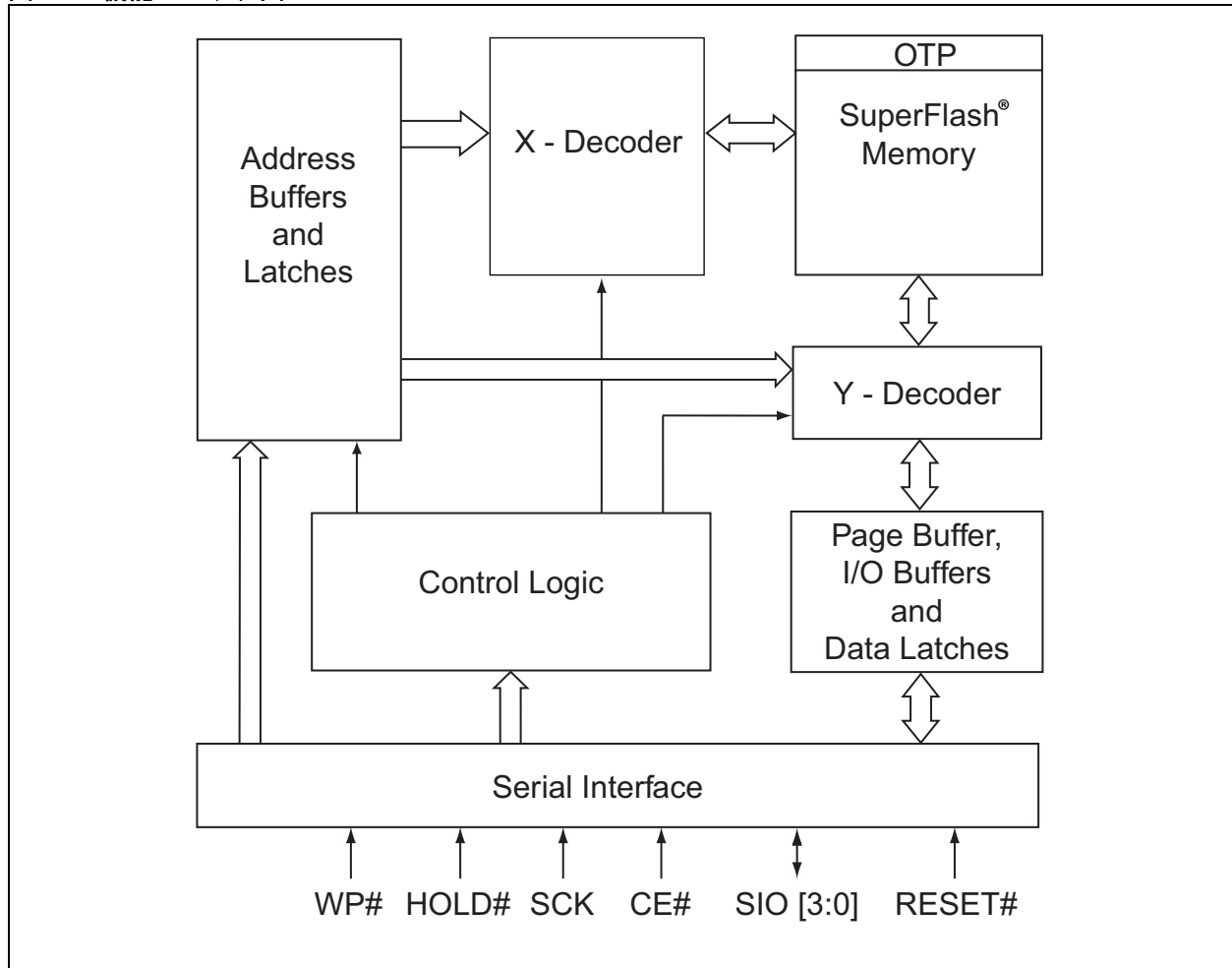
お問い合わせの際は、お使いのデバイス、シリコンとデータシートのリビジョン (文書番号を含む) をお知らせください。

お客様向け通知システム

弊社ウェブサイト (www.microchip.com) でご登録済みのお客様に、弊社の全製品に関する最新情報をお届けします。

1.0 ブロック図

図 1-1: 機能ブロック図



2.0 ピンの説明

図 2-1: ピンの説明

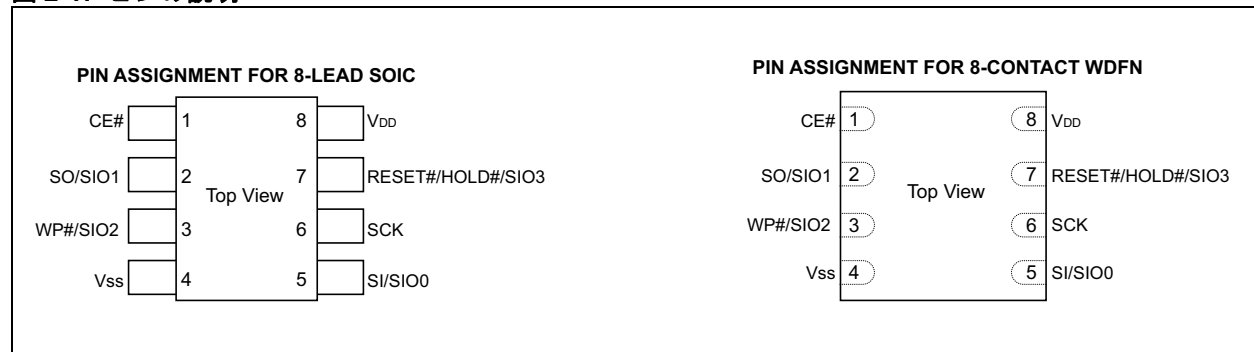


表 2-1: ピンの説明

記号	ピン名	機能
SCK	シリアルクロック	シリアルインターフェースのタイミング信号をデバイスに提供するために使います。命令、アドレス、入力データは SCK の立ち上がりエッジでラッチされ、出力データは SCK の立ち下がりエッジでシフトアウトされます。
SIO[3:0]	シリアルデータ入出力	命令、アドレス、データをデバイスに入力し、データをデバイスから出力するために使います。入力はシリアルクロックの立ち上がりエッジでラッチされます。出力はシリアルクロックの立ち下がりエッジでシフトアウトされます。クワッド I/O イネーブル (EQIO) 命令は、これらのピンをクワッド I/O モードに設定します。
SI	SPI モード向けシリアルデータ入力	命令、アドレス、データをデバイスに入力するために使います。入力はシリアルクロックの立ち上がりエッジでラッチされます。SI はパワーオンリセット後またはハードウェアリセット後の既定値状態です。
SO	SPI モード向けシリアルデータ出力	データをデバイスから出力するために使います。出力はシリアルクロックの立ち下がりエッジでシフトアウトされます。SO はパワーオンリセット後またはハードウェアリセット後の既定値状態です。
CE#	チップイネーブル	CE# の High から Low への遷移によって本デバイスが有効になります。全ての命令シーケンス中 (および書き込み動作時のデータ入力シーケンス中) に CE# は Low を保持する必要があります。
WP#	書き込み保護	WP# ピンとコンフィグレーションレジスタ内の WPEN および IOC ビットの組み合わせにより、ブロック保護レジスタに対する書き込み動作を禁止します。このピンは SPI シングルビットまたはデュアルビット読み出しモード中にのみ機能します。
HOLD#	ホールド	デバイスを選択したまま、SPI フラッシュメモリとのシリアル通信を一時的に停止させます。このピンは、SPI のシングルビットおよびデュアルビット読み出しモード中にのみ機能します。未使用時は High に固定する必要があります。
RESET#	リセット	デバイスの動作と内部ロジックをリセットします。
VDD	電源	電源をデバイスに提供します。
Vss	グランド	

Note: WDFN パッケージ底面露出パッドは内部で接続されていません。この露出パッドを基板上のグランドにはんだ付けする事で実装強度を改善できます。

3.0 メモリ構成

SST26VF080A SQI メモリアレイは 4K バイトの統一された消去可能セクタで構成され、32K バイトまたは 64K バイト オーバーレイ ブロック単位の消去も可能です。

4.0 デバイス動作

SST26VF080A は SPI (Serial Peripheral Interface) バスプロトコルと 4 ビット多重化 SQI バスプロトコルの両方をサポートします。従来の SPI シリアル フラッシュ デバイスに対する下位互換性を提供するため、パワーオン リセット後に本デバイスはマルチ I/O (x1/x2/x4) 読み書き命令をサポートする SPI モードに設定されます。その後、EQIO 命令を使って本デバイスを SQI モードに設定できます。SQI モード中のデータ

フローは命令、アドレス、データシーケンス用に 4 つの多重化された I/O 信号を使うという点を除けば、SPI モードと同じです。

SQI フラッシュメモリは、モード 0 (0,0) およびモード 3 (1,1) のバス動作をサポートします。モード 0 とモード 3 では、バスホストがスタンバイモード中かつデータが転送中ではない時の SCK 信号の状態が異なります (モード 0 では Low、モード 3 では High)。どちらのモードでもシリアルデータ I/O (SIO[3:0]) は、入力時に SCK クロック信号の立ち上がりエッジでサンプリングされ、出力時に SCK クロック信号の立ち下がりエッジ後に駆動されます。従来の SPI プロトコルは、入力と出力で別々の信号 (入力用に SI、出力用に SO) を使います (図 4-1 参照)。SQI プロトコルは、多重化

図 4-1: SPI プロトコル (従来型 25 シリーズ SPI デバイス)

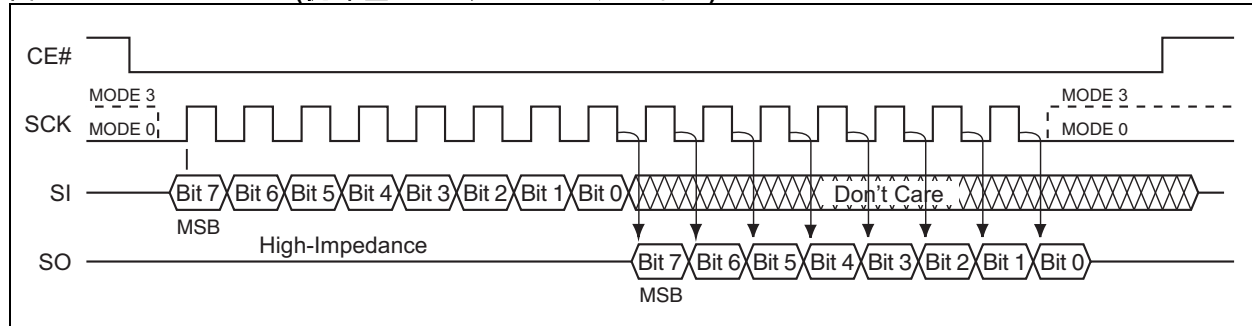
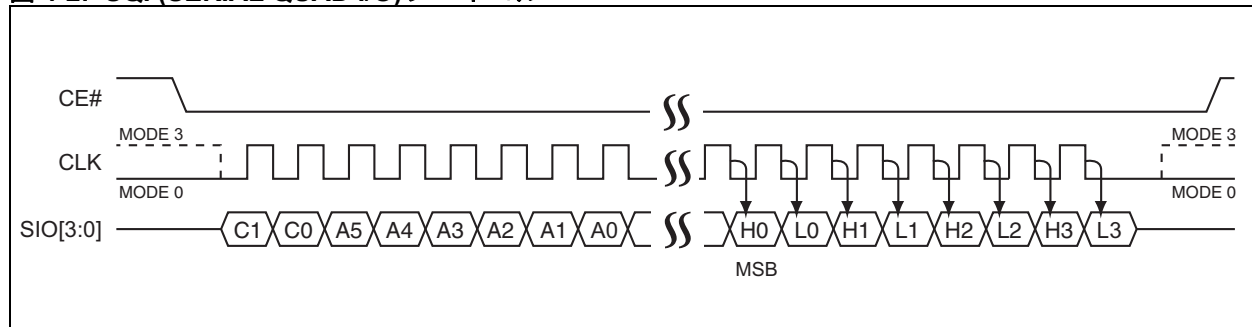


図 4-2: SQI (SERIAL QUAD I/O) プロトコル



4.1 デバイス保護

SST26VF080A は、メモリアレイ内の選択されたブロック (上位 1/16、1/8、1/4、1/1) を保護可能なソフトウェア書き込み保護スキームを提供します。書き込み保護ピン (WP#) は、ステータス レジスタのロックダウン (BPL ビット) を有効 / 無効にします。加えて、保護設定ロックダウン命令は、デバイス動作中にブロック保護ビット (BP0、BP1、BP2) に対する全ての変更を禁止します。電源投入時に不注意な書き込みを防ぐため、本デバイスはパワーオン リセット サイクル後に既定値により書き込み保護されます。

4.1.1 ブロック保護

ステータス レジスタ内のブロック保護ビット (BP0、BP1、BP2、BPL) は、メモリアレイとステータス レジスタに対する書き込み保護を提供します。ブロック保護機能の詳細は表 4-4 を参照してください。

4.1.2 揮発性ロック保護

保護設定ロックダウン (LPDS) 命令を使って揮発性ロック保護を有効にする事で、ブロック保護設定に対する変更を禁止できます。揮発性ロック保護が有効になると、ブロック保護設定の変更はできなくなります。不注意なロックダウンを防ぐため、LPDS 命令の前に WREN 命令を実行する必要があります。揮発性ロック保護をリセットするには、ハードウェア リセットを実行するか、デバイスの電源を再投入する必要があります。揮発性ロック保護のステータスは、コンフィグレーション レジスタから読み出せます。

4.2 ハードウェア書き込み保護

ハードウェア書き込み保護ピン (WP#) とコンフィグレーション レジスタ内の WPEN および IOC ビットの組み合わせにより、ステータス レジスタ内の BPL ビット (bit7) とコンフィグレーション レジスタのロックダウン機能を有効にします。WP# ピン機能は、SPI シングルビットまたはデュアルビット読み出しモード中にコンフィグレーション レジスタ内の IOC ビットが「0」に設定されている場合にのみ有効です。コンフィグレーション レジスタ内の WPEN ビットが「0」である場合、WP# ピン機能は無効です。このため、WP# ピンをグランドに接続した状態でデバイスをシステムに実装しても、ステータス レジスタ内の BP ビットに対する書き込みは可能です。

WPEN ビットの電源投入後の既定値状態は「0」です。従って、電源投入後の WP# ピンの書き込み保護機能は無効です。WPEN は不揮発性ビットであるため、このビットを 1 度「1」に設定した後は、電源投入後に WP# ピンの書き込み保護機能は有効となります。WP# ピンは、ステータス レジスタ内の BPL ビットとコンフィグレーション レジスタの変更を防ぐ事しかできません。従って、内部書き込みが実行中である時に WP# ピンが Low に設定された場合、書き込み命令に対して何の効果もありません。コンフィグレーション レジスタ内で、IOC ビットは WPEN ビットよりも優先されます。IOC ビットが「1」である場合、WPEN ビットの状態に関係なく WP# ピンの機能は無効となります。WP# ピンが Low に駆動されかつ IOC ビットが「0」である場合、ステータス レジスタ書き込み (WRSR) 命令による BP ビットの変更が可能かどうかは、BPL ビットの値によって決まります (表 4-1 参照)。WP# ビットが High である場合、BPL ビットのロックダウン機能は無効です。

表 4-1: 書き込み保護ロックダウン状態

VLP	WP#	IOC	WPEN	BPL	WRSR 命令による ステータス レジスタ内 BP0/BP1/BP2/BP3 ビットの変更	WRSR 命令による コンフィグレーション レジスタの変更
0	L	0	0	X	許可	許可
0	L	0	1	0	許可	禁止
0	L	0	1	1	禁止	禁止
0	L	1	X	X	許可	許可
0	H	X	X	X	許可	許可
1	L	0	0	X	禁止	許可
1	L	0	1	X	禁止	禁止
1	L	1	X	X	禁止	許可
1	H	X	X	X	禁止	許可

Note 1: X: ドントケア

4.3 セキュリティ ID

SST26VF080A は、2K バイトのセキュリティ ID (Sec ID) 機能を備えています。セキュリティ ID 空間は 2 つの部分 (工場書き込み済みの 128 ビット セグメントと、ユーザ プログラマブル セグメント) に分割されています。

工場書き込み済みセグメントには、一意の番号が製造時に書き込まれます。この番号は変更できません。ユーザ プログラマブル セグメントは未プログラム状態であり、ユーザが自由に書き込む事ができます。

ユーザ プログラマブル セグメントには、セキュリティ ID 書き込み (PSID) 命令を使ってセキュリティ ID を書き込む事ができます。各セグメントのアドレスレンジは表 5-5 を参照してください。セキュリティ ID ロックアウト (LSID) 命令を使う事で、セキュリティ ID をロックできます。ロック後は、セキュリティ ID に対する全ての書き込み動作が禁止されます。

セキュリティ ID の工場書き込み済みセグメントに対してユーザが書き込む事はできません。また、どちらのセグメントも消去する事はできません。

4.4 ホールド動作

HOLD# ピンは、クロック シーケンスをリセットする事なく実行中のシリアル シーケンスを一時停止させます。このピンは電源投入のたびにアクティブとなり、SPI シングルビットおよびデュアルビットモード中にのみ機能します。

SST26VF080A は、IOC ビットが「0」かつ HOLD# ピン機能が有効に設定された状態で出荷されます。HOLD# ピンは SPI シングルビットおよびデュアルビット読み出しモード中にのみ機能し、SQI モード中は常に無効となります。

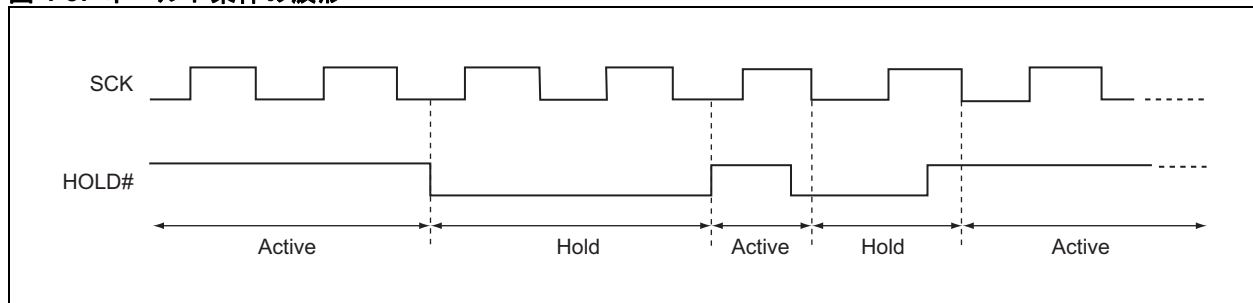
ホールドモードを有効にするには、CE# ピンが Low 状態である必要があります。ホールドモードは、SCK の Low 状態中に HOLD# 信号の立ち下がりがエッジが発生した時点で始まります。ホールドモードは、SCK の Low 状態中に HOLD# 信号の立ち上がりエッジが発生した時点で終了します。

SCK の High 状態中に HOLD# 信号の立ち下がりがエッジが発生した場合、SCK が次に Low 状態に移した時にデバイスはホールドモードに移行します。同様に、SCK の High 状態中に HOLD# 信号の立ち上がりエッジが発生した場合、SCK が次に Low 状態に移した時にデバイスはホールドモードを終了します。図 4-3 を参照してください。

デバイスがホールドモードに移行した後は、SI と SCK は VIL または VIH の状態になりますが、SO はハイインピーダンス状態になります。

ホールド状態中に CE# が High に駆動されると、デバイスの内部ロジックはリセットされます。HOLD# 信号が Low である限り、メモリはホールド状態に維持されます。デバイスとの通信を開始するには、HOLD# を High に駆動し、かつ CE# を Low に維持する必要があります。

図 4-3: ホールド条件の波形



4.5 リセット動作

RST#/HOLD#/SIO3 (多目的) ピンをリセットピン (RST#) として設定した場合、このピンはハードウェア方式のデバイスリセットを提供します。SST26VF080A は、ハードウェアおよびソフトウェアによるリセット動作をサポートします。ハードウェアリセットは、SPI x1 および x2 プロトコルを使う場合にのみ可能です。ソフトウェアリセット命令 RSTEN(66H)/RST(99H) は、全てのプロトコルでサポートされます。ハードウェアリセット機能とソフトウェアリセット機能については、表 4-2 と図 4-4 を参照してください。

Note: 書き込みまたは消去動作中にデバイスリセットが発生すると動作は中止され、書き込み/消去中であったアドレスレンジのデータは破損または喪失します。

リセット動作のタイミングは、直前の動作に応じて異なります。書き込み動作からのリカバリには、他の動作からのリカバリよりも長い遅延時間が必要です。

4.5.1 ハードウェア リセット動作

RESET#/HOLD#/SIO3 ピンを RESET# ピンとして設定するには、コンフィグレーションレジスタの bit 6 を「1」に設定する必要があります。bit 6 の工場設定値は「0」(HOLD# ピン機能が有効) です。これは不揮発性ビットであるため、電源遮断前の値が次の電源投入時の値となります。RESET# ピンが High の時にデバイスは通常動作モードとなります。デバイスをリセットするには、RESET# ピンを TrST 以上の期間で Low に駆動する必要があります。デバイスのリセット中は、SIO1 ピン (SO) はハイインピーダンス状態となります。リセット動作に成功するとプロトコルは SPI モードにリセットされ、ステータスレジスタ内の各ビットは以下の通りに設定されます。

BUSY = 0、WEL = 0、BP0 = 1、BP1 = 1、BP2 = 1、BPL = 0

バースト長は 8 バイトにリセットされます。書き込みまたは消去動作中にリセットが発生すると動作は中止され、書き込み / 消去中であったアドレスレンジのデータは破損または喪失します。

4.5.2 ソフトウェア リセット動作

デバイスをソフトウェアでリセットするには、リセットイネーブル命令 (RSTEN: 66H) の直後にリセット命令 (RST: 99H) を実行する必要があります。

Note: RSTEN 命令の直後に RST 以外の命令が実行された場合、RSTEN 命令の効果は無効になります。

RSTENとRSTが続けて実行されると本デバイスは命令待機状態に戻った後に以下を実行します。

- プロトコルを SPI モードへリセットする
- バースト長を 8 バイトへリセットする
- ステータス レジスタ内で BUSY = 0、WEL = 0 に設定する
- コンフィグレーション レジスタ内の bit 1 (IOC) を既定値状態へクリアする

図 4-4: 読み出し中のソフトウェア リセット

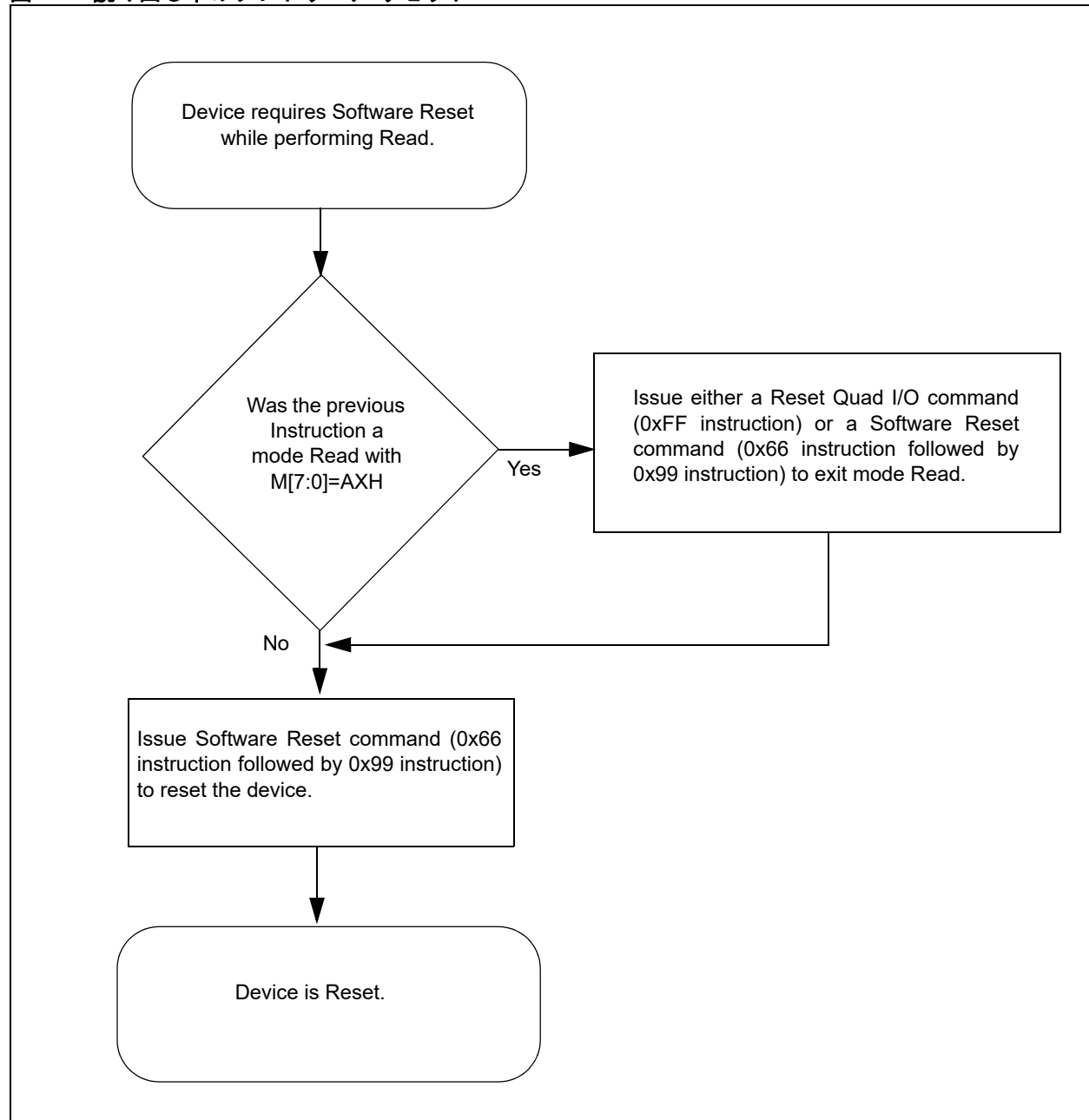


表 4-2: リセット後のレジスタ設定

	電源再投入後	ハードウェア リセット後	ソフトウェア リセット後
ステータス レジスタビット			
BUSY	0	0	0
WEL	0	0	0
BP0	1	1	変更されない
BP1	1	1	変更されない
BP2	1	1	変更されない
BPL	0	0	変更されない
コンフィグレーション レジスタビット			
IOC	0	0	0
VLP	0	0	変更されない
SEC	変更されない	変更されない	変更されない
WSE	0	0	0
WSP	0	0	0
RSTHLD	変更されない	変更されない	変更されない
WPEN	変更されない	変更されない	変更されない

4.6 ステータス レジスタ

ソフトウェア ステータス レジスタはデバイスのステータス (フラッシュメモリアレイが読み書き動作向けに利用かどうか、デバイスが書き込み可能かどうか、メモリ書き込み保護の状態) を示します。内部消去 / 書き込み動作中にステータス レジスタを読み出す事で、実行中の動作が完了したかどうかを判別できます。

表 4-3 に、ソフトウェア ステータス レジスタ内の各ビットの機能を示します。

表 4-3: ソフトウェア ステータス レジスタ

ビット	名称	機能	電源投入時の既定値	読み / 書き
0	BUSY	1 = 内部書き込み動作が実行中 0 = 内部書き込み動作は実行中ではない	0	R
1	WEL	1 = デバイスのメモリへの書き込みは可能 0 = デバイスのメモリへの書き込みは禁止	0	R
2	BP0	ブロック書き込み保護状態を示す (表 4-4 参照)	1	R/W
3	BP1	ブロック書き込み保護状態を示す (表 4-4 参照)	1	R/W
4	BP2	ブロック書き込み保護状態を示す (表 4-4 参照)	1	R/W
5	BP3	ブロック書き込み保護状態を示す (表 4-4 参照)	0	R/W
6	RES	予約済み	0	R
7	BPL	1 = BP3、BP2、BP1、BP0 ビットは読み出し専用 0 = BP3、BP2、BP1、BP0 ビットは読み書き可能	0	R/W

4.6.1 BUSY

BUSY ビットは、内部消去または書き込み動作が現在実行中であるかどうかを示します。このビットが「1」である場合、デバイスは動作中です。このビットが「0」である場合、デバイスは次の動作向けに準備が完了しています。

4.6.2 書き込みイネーブルラッチ (WEL)

WEL ビットは、内部メモリの書き込みイネーブルラッチのステータスを示します。このビットが「1」である場合、デバイスへの書き込みは有効です。このビットが「0」(リセット)である場合、デバイスへの書き込みは無効であり、全てのメモリ書き込み / 消去命令は拒絶されます。WEL ビットは、以下の条件で自動的にリセットされます。

- 電源投入
- 書き込みディセーブル (WRDI) 命令の完了
- ページ書き込み命令の完了
- セクタ消去命令の完了
- ブロック消去命令 (32/64K バイト) の完了
- デバイス消去命令の完了
- ステータス レジスタ書き込み (WRSR) 命令の完了
- ソフトウェアまたはハードウェア リセット
- 保護設定ロックダウン (LDPS) 命令の完了
- セキュリティ ID 書き込み命令の完了
- セキュリティ ID ロックアウト命令の完了
- 書き込みサスペンド命令
- SPI クワッドページ書き込み命令の完了

4.6.3 ブロック保護 (BP3/BP2/BP1/BP0)

ブロック保護 (BP3/BP2/BP1/BP0) ビットは、全てのメモリ書き込み / 消去動作から保護するメモリ領域を表 4-4 の通りに定義します。

WP# ピンが High またはブロック保護ロックダウン (BPL) ビットが「0」である場合、ステータス レジスタ書き込み (WRSR) 命令を使って BP3/BP2/BP1/BP0 ビットに書き込む事ができます。デバイス消去命令は、ブロック保護 (BP3/BP2/BP1/BP0) ビットが「X000」である場合にのみ実行可能です。電源等入後に BP3/BP2/BP1/BP0 ビットは既定値「0111」に設定されます (表 4-4 参照)。

4.6.4 ブロック保護ロックダウン (BPL)

IO ビット = 0かつ WPEN ビット = 1 の状態で WP# ピンを Low (V_{IL}) に駆動すると、ブロック保護ロックダウン (BPL) ビットが有効 (「1」) に設定されます。BPL ビットが「1」に設定されると、BPL および BP3/BP2/BP1/BP0 ビットの変更は禁止されます。WP# ピンが High (V_{IH}) である場合、BPL ビットは効果を有しません (値はドントケア)。電源投入後とハードウェア リセット後に、BPL ビットは「0」にリセットされます。

表 4-4: ソフトウェア ステータス レジスタのブロック保護

保護レベル	ステータス レジスタビット				保護されるメモリアドレス
	BP3	BP2	BP1	BP0	8 Mbit
無効	X	0	0	0	なし
上位 1/16 領域	X	0	0	1	F0000H-FFFFFH
上位 1/8 領域	X	0	1	0	E0000H-FFFFFH
上位 1/4 領域	X	0	1	1	C0000H-FFFFFH
上位 1/2 領域	X	1	0	0	80000H-FFFFFH
全領域	X	1	0	1	00000H-FFFFFH
全領域	X	1	1	0	00000H-FFFFFH
全領域	X	1	1	1	00000H-FFFFFH

Note 1: X = ドントケア (予約済み)、既定値は「0」です。

2: BP3/BP2/BP1/BP0 の電源投入時の既定値は「0111」です。

4.7 コンフィグレーション レジスタ

コンフィグレーション レジスタは、各種の設定情報を格納した読み書き可能レジスタです。表 4-5 に、コンフィグレーション レジスタ内の各ビットの機能を示します。

表 4-5: コンフィグレーション レジスタ

ビット	名称	機能	電源投入時の既定値	読み / 書き (R/W)
0	予約済み			R
1	IOC	I/O 設定 1 = WP# ピンと RST#/HOLD# ピンを無効にする 0 = WP# ピンと RST#/HOLD# ピンを有効にする	0 ⁽¹⁾	R/W
2	VLP	揮発性ロック保護 ステータス 1 = ステータス レジスタ内のブロック保護ビット BP0/BP1/BP2/BP3 はロックされている 0 = ステータス レジスタ内のブロック保護ビット BP0/BP1/BP2/BP3 はロックされていない	0 ⁽¹⁾	R
3	SEC	セキュリティ ID ステータス 1 = セキュリティ ID 空間はロックされている 0 = セキュリティ ID 空間はロックされていない	0 ⁽²⁾	R
4	WSE	消去サスペンド ステータス 1 = 消去はサスペンド中 0 = 消去はサスペンド中ではない	0	R
5	WSP	書き込みサスペンド ステータス 1 = 書き込みはサスペンド中 0 = 書き込みはサスペンド中ではない	0	R
6	RSTHLD	RST#/HOLD# ピン イネーブル 1 = RST# ピンを有効にする 0 = HOLD# ピンを有効にする	0 ⁽³⁾	R/W
7	WPEN	書き込み保護ピン (WP#) イネーブル 1 = WP# ピンを有効にする 0 = WP# ピンを無効にする	0 ⁽³⁾	R/W

Note 1: 電源投入後またはハードウェア リセット後の既定値は「0」です。

2: 電源投入時のセキュリティ ID ステータスの既定値は「0」ですが、セキュリティ ID ロックアウト命令の実行後は、電源投入時にセキュリティ ID ステータスは常に「1」に設定されます。

3: 工場既定値設定です。これは不揮発性ビットです。電源遮断前の設定が、次の電源投入時の既定値となります。

4.7.1 I/O 設定 (IOC)

I/O 設定 (IOC) ビットは、I/O ピンの構成を設定します。IOC ビットをセットするには、コンフィグレーション レジスタの bit 1 に「1」を書き込みます。IOC ビットが「0」である場合、WP# ピンと HOLD#/RST# ピンが有効になります (SPI またはデュアル コンフィグレーション設定)。IOC ビットが「1」である場合、SIO2 ピンと SIO3 ピンが有効になります (SPI クワッド I/O コンフィグレーション設定)。以下の SPI 命令を発行する場合、IOC ビットが「1」に設定済みである必要があります。

SQ0R (6BH), SQI0R (EBH), SPI クワッドページ書き込み (32H), RBSPi (ECH)

IOC ビットが「1」に設定されていない場合、これらの SPI 命令は無効です。SQI モード中は、IOC ビットの設定は適用されません。電源投入、ハードウェア リセット、ソフトウェア リセット後の既定値は「0」です。

4.7.2 揮発性ロック保護 (VLP)

揮発性ロック保護 (VLP) ビットは不揮発性ビットであり、保護設定ロックダウン (LDPS) 命令が実行された時に「1」に設定されます。VLP ビットが「1」に設定されると、ステータス レジスタ内のブロック保護ビット (BP0/BP1/BP2/BP3) がロックされます。VLP ビットを「0」にクリアするには、ハードウェア リセットまたは電源の再投入を実行する必要があります。

4.7.3 セキュリティ ID ステータス (SEC)

セキュリティ ID ステータス (SEC) ビットは、セキュリティ ID 空間が書き込み命令に対してロックされているかどうかを示します。ホストが SID ロックアウト命令を発行すると、SEC ビットは「1」に設定されます。ホストが SID ロックアウト命令を1度発行すると、SEC ビットは「0」にリセットできなくなります。

4.7.4 消去サスペンド ステータス (WSE)

消去サスペンド ステータス (WSE) ビットは、消去動作がサスペンドされているかどうかを示します。消去動作中にホストがサスペンド命令を発行すると、WSE ビットは「1」に設定されます。サスペンドされていた消去動作が再開されると、WSE ビットは「0」にリセットされます。

4.7.5 書き込みサスペンド ステータス (WSP)

書き込みサスペンド ステータス (WSP) ビットは、書き込み動作がサスペンドされているかどうかを示します。書き込み作中にホストがサスペンド命令を発行すると、WSP ビットは「1」に設定されます。サスペンドされていた書き込み動作が再開されると、WSP ビットは「0」にリセットされます。

4.7.6 リセット/ホールド イネーブル (RSTHLD)

リセット/ホールド イネーブル (RSTHLD) ビットは不揮発性ビットであり、RST#/HOLD#/SIO3 ピンの機能 (I/O ピンとして使わない場合に RST# ピンまたは HOLD# ピンのどちらとして使うか) を設定します。RSTHLD ビットへの書き込みではレイテンシが生じます。このため、ステータス レジスタ内の BUSY ビットをポーリングする事で内部の自己タイミング書き込み動作の完了を検出するか、TCONFIG 時間が過ぎるまで待機する必要があります。

4.7.7 書き込み保護 イネーブル (WPEN)

書き込み保護 イネーブル (WPEN) ビットは、WP# ピンを有効にするための不揮発性ビットです。WP# ピンと WPEN ビットの組み合わせにより、書き込み可能ハードウェアの書き込み保護機能が制御されます。WP# ピンを Low にし、かつ WPEN ビットを「1」に設定すると、ハードウェア書き込み保護機能が有効になります。この保護機能を無効にするには、WP# ピンを High にするか、WPEN ビットを「0」に設定します。WPEN ビットへの書き込みではレイテンシが生じます。このため、ステータス レジスタ内の BUSY ビットをポーリングする事で内部の自己タイミング書き込み動作の完了を検出するか、TCONFIG 時間が過ぎるまで待機する必要があります。デバイスのハードウェア書き込み保護機能が有効である場合、ステータス レジスタ内の BPL ビットとコンフィグレーション レジスタに対する書き込み動作のみが無効化されます。WPEN ビット機能の詳細は、[4.2「ハードウェア書き込み保護」](#)と表 4-1 を参照してください。

5.0 命令

SST26VF080A の読み出し、書き込み（消去 / 書き込み）、設定動作向けに使う命令の一覧を表 5-1 に示します。

表 5-1: デバイス動作命令

命令	概要	オペコード ⁽¹⁾	モード		アドレス サイクル数 ^(2,3)	ダミー サイクル数 ⁽³⁾	データ サイクル数 ⁽³⁾	最大周波数 ⁽⁴⁾
			SPI	SQI				
設定								
NOP	動作なし	00H	X	X	0	0	0	104 MHz/80 MHz
RSTEN	リセット イネーブル	66H	X	X	0	0	0	
RST	メモリ リセット	99H	X	X	0	0	0	
EQIO	クワッド I/O イネーブル	38H	X		0	0	0	
RSTQIO	クワッド I/O リセット	FFH	X	X	0	0	0	
RDSR ⁽⁵⁾	ステータス レジスタ 読み出し	05H	X		0	0	1 ~ ∞	
				X	0	1	1 ~ ∞	
WRSR	ステータス レジスタ 書き込み	01H	X	X	0	0	1 ~ 2	
RDCR	コンフィグレーション レジスタ読み出し	35H	X		0	0	1 ~ ∞	
				X	0	1	1 ~ ∞	
読み出し								
READ	メモリ読み出し	03H	X		3	0	1 ~ ∞	40 MHz
High-Speed Read	高速メモリ読み出し	0BH	X		3	1	1 ~ ∞	104 MHz/80 MHz
				X	3	3	1 ~ ∞	
SDOR ⁽⁶⁾	SPI デュアル出力 読み出し	3BH	X		3	1	1 ~ ∞	80 MHz
SDIOR ^(7,8)	SPI デュアル I/O 読み出し	BBH	X		3	1	1 ~ ∞	
SQOR ⁽⁹⁾	SPI クワッド出力 読み出し	6BH	X		3	1	1 ~ ∞	104 MHz/80 MHz
SQIOR ⁽¹⁰⁾	SPI クワッド I/O 読み出し	EBH	X		3	3	1 ~ ∞	
SB	バースト長設定	C0H	X	X	0	0	1	
RBSQI	SQI nB ラップ式 バースト	0CH		X	3	3	n ~ ∞	
RBSPI	SPI nB ラップ式 バースト	ECH	X		3	3	n ~ ∞	
ID								
JEDEC-ID	JEDEC® ID 読み出し	9FH	X		0	0	3 ~ ∞	104 MHz/80 MHz
Quad J-ID	クワッド I/O J-ID 読み出し	AFH		X	0	1	3 ~ ∞	
SFDP	Serial Flash Discoverable Parameters	5AH	X		3	1	1 ~ ∞	

表 5-1: デバイス動作命令 (CONTINUED)

命令	概要	オペコード (1)	モード		アドレス サイクル数 (2,3)	ダミー サイクル数 (3)	データ サイクル数 (3)	最大周波数 (4)
			SPI	SQI				
書き込み								
WREN	書き込みイネーブル	06H	X	X	0	0	0	104 MHz/80 MHz
WRDI	書き込みディセーブル	04H	X	X	0	0	0	
4-Kbyte Sector Erase(11)	メモリアレイの 4K バイトセクタ 消去	20H	X	X	3	0	0	
32-Kbyte Block Erase(12)	メモリアレイの 32K バイトブロック 消去	52H	X	X	3	0	0	
64-Kbyte Block Erase(13)	メモリアレイの 64K バイトブロック 消去	D8H	X	X	3	0	0	
Chip Erase	メモリアレイ全体の 消去	60H または C7H	X	X	0	0	0	
Page Program	ページ (1 ～ 256 データバイト) 書き込み	02H	X	X	3	0	1 ～ 256	
SPI Quad PP(9)	SQI クワッド ページ 書き込み	32H	X		3	0	1 ～ 256	
WRSU	書き込み / 消去 サスペンド	B0H	X	X	0	0	0	
WRRE	書き込み / 消去 レジューム	30H	X	X	0	0	0	
保護								
LDPS	保護設定ロックダウン	8DH	X	X	0	0	0	104 MHz/80 MHz
RSID	セキュリティ ID 読み出し	88H	X		2	1	1 ～ 1024	
				X	2	3	1 ～ 1024	
PSID	ユーザ セキュリティ ID 領域書き込み	A5H	X	X	2	0	1 ～ 256	
LSID	セキュリティ ID 書き込みロックアウト	85H	X	X	0	0	0	

表 5-1: デバイス動作命令 (CONTINUED)

命令	概要	オペコード (1)	モード		アドレス サイクル数 (2,3)	ダミー サイクル数 (3)	データ サイクル数 (3)	最大周波数 (4)
			SPI	SQI				
省電力								
DPD	ディープ パワーダウン モード	B9H	X	X	0	0	0	104 MHz/80 MHz
RDPD	ディープ パワーダウン からの解除と ID 読 み出し	ABH	X	X	3	0	1 ~ ∞	

- Note**
- 1: 命令サイクルは、SQI モードにおいて 2 クロック周期、SPI モードにおいて 8 クロック周期です。
 - 2: 各アドレスの有効最上位ビットより上位のアドレスビットは、V_{IL} または V_{IH} のどちらでも構いません。
 - 3: アドレス、ダミー / モードビット、データの 1 サイクルは SQI モードにおいて 2 クロック周期、SPI モードにおいて 8 クロック周期です。
 - 4: 特に明記しない限り、全ての命令に対する最大周波数は 104 MHz (2.7 ~ 3.6 V) または 80 MHz (2.3 ~ 3.6 V) です。拡張温度レンジ品 (~ 125 °C) の最大周波数は 80 MHz です。
 - 5: CE# の Low から High への遷移によって動作が終了するまで、ステータス レジスタ読み出しは繰り返し実行できます。
 - 6: データサイクルは 4 クロック周期です。
 - 7: SDIOR の最大周波数は 80 MHz (2.3 ~ 3.6 V です)。
 - 8: アドレス、ダミー / モードビット、データサイクルは 4 クロック周期です。
 - 9: データサイクルは 2 クロック周期です。この命令を発行する前に IOC ビットを「1」に設定する必要があります。
 - 10: アドレス、ダミー / モードビット、データサイクルは 2 クロック周期です。この命令を発行する前に IOC ビットを「1」に設定する必要があります。
 - 11: 4K バイトセクタ消去のアドレス指定にはアドレスビット AMS ~ A12 を使います。残りのアドレスビットはドントケアですが V_{IL} または V_{IH} のどちらかに設定する必要があります。
 - 12: 32K バイトブロック消去のアドレス指定にはアドレスビット AMS ~ A15 を使います。残りのアドレスビットはドントケアですが V_{IL} または V_{IH} のどちらかに設定する必要があります。
 - 13: 64K バイトブロック消去のアドレス指定にはアドレスビット AMS ~ A16 を使います。残りのアドレスビットはドントケアですが V_{IL} または V_{IH} のどちらかに設定する必要があります。

5.1 動作なし (NOP)

NOP 命令はリセット イネーブル (RSTEN) 命令のみをキャンセルし、その他の命令には影響を及ぼしません。

5.2 リセット イネーブル (RSTEN) と リセット (RST)

リセット動作は、デバイスを通常動作 (初期状態) に戻すためのシステム (ソフトウェア) リセットとして使われます。リセット動作は 2 つの命令 (リセット イネーブル (RSTEN) 命令とリセット (RST) 命令) で構成されます。

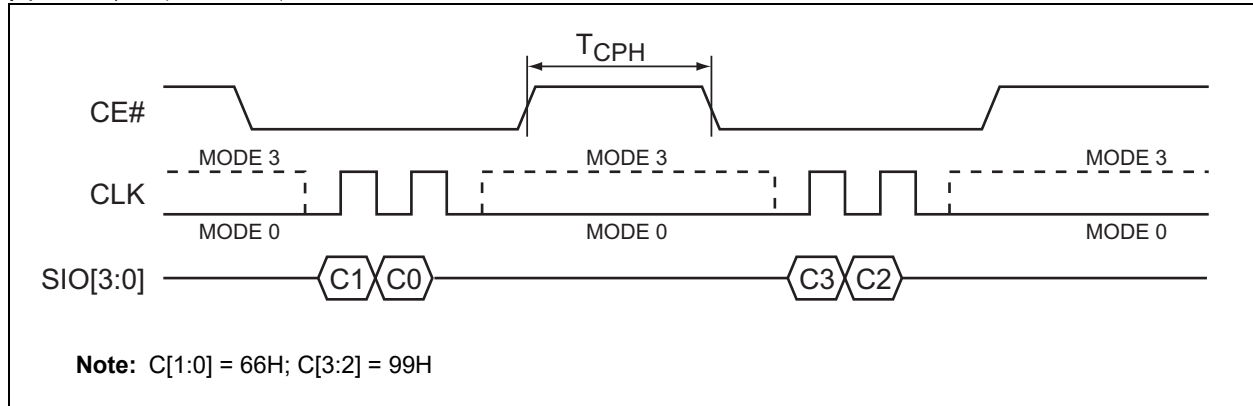
SST26VF080A をリセットするために、ホストは CE# を Low に駆動して RSTEN 命令 (66H) を送信した後に、CE# を High に戻します。次にホストは CE# を再度 Low に駆動して RST 命令 (99H) を送信した後に、CE# を High に戻します (図 5-1 参照)。

リセット動作では、RSTEN 命令の直後に RST 命令を実行する必要があります。RSTEN 命令の直後に RST 以外の命令が実行された場合、RSTEN 命令の効果は無効になります。

RSTEN と RST が続けて実行されると、デバイスは通常動作 (初期状態) に戻った後に以下を実行します。

- プロトコルを SPI モードへリセットする
 - バースト長を 8 バイトへリセットする
 - ステータス レジスタ内の BUSY ビットと WEL ビットを既定値状態へクリアする
 - コンフィグレーション レジスタ内の IOC ビット、WSE ビット、WSP ビットを既定値状態へクリアする
- 書き込みまたは消去動作が実行中である時にデバイスリセットが発生するとそれらの動作は中止され、動作のターゲットであったアドレスレンジのデータは破損または喪失する可能性があります。リセット動作のタイミングは、直前の動作に応じて異なります。書き込み動作からのリカバリには、他の動作からのリカバリよりも長い遅延時間が必要です。リセット タイミングパラメータは、表 8-2 に記載しています。

図 5-1: リセット シーケンス

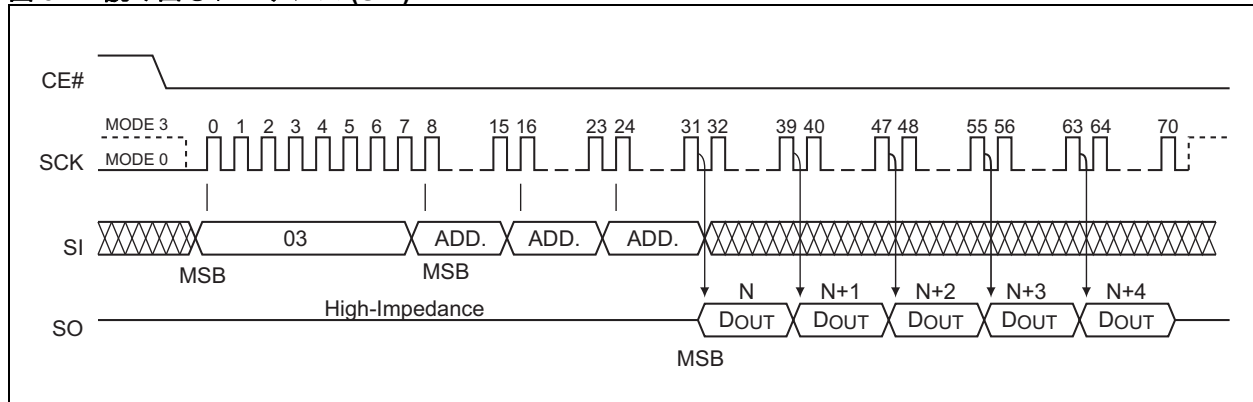


5.3 読み出し (Read) (40 MHz)

READ 命令 (03H) は、クロック周波数が 40 MHz 以下の SPI バスプロトコルでのみサポートされます。この命令は、SQI バスプロトコルではサポートされません。本デバイスは指定されたアドレスからデータの出力を開始し、CE# の Low から High への遷移によって動作が終了するまで、後続のアドレスから連続的にデータを出力します。内部アドレスポインタは、最高メモリアドレスに達するまで自動的にインクリメントします。最高アドレスに達すると、アドレスポインタは自動的にアドレス空間の先頭へ周回します。

8 ビット命令 (03H) の実行により READ 命令が開始され、その後にアドレスビット A[23:0] が続きます。読み出しサイクル中に CE# は Low (アクティブ) 状態を保持する必要があります (図 5-2 参照)。

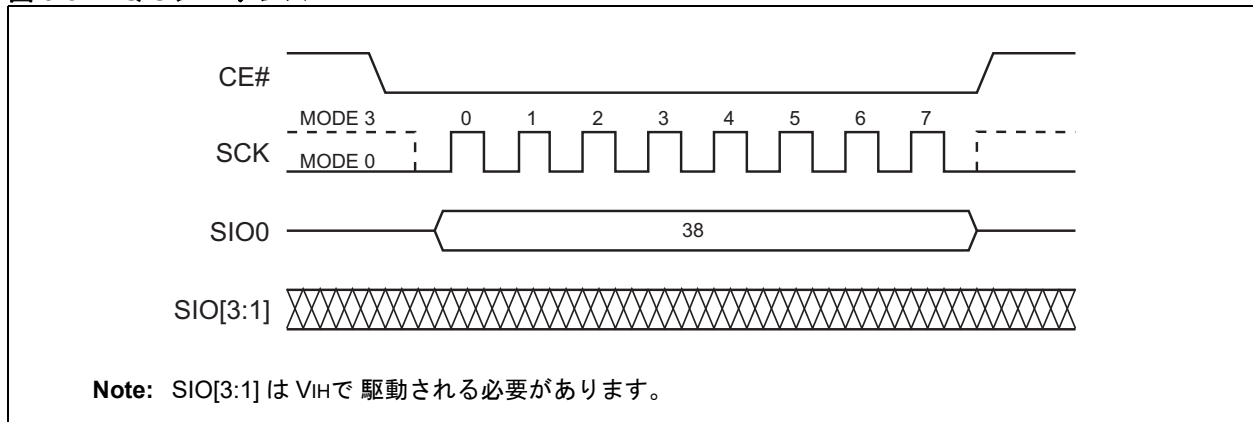
図 5-2: 読み出しシーケンス (SPI)



5.4 クワッド I/O イネーブル (EQIO)

クワッド I/O イネーブル (EQIO) 命令 (38H) は、フラッシュ デバイスを SQI バス動作向けに有効にします。この命令が実行された後は、電源が再投入されるかクワッド I/O リセット (RSTQIO) 命令が実行されるまで、本デバイスは後続の全ての命令が 4 ビット多重化入出力 (SQI モード) である事を期待します。図 5-3 を参照してください。

図 5-3: EQIO シーケンス



5.5 クワッド I/O リセット (RSTQIO)

クワッド I/O リセット (RSTQIO) 命令 (FFH) は、デバイスを 1 ビット SPI プロトコル動作へ戻すか、読み出しシーケンス中に Set Mode コンフィグレーション (命令継続) を終了させます。この命令により、電源を再投入する事なくフラッシュデバイスを既定値 I/O 状態 (SPI) へ戻し、1 ビットまたは 4 ビットモードで動作を実行できます。本デバイスが SQI 高速読み出しモードで動作している時に Set Mode コンフィグレーション中である場合、RSTQIO 命令を実行してもデバイスは次の命令を受け付け可能になるだけであり、SPI モードには戻りません。デバイスを SPI モードへ戻すには、RSTQIO 命令をもう 1 度実行する必要があります。

クワッド I/O リセット動作を実行するために、ホストは CE# を Low に駆動して STQIO 命令サイクル (FFH) を送信した後、CE# を High に駆動します。この命令は、SPI (8 クロック) または SQI (2 クロック) 命令サイクルで実行できます。SPI モードの場合、この命令の SIO[3:1] はドントケアですが、 V_{IH} または V_{IL} へ駆動する必要があります。図 5-4 と図 5-5 を参照してください。

図 5-4: クワッド I/O リセット シーケンス (SPI)

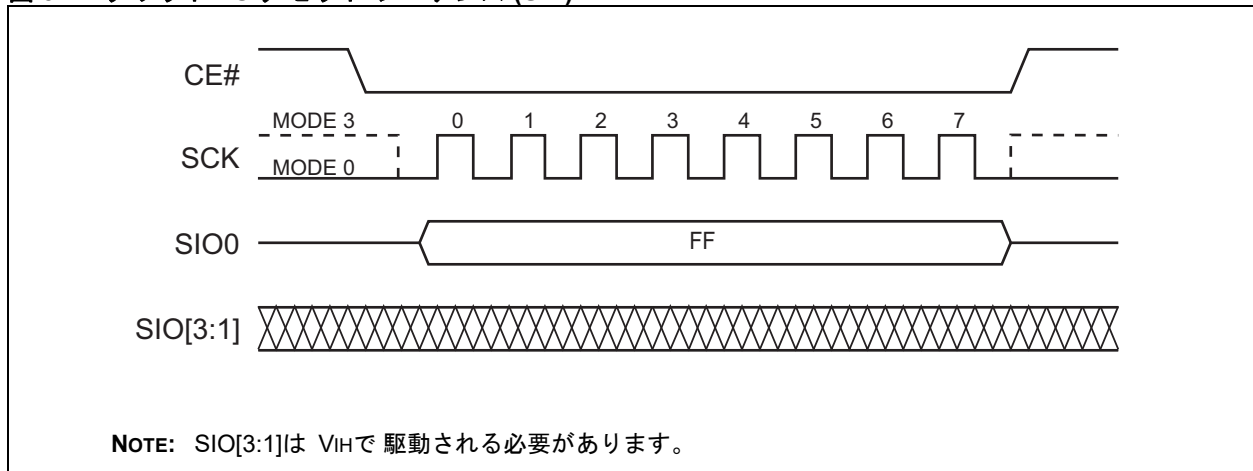
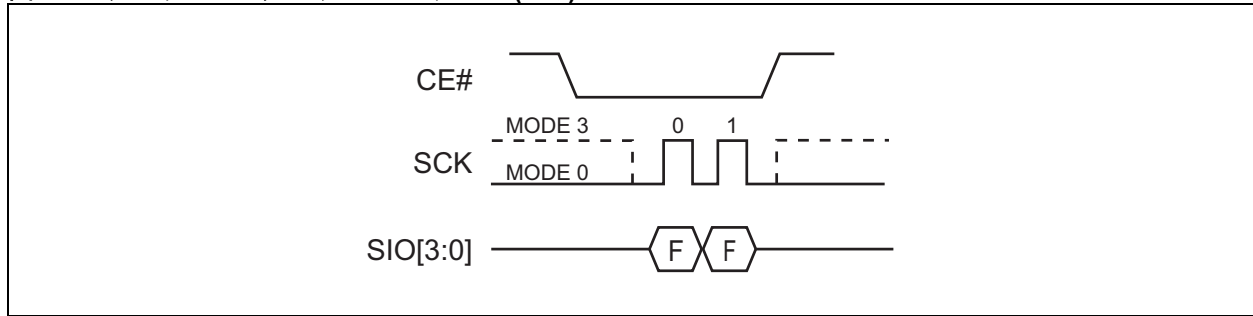


図 5-5: クワッド I/O リセット シーケンス (SQI)

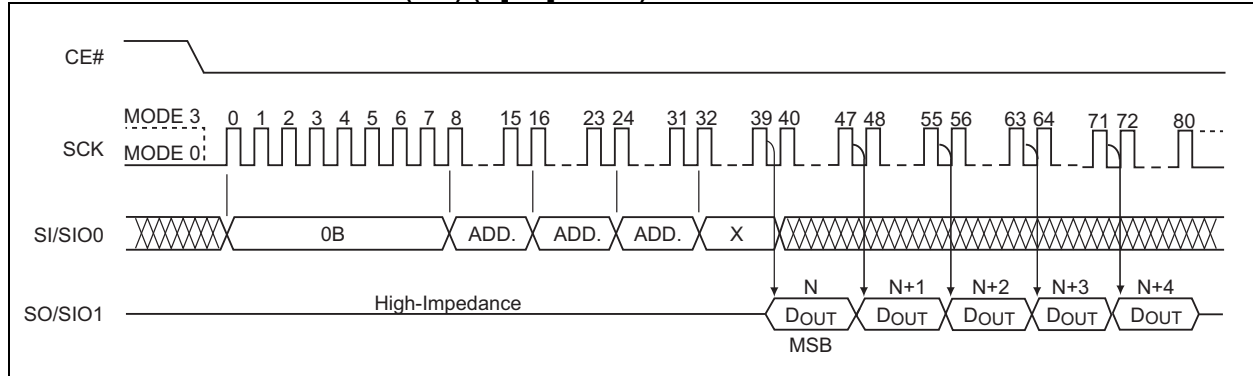


5.6 高速読み出し (High-Speed Read)

高速読み出し命令 (0BH) は、SPI バス プロトコルと SQI プロトコルの両方で使えます。この命令は、最大周波数 104 MHz (2.7 ~ 3.6 V) または 80 MHz (2.3 ~ 3.6 V) までサポートします。電源投入時にデバイスは SPI を使用するよう設定されます。

8 ビット命令 (0BH) の実行によって高速読み出しが開始され、その後にアドレスビット A[23:0] とダミーバイトが続きます。高速読み出しサイクル中に CE# は Low 状態を保持する必要があります。SPI バスプロトコル向けの高速読み出しシーケンスを図 5-6 に示します。

図 5-6: 高速読み出しシーケンス (SPI) (C[1:0] = 0BH)



SQI プロトコルでは、ホストは CE# を Low に駆動して高速読み出し命令サイクル (0BH) に続けて 3 つのアドレスサイクル、1 つの Set Mode コンフィグレーションサイクル、2 つのダミーサイクルを送信します。各サイクルの長さは 2 ニブル (クロック) であり、最上位ニブルが最初に送信されます。

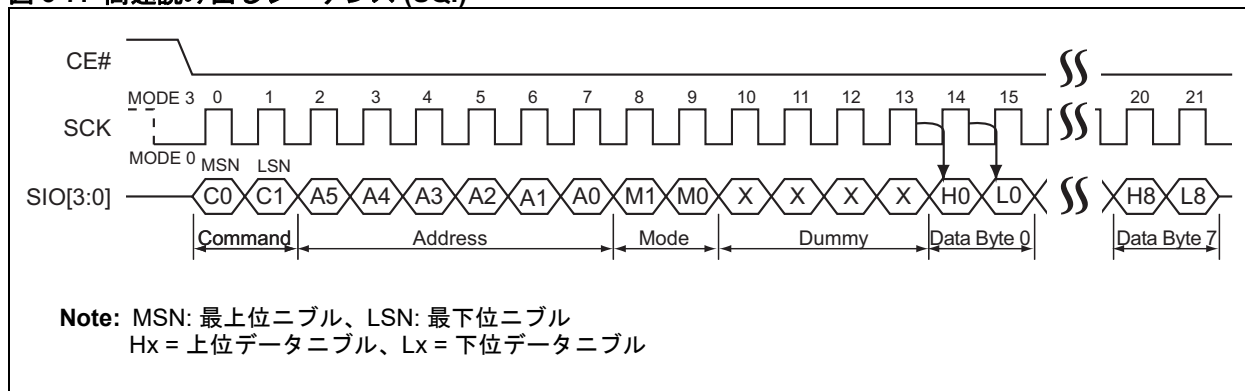
ダミーサイクルの後に、本デバイスは指定されたアドレス位置から SCK 信号の立ち上がりエッジでデータの出力を開始します。CE# の Low から High への遷移によって動作が終了するまで、デバイスは全てのアドレスからデータを連続的に出力します。内部アドレスポインタは、最高メモリアドレスに達するまでインクリメントした後にアドレス 000000H に戻ります。読み出しロックされたブロックはデータ 00H を出力します。

Set Mode コンフィグレーションビット M[7:0] は、次の命令サイクルも SQI 高速読み出し命令であるかどうかを示します。

M[7:0] = AXH である場合、デバイスは次の命令も高速読み出し命令 (0BH) であると期待し、命令を要求しません。ホストは CE# を Low に駆動してからアドレス A[23:0] 向けの 4 ビット入力、Set Mode コンフィグレーションビット M[7:0]、2 つのダミーサイクルを送信する事により、次の高速読み出しサイクルを開始できます。2 つのダミーサイクルの後に、本デバイスは指定されたアドレスから始まるデータを出します。アクセス先のアドレス位置に制約はありません。

M[7:0] が AXH 以外の値である場合、デバイスは次の CE# の Low への遷移から始まる最初のバイトを新たな命令として解釈します。Set Mode コンフィグレーションをリセットまたは終了するには、クワッド I/O リセット命令 (FFH) を実行します。Set Mode コンフィグレーション中である場合、RSTQIO 命令によって本デバイスは新しい命令を受け付け可能な状態になるだけであり、SPI モードには戻りません。デバイスを SPI モードへ戻すには、RSTQIO 命令をもう 1 度実行する必要があります。M[7:0] = AXH である場合の SPI クワッド I/O 読み出しシーケンスを図 5-10 に示します。

図 5-7: 高速読み出しシーケンス (SQI)

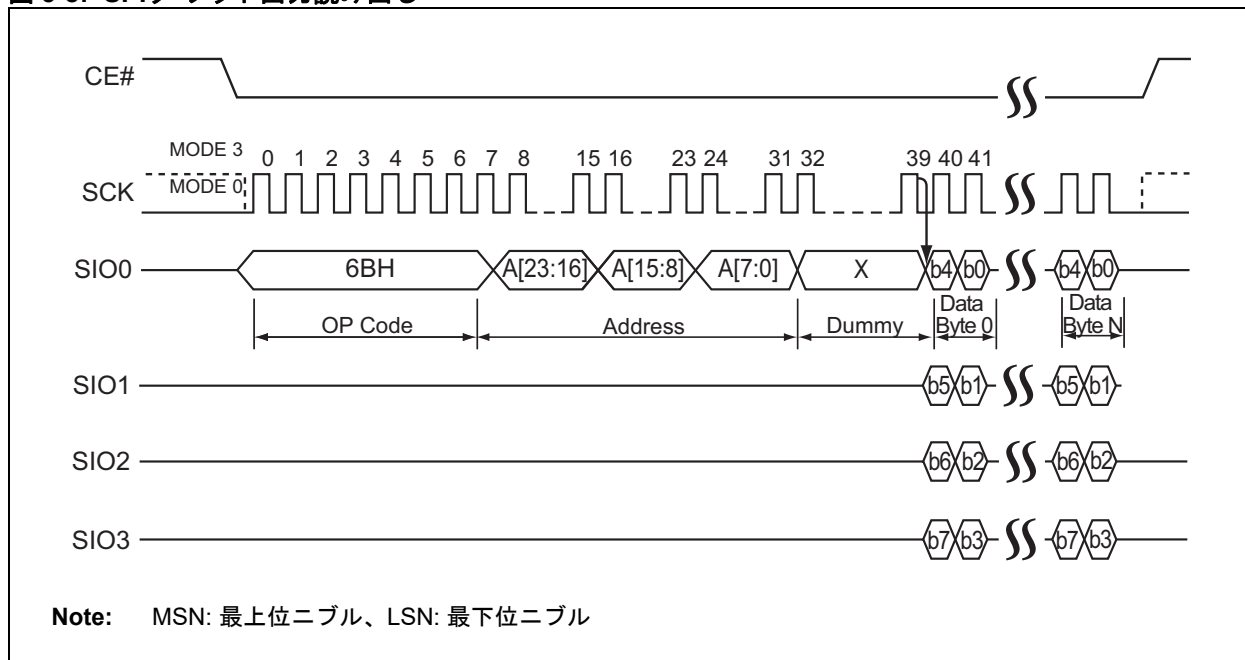


5.7 SPI クワッド出力読み出し

SPI クワッド出力読み出し命令は、最大周波数 104 MHz (2.7 ~ 3.6 V) または 80 MHz (2.3 ~ 3.6 V) まですサポートします。SST26VF080A では、この命令を実行する前にコンフィグレーションレジスタ内のIOCビットを「1」に設定しておく必要があります。8ビット命令 (6BH) の実行によってSPIクワッド出力読み出しが開始され、その後にアドレスビット A[23:0] とダミーバイトが続きます。SPIクワッドモード読み出しの実行中にCE#はLow状態を保持する必要があります。図 5-8 に、SPIクワッド出力読み出しシーケンスを示します。

ダミーバイトの後に、本デバイスは指定されたアドレスから始まるデータをSIO[3:0]で出力します。CE#のLowからHighへの遷移によって読み出しが終了するまで、デバイスは全てのアドレスからデータを連続的に出力します。内部アドレスポインタは、最高メモリアドレスに達するまでインクリメントした後、アドレス空間の先頭位置に戻ります。

図 5-8: SPIクワッド出力読み出し



5.8 SPI クワッド I/O 読み出し

SPI クワッド I/O 読み出し命令 (SQIOR) は、最大周波数 104 MHz (2.7 ~ 3.6 V) または 80 MHz (2.3 ~ 3.6 V) までサポートします。SST26VF080A では、この命令を実行する前にコンフィグレーション レジスタ内の IOC ビットを「1」に設定しておく必要があります。8 ビット命令 (EBH) を実行する事により SQIOR が開始されます。デバイスはアドレスビット A[23:0] 向けの 4 ビット I/O モードに切り換わり、その後 Set Mode コンフィグレーション ビット M[7:0] と 2 つのダミーバイトが続きます。SPI クワッド I/O 読み出しの実行中に CE# はアクティブ (Low) 状態を保持する必要があります。図 5-9 に、SPI クワッド I/O 読み出しシーケンスを示します。

ダミーバイトの後に、デバイスは指定されたアドレスから始まるデータを出力します。CE# の Low から High への遷移によって動作が終了するまで、本デバイスは全てのアドレスからデータを連続的に出力します。内部アドレスポインタは、最高メモリアドレスに達するまでインクリメントした後にアドレス空間の先頭位置に戻ります。

Set Mode コンフィグレーション ビット M[7:0] は、次の命令サイクルも SQI クワッド I/O 読み出し命令であるかどうかを示します。M[7:0] = AXH である場合、デバイスは次の命令も SPI クワッド I/O 読み出し命令 (EBH) であると期待し、命令を要求しません。ホストは CE# を Low に駆動してアドレス A[23:0] 向けの 4 ビット幅入力、Set Mode コンフィグレーション ビット M[7:0]、2 つのダミーサイクルを送信する事により、次の SQIOR サイクルを設定できます。2 つのダミーサイクルの後に、本デバイスは指定されたアドレスから始まるデータを出力します。アクセス先のアドレス位置に制約はありません。

M[7:0] が AXH 以外の値である場合、デバイスは次の CE# の Low への遷移から始まる最初のバイトを新たな命令として解釈します。Set Mode コンフィグレーションをリセットまたは終了するには、クワッド I/O リセット命令 (FFH) を実行します。M[7:0] = AXH である場合の SPI クワッド I/O 読み出しシーケンスを図 5-10 に示します。

図 5-9: SPI クワッド I/O 読み出しシーケンス

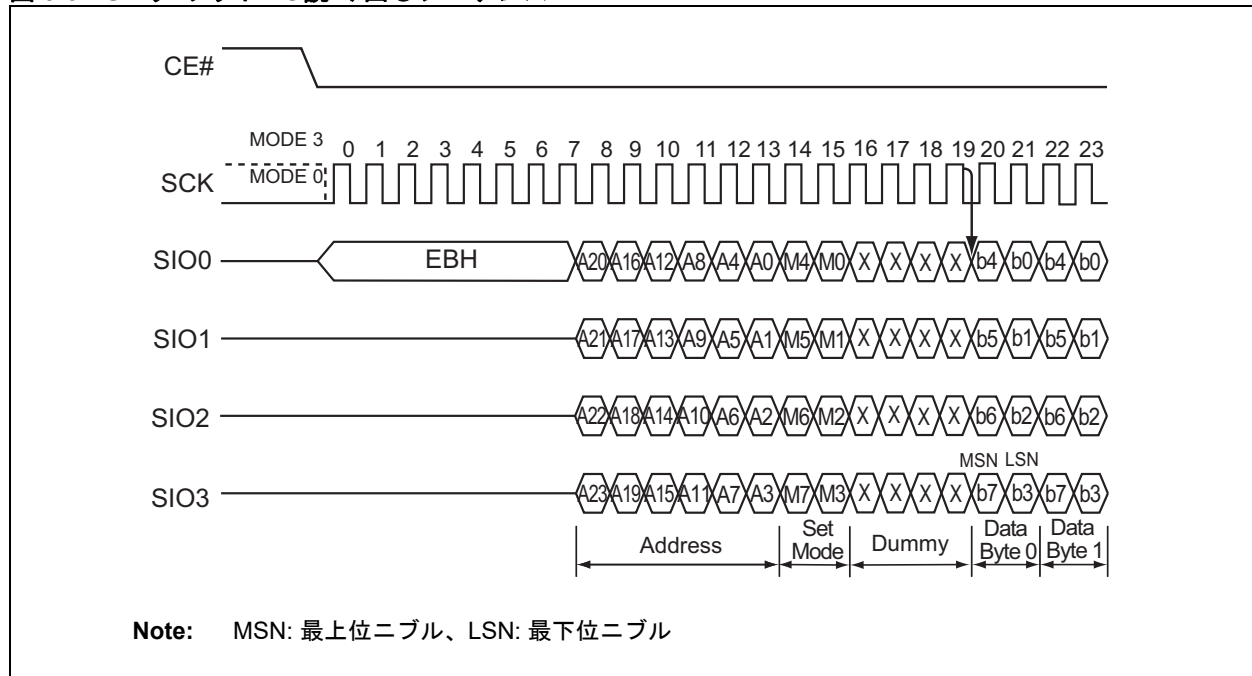
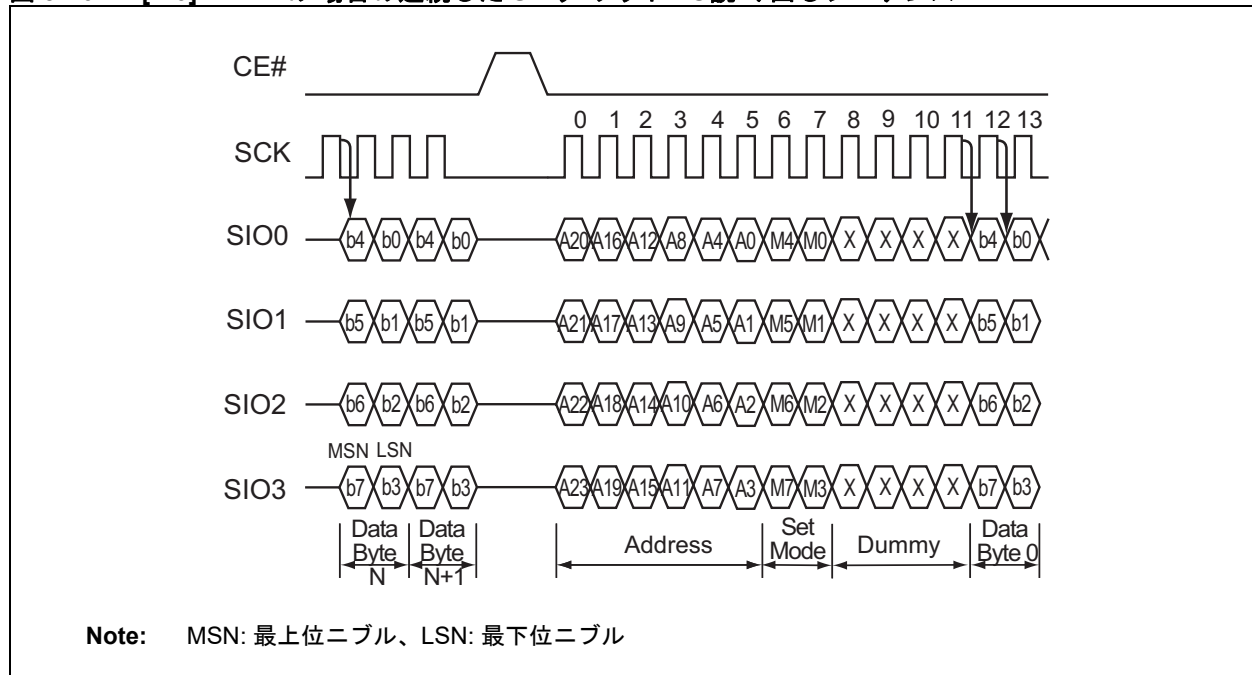


図 5-10: M[7:0] = AXH の場合の連続した SPI クワッド I/O 読み出しシーケンス



5.9 バースト長設定

バースト長設定 (SB) 命令は、バースト読み出し命令の実行中にデバイスでアドレスの周回が発生するまでに出力されるバイト数を指定します。この命令は SPI および SQI プロトコルの両方で使えます。バースト長を設定するために、ホストは CE# を Low に駆動してバースト長設定命令サイクル (C0H) と 1 つのデータサイクルを送信した後に CE# を High に戻します。バースト長は、電源投入後またはリセット後に 8 バイト (00H) 長

にリセットされます。表 5-2 に各バースト長の設定値を示します。図 5-11 と図 5-12 にバースト長設定シーケンスを示します。

表 5-2: バースト長の設定値

バースト長	上位ニブル (H0)	下位ニブル (L0)
8 バイト	0h	0h
16 バイト	0h	1h
32 バイト	0h	2h
64 バイト	0h	3h

図 5-11: バースト長設定シーケンス (SQI)

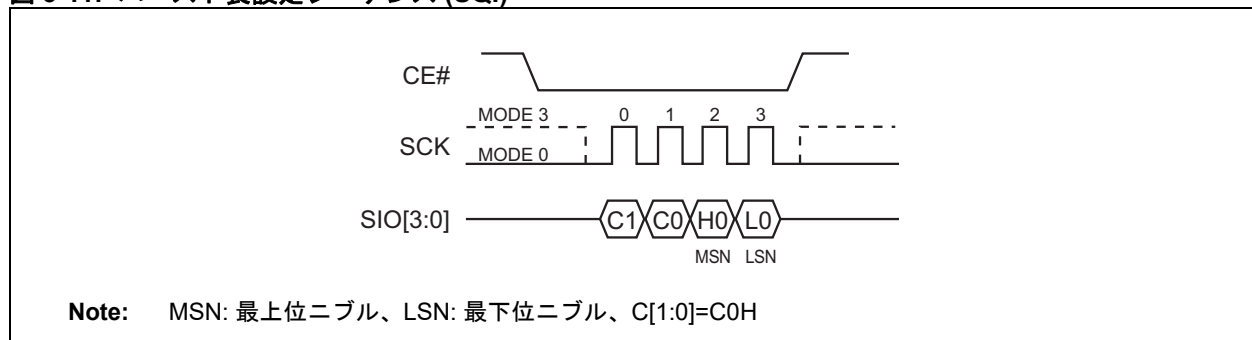
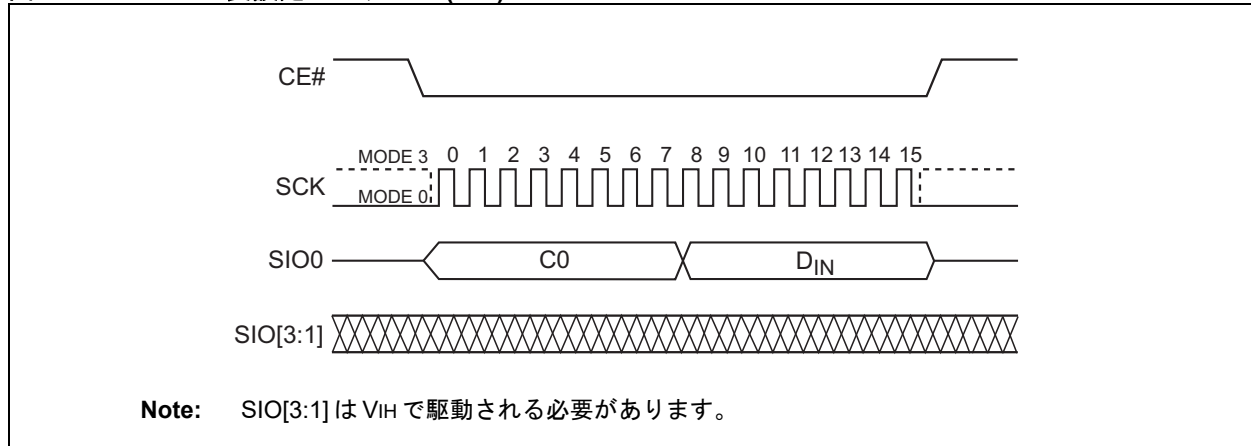


図 5-12: バースト長設定シーケンス (SPI)



5.10 SQI ラップ式バースト読み出し (RBSQI)

SQI ラップ式バースト読み出しは SQI モードでの高速読み出しに似ていますが、設定されたバースト長のデータが繰り返し出力されるという点で異なります。SQI ラップ式バースト読み出しを実行するには、CE# を Low に駆動して RBSQI 命令サイクル (0CH) に続けて 3 つのアドレスサイクルと 3 つのダミーサイクルを送信します。各サイクルの長さは 2 ニブル (クロック) であり、最上位ニブルが最初に送信されます。

ダミーサイクルの後に、本デバイスは指定されたアドレス位置から SCK 信号の立ち下がりエッジでデータの出力を開始します。CE# の Low から High への遷移によって動作が終了するまで、デバイスは全てのアドレスからデータを連続的に出力します。

RBSQI の実行中は、内部アドレスポインタが自動的にインクリメントし、バーストの最後のバイトに達すると、バーストの先頭のバイトへ周回します。全てのバーストは、表 5-3 に示すバースト アドレスレンジ内で実行されます。例えば 8 バイトのバーストをアドレス 06h から開始する場合のバースト シーケンスは 06h、07h、00h、01h、02h、03h、04h、05h、06h です。このパターンは、CE# の Low から High への遷移によって命令が終了するまで繰り返されます。

読み出しロックされたブロックはデータ 00H を出力します。

5.11 SPI ラップ式バースト読み出し (RBSPi)

SPI ラップ式バースト読み出し (RBSPi) は SPI クワッド I/O 読み出しに似ていますが、設定されたバースト長のデータが繰り返し出力されるという点で異なります。SPI バースト読み出しを実行するには、CE# を Low に駆動して RBSPi 命令サイクル (ECH) に続けて 3 つのアドレスサイクルと 3 つのダミーサイクルを送信します。

ダミーサイクルの後に、本デバイスは指定されたアドレス位置から SCK 信号の立ち下がりエッジでデータの出力を開始します。CE# の Low から High への遷移によって動作が終了するまで、デバイスは全てのアドレスからデータを連続的に出力します。

RBSPi の実行中は、内部アドレスポインタが自動的にインクリメントし、バーストの最後のバイトに達すると、バーストの先頭のバイトへ周回します。全てのバーストは、表 5-3 に示すバースト アドレスレンジ内で実行されます。例えば 8 バイトのバーストをアドレス 06h から開始する場合のバースト シーケンスは 06h、07h、00h、01h、02h、03h、04h、05h、06h です。このパターンは、CE# の Low から High への遷移によって命令が終了するまで繰り返されます。

読み出しロックされたブロックはデータ 00H を出力します。

表 5-3: バースト アドレスレンジ

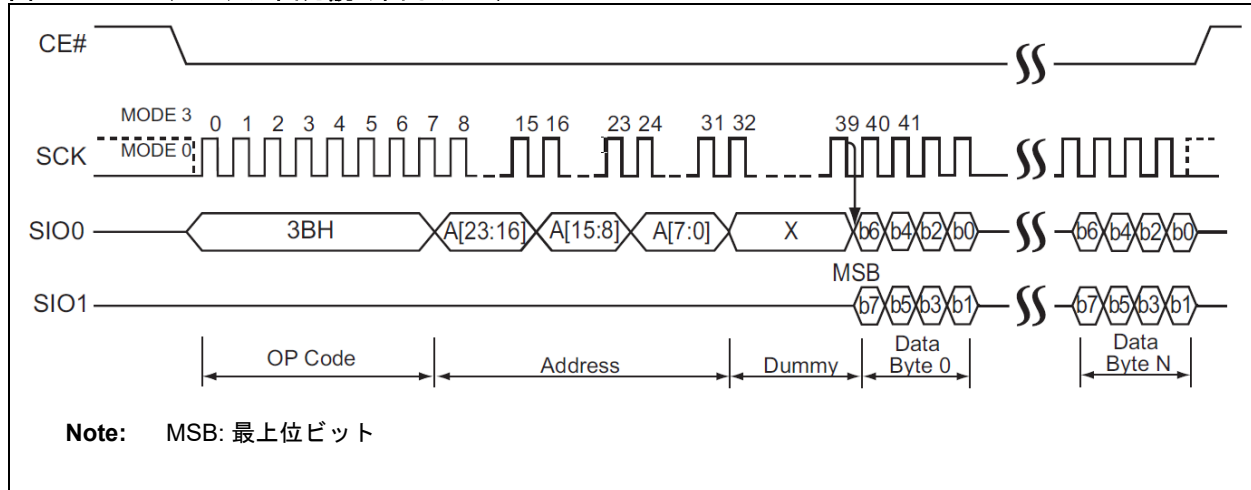
バースト長	バースト アドレスレンジ
8 バイト	00-07H、08-0FH、10-17H、18-1FH...
16 バイト	00-0FH、10-1FH、20-2FH、30-3FH...
32 バイト	00-1FH、20-3FH、40-5FH、60-7FH...
64 バイト	00-3FH、40-7FH、80-BFH、C0-FFH

5.12 SPI デュアル出力読み出し

SPI デュアル出力読み出し命令は、最大周波数 104 MHz (2.7 ~ 3.6 V) または 80 MHz (2.3 ~ 3.6 V) までサポートします。8 ビット命令 (3BH) の実行により SPI デュアル出力読み出しが開始され、その後にアドレスビット A[23:0] とダミーバイトが続きます。SPI デュアル出力読み出し動作中に CE# は Low 状態を保持する必要があります。図 5-13 に、SPI デュアル出力読み出しシーケンスを示します。

ダミーバイトの後に、SST26VF080A は指定されたアドレスから始まるデータを SIO[1:0] で出力します。CE# の Low から High への遷移によって動作が終了するまで、本デバイスは全てのアドレスからデータを連続的に出力します。内部アドレスポインタは、最高メモリアドレスに達するまでインクリメントした後にアドレス空間の先頭位置に戻ります。

図 5-13: SPI デュアル出力読み出しシーケンス



5.13 SPI デュアル I/O 読み出し

SPI デュアル I/O 読み出し (SDIOR) 命令は、最大 80 MHz までサポートします。8 ビット命令 (BBH) を実行する事により SDIOR が開始され、デバイスはアドレスビット A[23:0] 向けの 2 ビット I/O モードに切り換わり、その後に Set Mode コンフィグレーション ビット M[7:0] が続きます。SPI デュアル I/O 読み出しの実行中に CE# はアクティブ (Low) 状態を保持する必要があります。図 5-14 に、SPI デュアル I/O 読み出しシーケンスを示します。

Set Mode コンフィグレーション ビットの後に、SST26VF080A は指定されたアドレスから始まるデータを出力します。CE# の Low から High への遷移によって動作が終了するまで、本デバイスは全てのアドレスからデータを連続的に出力します。内部アドレスポインタは、最高メモリアドレスに達するまでインクリメントした後にアドレス空間の先頭位置に戻ります。

Set Mode コンフィグレーション ビット M[7:0] は、次の命令サイクルも SPI デュアル I/O 読み出し命令であるかどうかを示します。M[7:0] = AXH である場合、デバイスは次の命令も SDIOR 命令 (BBH) であると期待し、命令を要求しません。ホストは CE# を Low に駆動してアドレス A[23:0] 向けの 2 ビット幅入力と Set Mode コンフィグレーション ビット M[7:0] を送信する事により、次の SDIOR サイクルを設定できます。Set Mode コンフィグレーション ビットの後に、本デバイスは指定されたアドレスから始まるデータを出力します。アクセス先のアドレス位置に制約はありません。

M[7:0] が AXH 以外の値である場合、デバイスは次の CE# の Low への遷移から始まる最初のバイトを新たな命令として解釈します。Set Mode コンフィグレーションをリセットまたは終了するには、クワッド I/O リセット命令 (FFH) を実行します。M[7:0] = AXH である場合の SPI デュアル I/O 読み出しシーケンスを図 5-15 に示します。

図 5-14: SPIデュアル I/O読み出しシーケンス

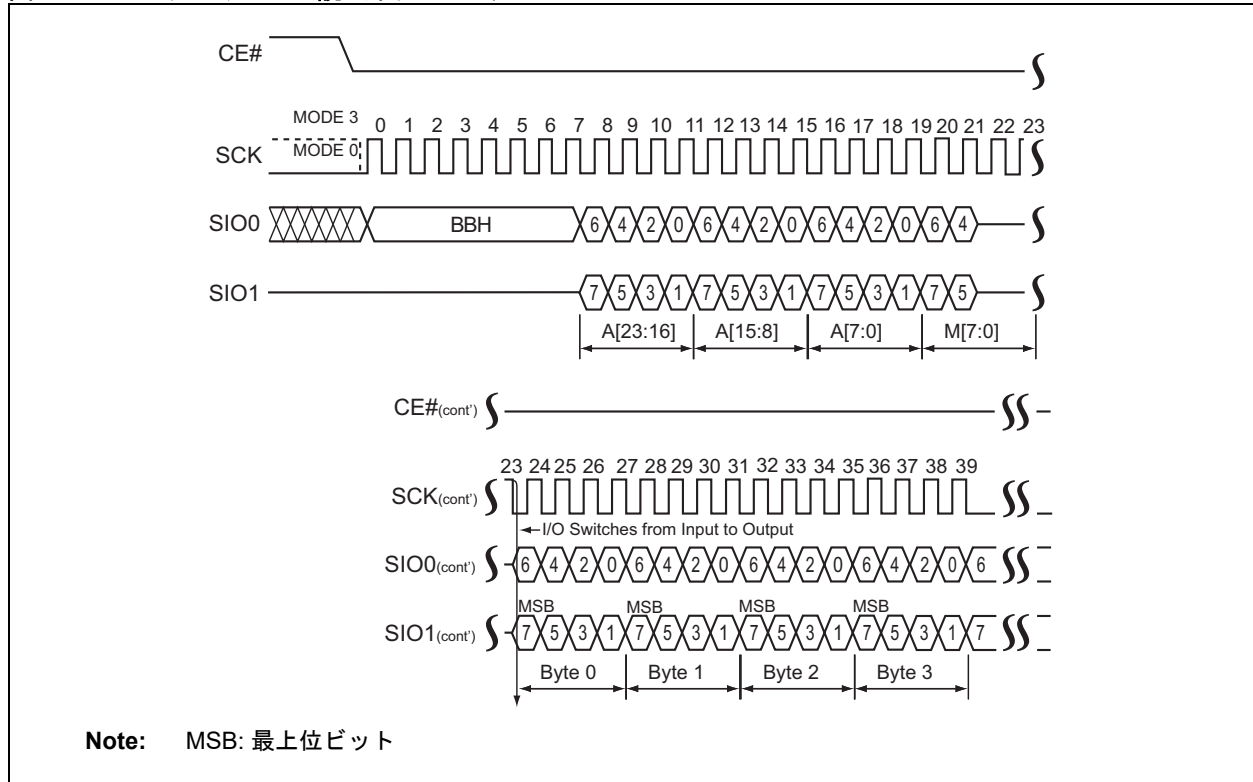
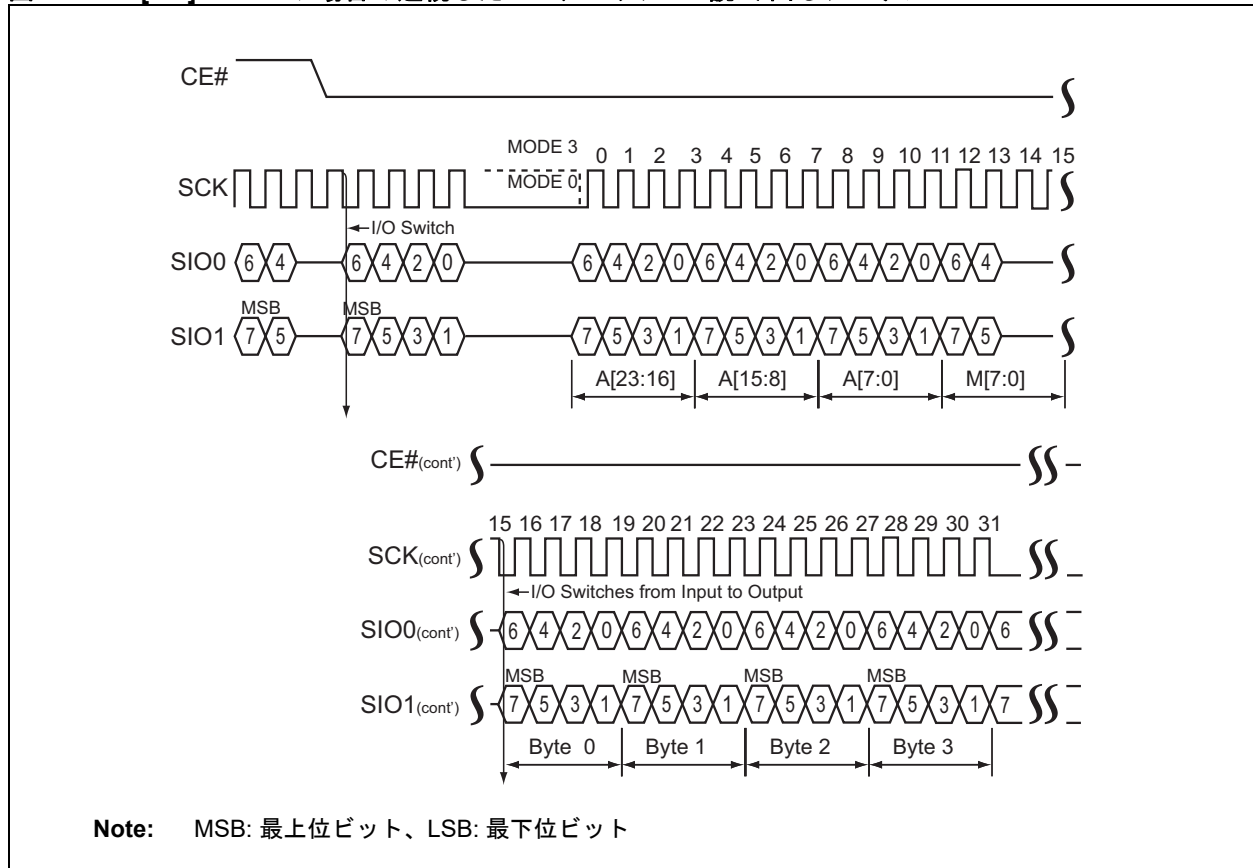


図 5-15: M[7:0] = AXH の場合の連続した SPIデュアル I/O読み出しシーケンス



5.14 JEDEC ID 読み出し (SPI プロトコル)

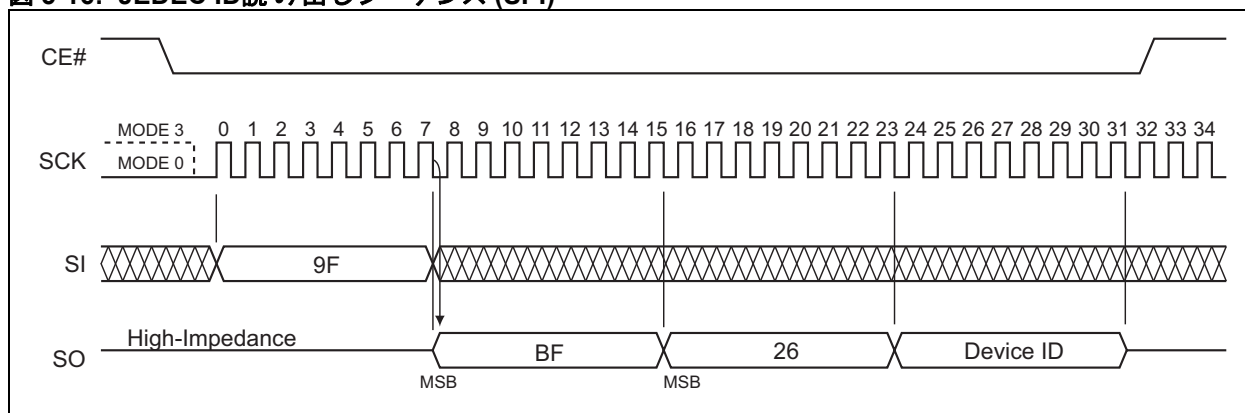
JEDEC ID 読み出し命令は、SPI プロトコルを使って、本デバイスを Microchip 社が製造した SST26VF080A として認識します。JEDEC ID 読み出しを実行するために、ホストは CE# を Low に駆動して JEDEC-ID 読み出し命令サイクル (9FH) を送信します。

SST26VF080A は命令サイクルの直後の SCK 立ち下がリエッジでデータを出力します。CE# の Low から High への遷移によって動作が終了するまで、データは連続的に出力されます。デバイスは 3 バイトのデータ (製造者、デバイスタイプ、デバイス ID) を出力します (表 5-4 参照)。図 5-16 に、JEDEC-ID 読み出しシーケンスを示します。

表 5-4: デバイス ID データの内容

製品名	製造者 ID (バイト 1)	デバイス ID	
		デバイスタイプ (バイト 2)	デバイス ID (バイト 3)
SST26VF080A	BFH	26H	18H

図 5-16: JEDEC ID 読み出しシーケンス (SPI)

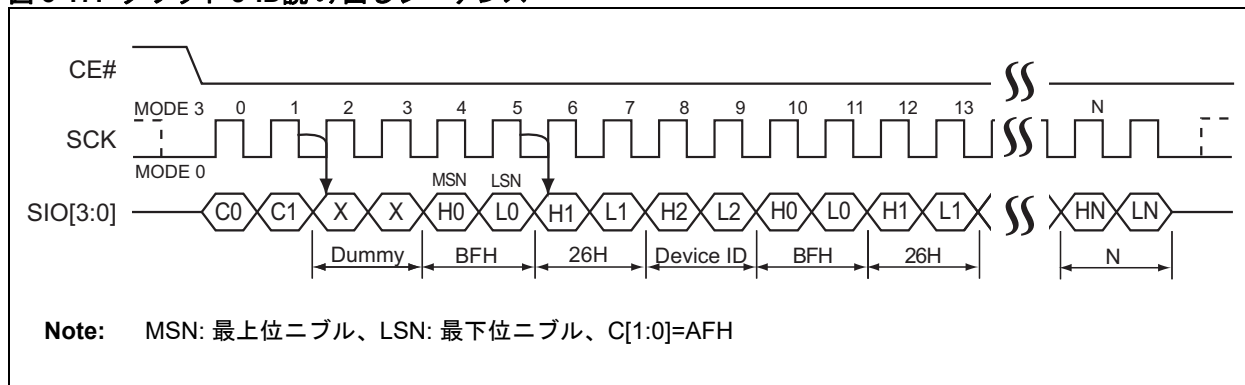


5.15 クワッド JID 読み出し (SQI プロトコル)

クワッド J-ID 読み出し命令は、本デバイスを Microchip 社が製造した SST26VF080A として認識します。クワッド J-ID 読み出しを実行するために、ホストは CE# を Low に駆動してクワッド J-ID 読み出し命令サイクル (AFH) を送信します。各サイクルの長さは 2 ニブル (クロック) であり、最上位ニブルが最初に送信されます。

SST26VF080A は命令サイクルと 1 つのダミーサイクルの直後の SCK 立ち下がリエッジでデータを出力します。CE# の Low から High への遷移によって動作が終了するまで、データは連続的に出力されます。デバイスは 3 バイトのデータ (製造者、デバイスタイプ、デバイス ID) を出力します (表 5-4 参照)。図 5-17 に、JEDEC-ID 読み出しシーケンスを示します。

図 5-17: クワッド J-ID 読み出しシーケンス

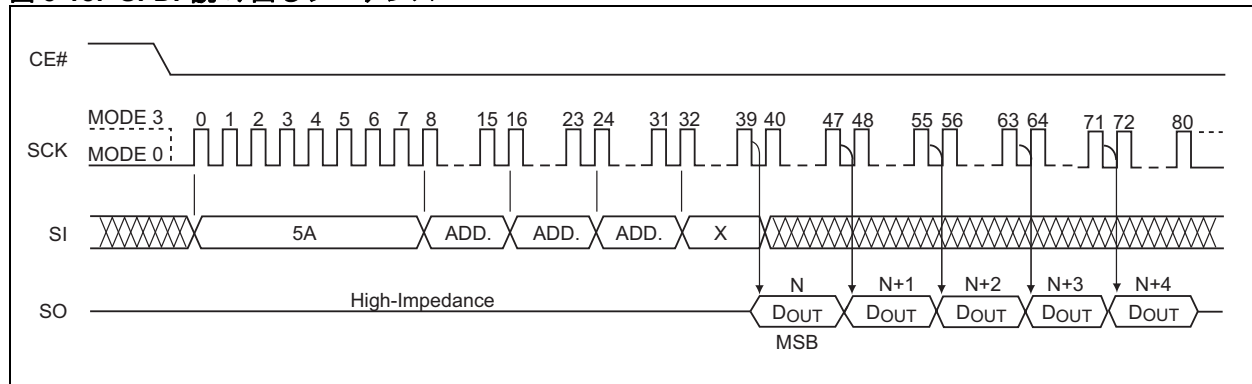


5.16 SFDP (Serial Flash Discoverable Parameters) 読み出し

SFDP は、本デバイスの特性に関する情報を格納しています。これにより、将来の全てのシリアルフラッシュデバイスファミリに対して、デバイス非依存/JEDEC-ID 非依存の上位および下位互換ソフトウェアサポートが可能になります。アドレスとデータ値は表 11-1 を参照してください。

8 ビット命令 (5AH) の実行により SFDP 読み出しが開始され、その後にアドレスビット A[23:0] とダミーバイトが続きます。SFDP 読み出しサイクル中に CE# はアクティブ (Low) 状態を保持する必要があります。図 5-18 に SFDP 読み出しシーケンスを示します。

図 5-18: SFDP 読み出しシーケンス



5.17 セクタ消去

セクタ消去命令は、選択された 4K バイトセクタ内の全てのビットを「1」にクリアします (保護されたメモリ領域は変更されません)。全ての書き込み動作の前に、書き込みイネーブル (WREN) 命令を実行する必要があります。

セクタ消去動作を実行するために、ホストは CE# を Low に駆動してセクタ消去命令サイクル (20H) と 3 つのアドレスサイクルを送信した後、CE# を High に戻します。アドレスビット [AMS:A₁₂] (AMS = 最上位アドレスビット) によりセクタアドレス (SA_X) が決まります。残りのアドレスビットは V_{IL} または V_{IH} のどちらでも構いません。内部の自己タイミング書き込み動作の完了を検出するためにステータスレジスタ内の BUSY ビットをポーリングするか、TSE が過ぎるまで待機する必要があります。図 5-19 と図 5-20 にセクタ消去シーケンスを示します。

図 5-19: 4K バイト セクタ消去シーケンス (SQI モード)

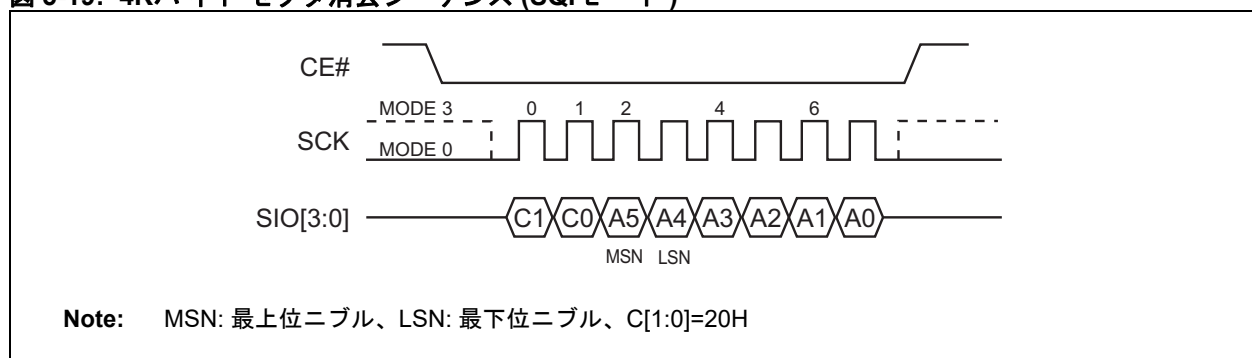
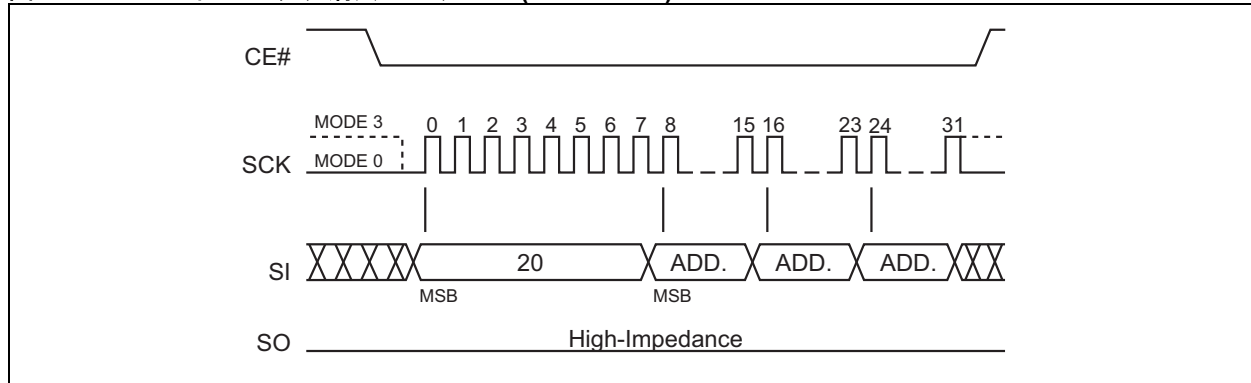


図 5-20: 4Kバイト セクタ消去シーケンス (SPIモード)



5.18 32K バイト /64K バイトブロック消去

32K バイト ブロック消去命令は、選択された 32K バイトブロック内の全てのビットを FFH にクリアします。64K バイト ブロック消去命令は、選択された 64K バイトブロック内の全てのビットをFFHにクリアします。保護されたメモリ領域に対するこれらのブロック消去命令は無視されます。全てのブロック消去動作の前に、書き込みイネーブル (WREN) 命令を実行する必要があります。全てのコマンド シーケンス中に CE# はアクティブ (Low) 状態を保持する必要があります。8 ビット命令 (52H) の実行により 32K バイトブロック消去命令が開始され、その後アドレスビット [A23:A0] が続きます。アドレスビット [AMS:A15] (AMS = 最上位アドレス) によりブロックアドレス (BAX) が決まります。残りのアドレスビットは V_{IL} または V_{IH} のどちらでも構いません。命令の実行前に CE# は High である必要があります。

8 ビット命令 (D8H) の実行により 64K バイト ブロック消去命令が開始され、その後アドレスビット [A23:A0] が続きます。アドレスビット [AMS:A16] (AMS = 最上位アドレス) によりブロックアドレス (BAX) が決まります。残りのアドレスビットは V_{IL} または V_{IH} のどちらでも構いません。命令の実行前に CE# は High である必要があります。内部の自己タイミング 32K/64K バイト ブロック消去サイクルの完了を検出するためにソフトウェア ステータス レジスタ内の BUSY ビットをポーリングするか、時間 T_{BE} が過ぎるまで待機する必要があります。32K バイト ブロック消去シーケンスを図 5-21 と図 5-22 に示し、64K バイト ブロック消去シーケンスを図 5-23 と図 5-24 に示します。

図 5-21: 32Kバイト ブロック消去シーケンス (SQI)

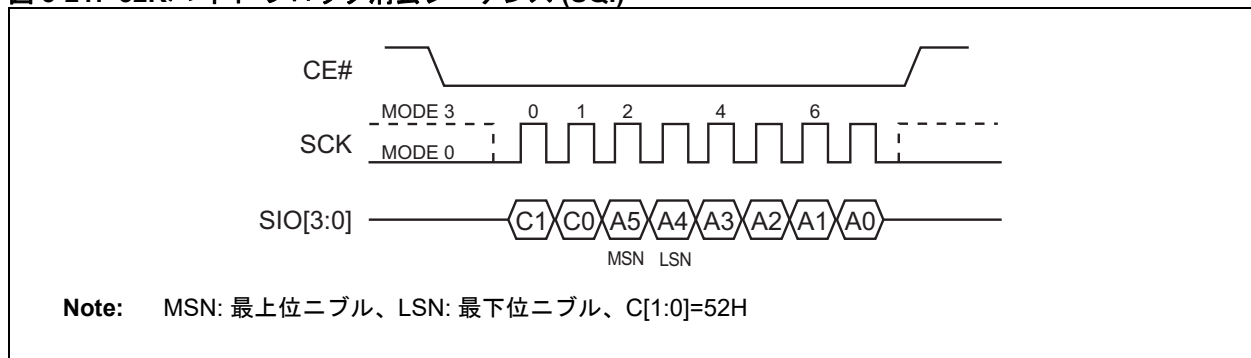


図 5-22: 32Kバイト ブロック消去シーケンス (SPI)

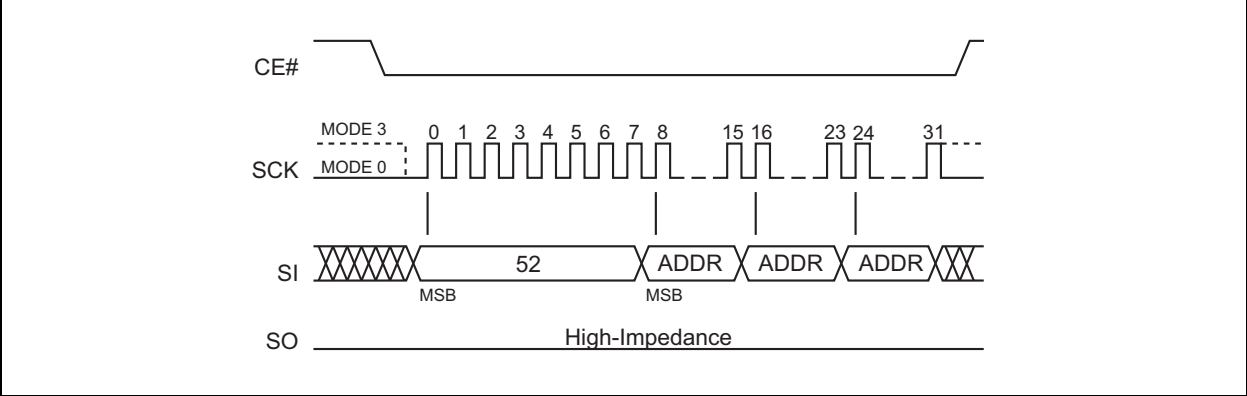


図 5-23: 64Kバイト ブロック消去シーケンス (SQI)

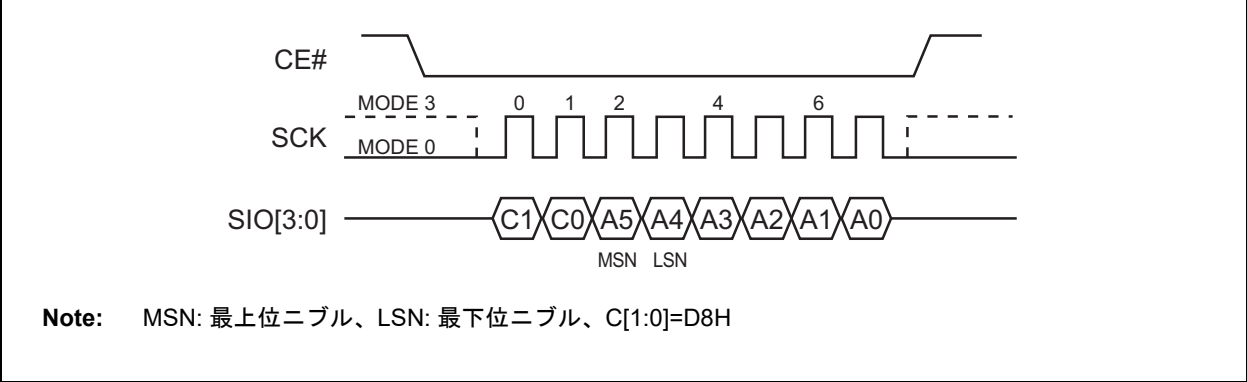
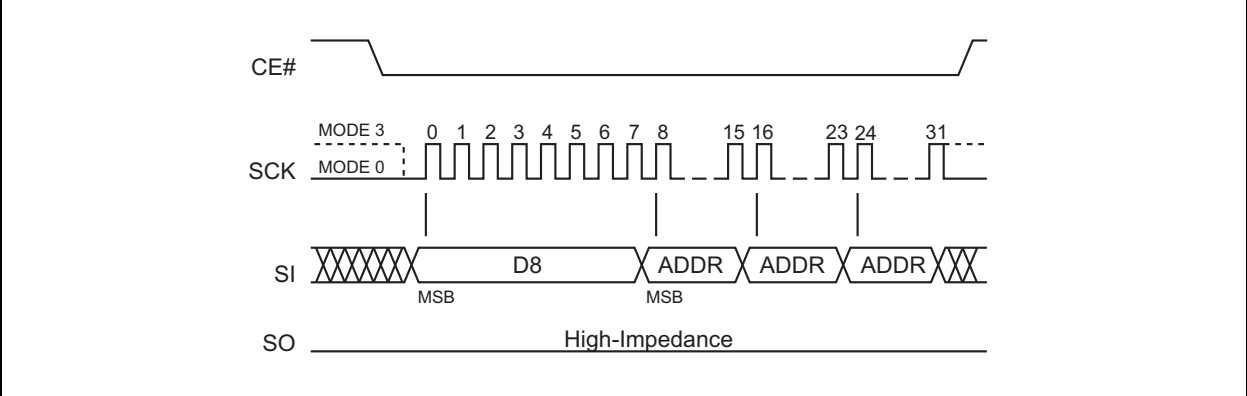


図 5-24: 64Kバイト ブロック消去シーケンス (SPI)



5.19 デバイス消去

デバイス消去命令は、デバイス内の全てのビットを「1」にクリアします。いずれかのメモリ領域が保護されている場合、デバイス消去命令は無視されます。全ての書き込み動作の前に WREN 命令を実行する必要があります。

デバイス消去動作を実行するために、ホストは CE# を Low に駆動してデバイス消去命令サイクル (C7H または 60H) を送信した後、CE# を High に戻します。内部の自己タイミング消去動作の完了を検出するためにステータスレジスタ内の BUSY ビットをポーリングするか、 T_{SCE} が過ぎるまで待機する必要があります。[図 5-25](#) と [図 5-26](#) にデバイス消去シーケンスを示します。

図 5-25: デバイス消去シーケンス (SQI)

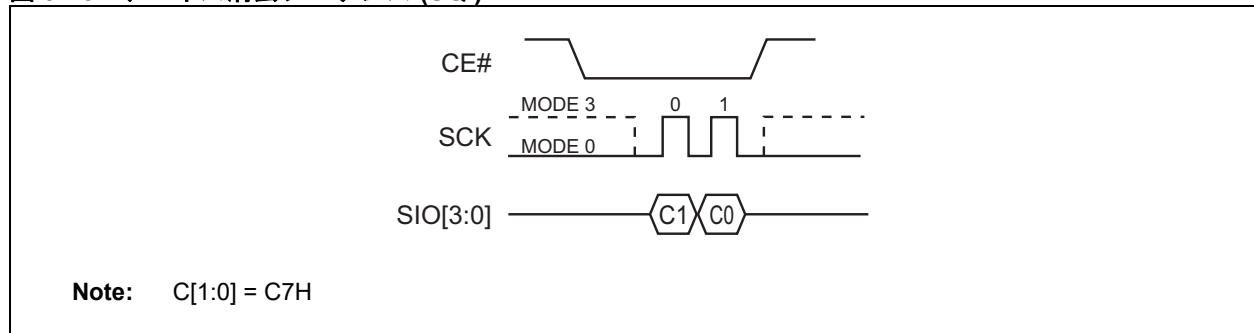
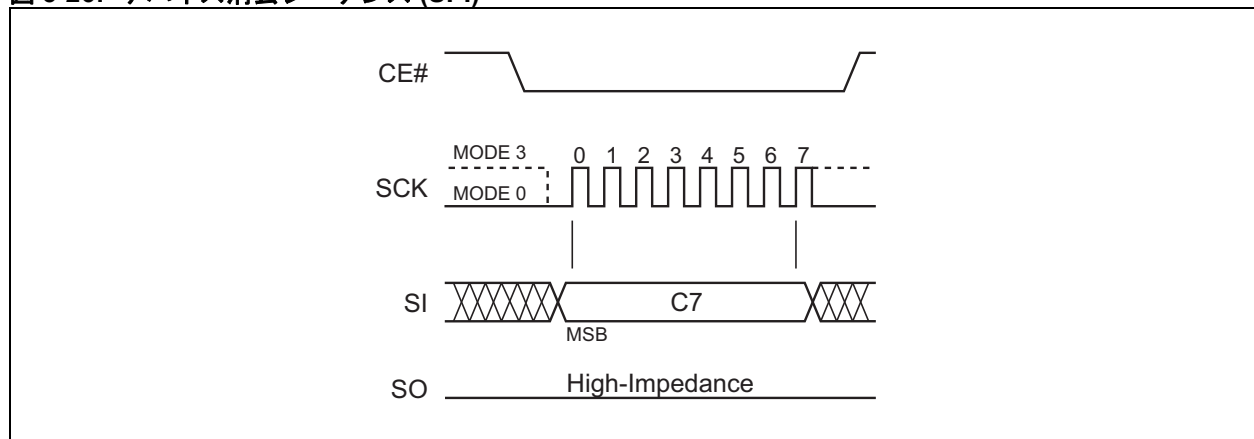


図 5-26: デバイス消去シーケンス (SPI)



5.20 ページ書き込み

ページ書き込み命令は、メモリ内に最大 256 バイトのデータを書き込みます。この命令は SPI および SQI プロトコルの両方で使えます。ページ書き込み動作を開始する前に、書き込み先ページ内のデータが消去済み (FFH) である必要があります。保護されたメモリ領域に対するページ書き込み命令は無視されます。全ての書き込み動作の前に WREN 命令を実行する必要があります。

ページ書き込み動作を実行するために、ホストは CE# を Low に駆動してページ書き込み命令サイクル (02H)、3 つのアドレスサイクル、書き込みデータを送信した後に、CE# を High に戻します。書き込みデータのサイズは 1 ~ 256 バイトであり、完全なバイト単位データを受領した段階でアドレスがインクリメントします。バイトの途中で CE# が High になるとそのバイトは無視されます。内部の自己タイミング書き込み動作の完了を検出するためにステータス レジスタ内の

BUSY ビットをポーリングするか、T_{PP} が過ぎるまで待機する必要があります。図 5-27 と図 5-28 にページ書き込みシーケンスを示します。

ページ書き込みを実行する場合、SST26VF080A のメモリレンジは 256 バイトのページ境界で分割されます。256 バイト以上のデータはページ内で周回して上書きされ、最後の 256 バイトが書き込まれます。ページ書き込み命令のターゲットアドレスがページの先頭アドレスではなく (A[7:0] ビットが全て「0」でない)、かつデータ入力バイトがページの最終アドレスを越える場合、残りのデータ入力バイトは周回してターゲットページの先頭アドレスから書き込まれます。

図 5-27: ページ書き込みシーケンス (SQI)

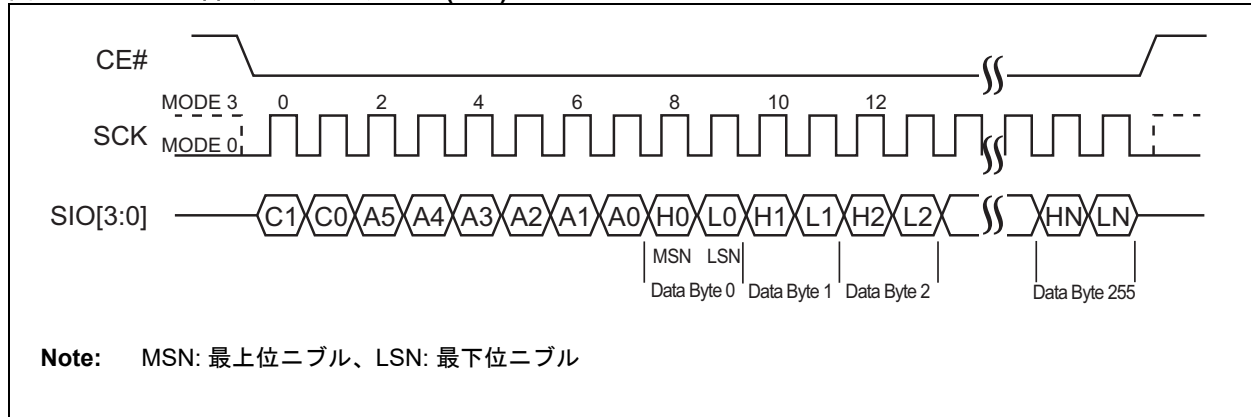
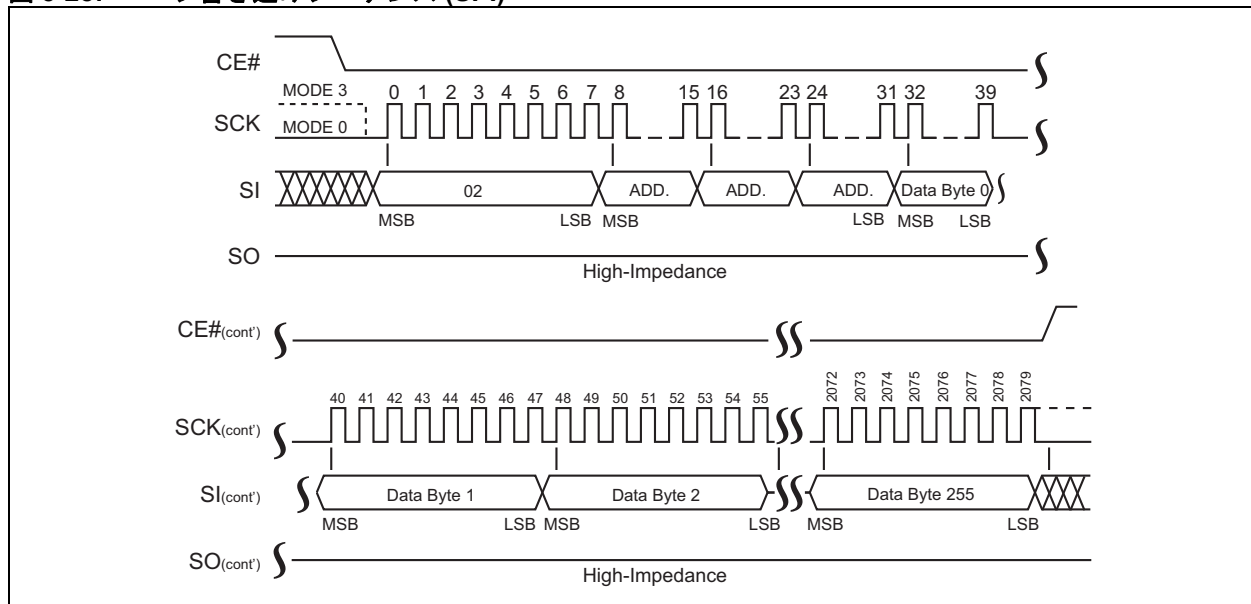


図 5-28: ページ書き込みシーケンス (SPI)



5.21 SPI クワッド ページ書き込み

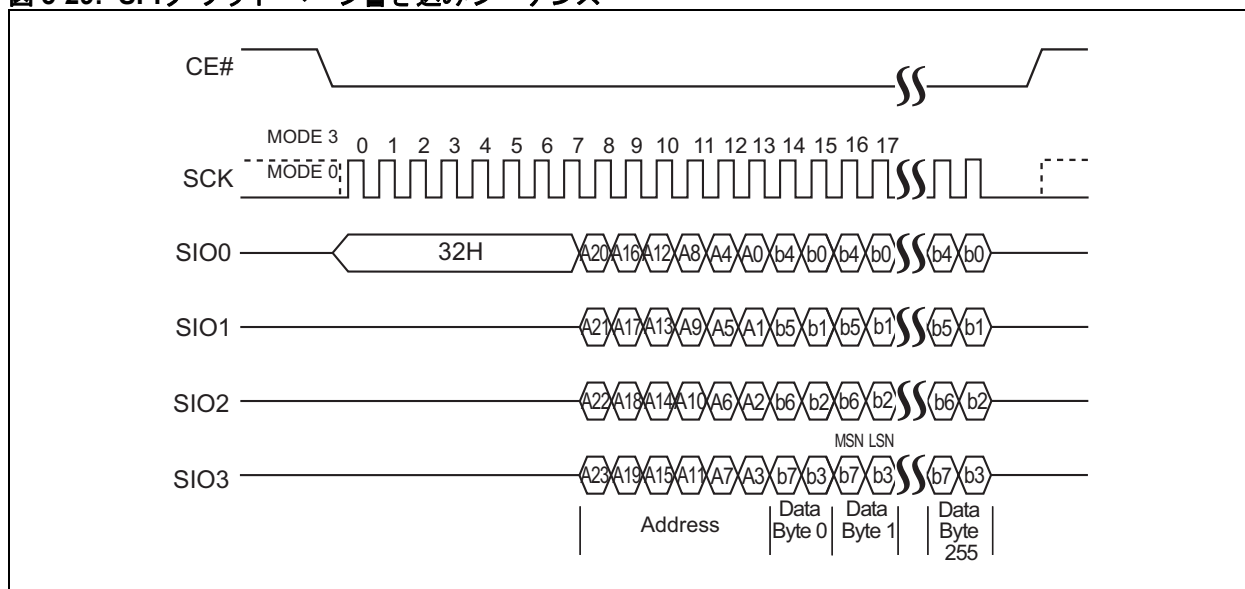
SPI クワッド ページ書き込み命令は、最大 256 バイトのデータをメモリに書き込みます。SPI クワッドページ書き込み動作を開始する前に、書き込み先ページ内のデータが消去済み (FFH) である必要があります。保護されたメモリ領域に対する SPI クワッド ページ書き込みは無視されます。SST26VF080A では、この命令を実行する前にコンフィグレーションレジスタ内の ICO ビットを「1」に設定しておく必要があります。全ての書き込み動作の前に WREN 命令を実行する必要があります。

SPI クワッド ページ書き込み動作を実行するために、ホストは CE# を Low に駆動して SPI クワッド ページ書き込み命令サイクル (32H)、3 つのアドレスサイクル、書き込みデータを送信した後に、CE# を High に戻します。書き込みデータのサイズは 1 ~ 256 バイトであり、完全なバイト単位でインクリメントする必要があります。命令サイクルの長さは 8 クロックであり、アドレスサイクルとデータサイクルの長さはそれぞれ 2 クロックです。データは最上位ビットから順番に送

信されます。内部の自己タイミング書き込み動作の完了を検出するためにステータスレジスタ内の BUSY ビットをポーリングするか、TPP が過ぎるまで待機する必要があります。図 5-29 を参照してください。

SPI クワッド ページ書き込みを実行する場合、SST26VF080A のメモリレンジは 256 バイトのページ境界で分割されます。256 バイト以上のデータはページ内で周回して上書きされ、最後の 256 バイトが書き込まれます。SPI クワッド ページ書き込み命令のターゲットアドレスがページの先頭アドレスではなく (A[7:0] ビットが全て「0」でない)、かつデータ入力バイトがページの最終アドレスを越える場合、残りのデータ入力バイトは周回してターゲットページの先頭アドレスから書き込まれます。

図 5-29: SPI クワッド ページ書き込みシーケンス



5.22 書き込みサスペンドと書き込みレジューム

書き込みサスペンド命令を使うと実行中のセクタ消去、32K バイトブロック消去、64K バイトブロック消去、SPI クワッド ページ書き込み、ページ書き込み動作を一時中断し、メモリの他の領域内のデータの消去、書き込み、読み出しを実行できます。中断した動作は、書き込みレジューム命令を使って再開できます。この動作は、SQI および SPI プロトコルの両方で使えます。

1 度に 1 つの書き込み動作をサスペンドする事しかできません。1 つの動作が既にサスペンド中である場合、本デバイスは書き込みサスペンド命令を無視します。デバイス消去が実行中である場合、書き込みサスペンド命令は無視されます。また、書き込み動作がサスペ

ンド中である場合、デバイス消去命令は無効です。書き込みレジューム命令は、書き込みサスペンド中に開始された書き込み / 消去動作が完了するまで無視されます。書き込みレジュームから次の書き込みサスペンドまでの間に 500 μ s 以上の間隔が必要です。

5.23 セクタ消去またはブロック消去中の書き込みサスペンド

セクタ消去または32K/64Kバイトブロック消去中に書き込みサスペンド命令を発行する事により、ホストは消去中ではない別のセクタに対して書き込みまたは読み出しを実行できます。サスペンド中のセクタに対する全ての書き込み命令は無視されます。サスペンド中のセクタからの読み出し結果は、セクタ消去または32K/64Kバイトブロック消去が未完了であるため不確定です。

書き込みサスペンド動作を実行するために、ホストはCE# を Low に駆動して書き込みサスペンド命令サイクル (B0H) を送信した後に CE# を High に戻します。消去動作がサスペンドされた事は、コンフィグレーションレジスタ内の WSE ビットが「0」から「1」へ変化する事により示されますが、デバイスは準備が完了するまで次の命令を受け付けません。デバイスが次の命令を受け付け可能になるまでステータスレジスタ内の BUSY ビットをポーリングするか、Tws が過ぎるまで待機する必要があります。

5.24 ページ書き込みまたは SPI クワッド ページ書き込み中の書き込みサスペンド

ページ書き込み中に書き込みサスペンド命令を発行する事により、ホストは書き込み中ではない別のセクタに対して消去または読み出しを実行できます。サスペンド中のセクタに対する消去命令は無視されます。サスペンド中のページからの読み出し結果は、書き込み動作が未完了であるため不確定です。

書き込みサスペンド動作を実行するために、ホストはCE# を Low に駆動して書き込みサスペンド命令サイクル (B0H) を送信した後に CE# を High に戻します。書き込み動作がサスペンドされた事は、コンフィグレーションレジスタ内の WSP ビットが「0」から「1」へ変化する事により示されますが、デバイスは準備が完了するまで次の命令を受け付けません。デバイスが次の命令を受け付け可能になるまでステータスレジスタ内の BUSY ビットをポーリングするか、Tws が過ぎるまで待機する必要があります。

5.25 書き込みレジューム

書き込みレジューム命令はサスペンドされていた書き込み命令を再開し、コンフィグレーションレジスタ内のサスペンドステータスビット (WSE または WSP) を「0」に戻します。

書き込みレジューム動作を実行するために、ホストはCE# を Low に駆動して書き込みレジューム命令サイクル (30H) を送信した後に CE# を High に戻します。内部の自己タイミング書き込み動作が完了した事検出するためにステータスレジスタ内のBUSYビットをポーリングするか、決められた時間 (TSE (セクタ消去の場合)、TBE (ブロック消去の場合)、TPP (ページ書き込みの場合)) が過ぎるまで待機する必要があります。サスペンド前とレジューム後の総書き込み時間は、中断なしの書き込み時間 (TSE、TBE、TPP) を超えません。

5.26 セキュリティ ID 読み出し

セキュリティID 読み出し動作は、SPI および SQI モードの両方で使えます。SPI モードでセキュリティID (SID) 読み出し動作を実行する場合、ホストは CE# を Low に駆動してセキュリティID 読み出し命令サイクル (88H)、2つのアドレスサイクル、1つのダミーサイクルを送信します。SQI モードでセキュリティID (SID) 読み出し動作を実行する場合、ホストは CE# を Low に駆動してセキュリティID 読み出し命令サイクル (88H)、2つのアドレスサイクル、3つのダミーサイクルを送信します。

ダミーサイクルの後の SCK 立ち下がリエッジで、本デバイスは指定されたアドレス位置からデータの出力を開始します。CE# の Low から High への遷移によって動作が終了するまで、デバイスは全ての SID アドレスから連続的にデータを出力します。表 5-5 に、セキュリティID のアドレスレンジを示します。

5.27 セキュリティ ID 書き込み

セキュリティID 書き込み命令は、1 ~ 2032 バイトのデータをユーザ プログラマブル セキュリティID 空間に書き込みます。このセキュリティID 空間は 1 度だけ書き込み可能 (OTP) です。デバイスは、無効なアドレスまたは保護されたアドレスへのセキュリティID書き込み命令を無視します (表 5-5 参照)。書き込み動作の前に WREN を実行する必要があります。

セキュリティID 書き込み動作を実行するために、ホストはCE# を Low に駆動してセキュリティID 書き込み命令サイクル (A5H) と2つのアドレスサイクルに続けて書き込みデータを送信した後に、CE# を High に戻します。書き込みデータのサイズは1 ~ 256 バイトであり、完全なバイト単位でインクリメントする必要があります。

256 バイト以上のデータはページ内で周回して上書きされ、最後の 256 バイトが書き込まれます。セキュリティID 書き込み命令のターゲットアドレスがページの先頭アドレスではなく、かつデータ入力バイトがページの最終アドレスを越える場合、残りのデータ入力バイトは周回してターゲットページの先頭アドレスから書き込まれます。

セキュリティID 書き込み動作は、SPI および SQI モードの両方で使えます。内部の自己タイミング SID 書き込み動作が完了した事検出するためにソフトウェアステータスレジスタ内のBUSYビットをポーリングするか、TPSID が過ぎるまで待機する必要があります。

表 5-5: セキュリティ ID 書き込み

セキュリティ ID 書き込み	アドレスレンジ
工場で行き込まれた一意 ID	0000-000FH
ユーザ プログラマブル領域	0010H-07FFH

5.28 セキュリティ ID ロックアウト

セキュリティ ID ロックアウト命令は、セキュリティ ID に対する変更を禁止します。この命令は SPI および SQI モードの両方で使えます。この命令を実行する前に WREN を実行する必要があります。

セキュリティ ID ロックアウトを実行するために、ホストは CE# を Low に駆動してセキュリティ ID ロックアウト命令サイクル (85H) を送信した後に CE# を High に戻します。セキュリティ ID ロックアウト動作の完了を検出するためにソフトウェア ステータス レジスタ内の BUSY ビットをポーリングするか、TPSID が過ぎるまで待機する必要があります。

5.29 ステータス レジスタ読み出し (RDSR) とコンフィグレーション レジスタ読み出し (RDCR)

ステータス レジスタ読み出し (RDSR) およびコンフィグレーション レジスタ読み出し (RDCR) 命令は、それぞれステータス レジスタとコンフィグレーション レ

ジスタの内容を出力します。これらの命令は SPI および SQI モードの両方で使えます。ステータス レジスタはいつでも (たとえデバイスが書き込み動作中であっても) 読み出せます。書き込み動作が実行中である場合、新しい命令を送信する前にステータス レジスタ内の BUSY ビットをポーリングする事によってデバイスが命令を受け付け可能かどうか確認する事ができます。

ステータス レジスタまたはコンフィグレーション レジスタを読み出すために、ホストは CE# を Low に駆動してステータス レジスタ読み出し命令 (05H) またはコンフィグレーション レジスタ読み出し命令 (35H) を送信します。SQI モードでは 1 つのダミーサイクルが必要です。命令サイクルの直後の SCK 立ち下がりがエッジでデバイスはデータを出力します。CE# の Low から High への遷移によって動作が終了するまで、データは連続的に出力されます。図 5-30 と図 5-31 に、これらの命令のシーケンスを示します。

図 5-30: ステータス レジスタ読み出しおよびコンフィグレーション レジスタ読み出しシーケンス (SQI)

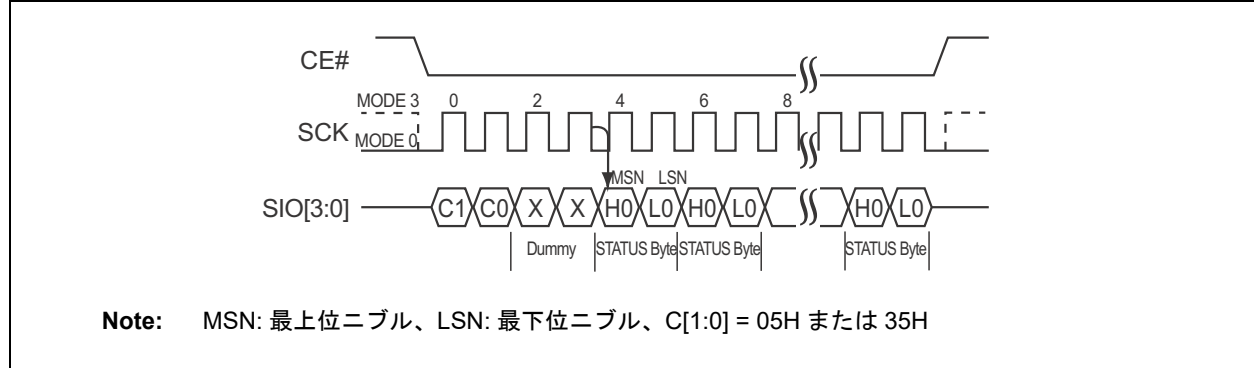
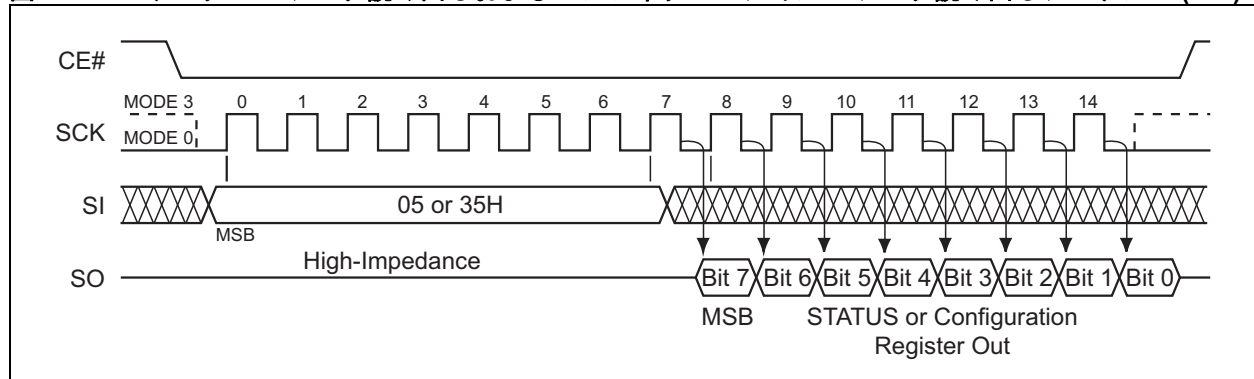


図 5-31: ステータス レジスタ読み出しおよびコンフィグレーション レジスタ読み出しシーケンス (SPI)



5.30 ステータス レジスタ書き込み (WRSR)

ステータス レジスタ書き込み (WRSR) 命令は、ステータス レジスタとコンフィグレーション レジスタに新しい値を書き込みます。WRSR 命令を実行するために、ホストは CE# を Low に駆動して WRSR 命令サイクル (01H) と 1 または 2 サイクルのデータを送信した後に、CE# を High に戻します。最初のサイクルのデータはステータス レジスタに書き込まれ、次のサイクルのデータはコンフィグレーション レジスタに書き込まれます。図 5-32 と図 5-33 を参照してください。

図 5-32: ステータス レジスタ書き込みシーケンス (SQI)

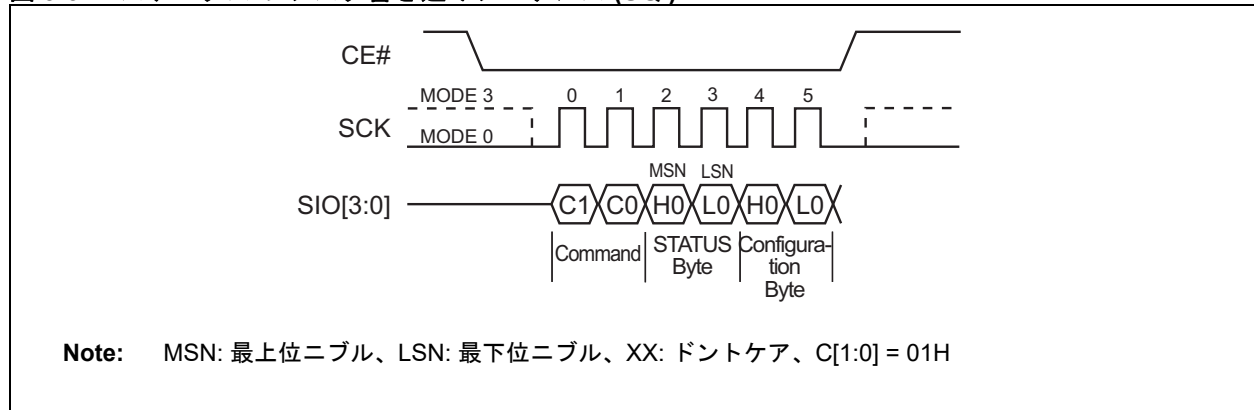
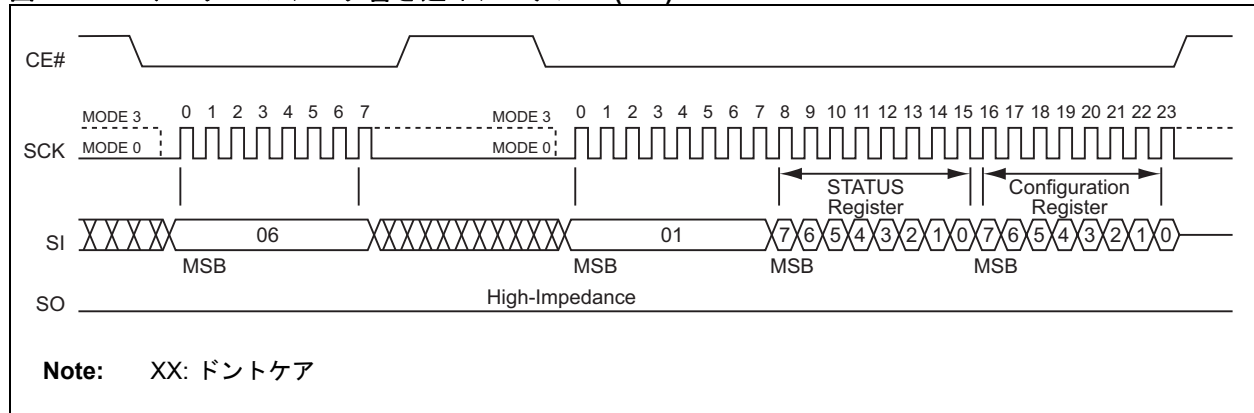


図 5-33: ステータス レジスタ書き込みシーケンス (SPI)



5.31 書き込みイネーブル (WREN)

書き込みイネーブル (WREN) 命令は、ステータス レジスタ内の書き込みイネーブルラッチ ビットを「1」に設定する事で、書き込み動作の実行を許可します。以下の動作を実行する前に WREN 命令を実行する必要があります。セクタ消去、32K バイトブロック消去、64K バイトブロック消去、デバイス消去、ページ書き込み、セキュリティ ID 書き込み、セキュリティ ID ロックアウト、保護設定ロックダウン、SPI クワッドページ書き込み、ステータス レジスタ書き込み書き込みイネーブルを実行するために、ホストは CE# を Low に駆動して書き込みイネーブル命令サイクル (06H) を送信した後に CE# を High に戻します。図 5-34 と図 5-35 に、WREN 命令シーケンスを示します。

図 5-34: 書き込みイネーブル シーケンス (SQI)

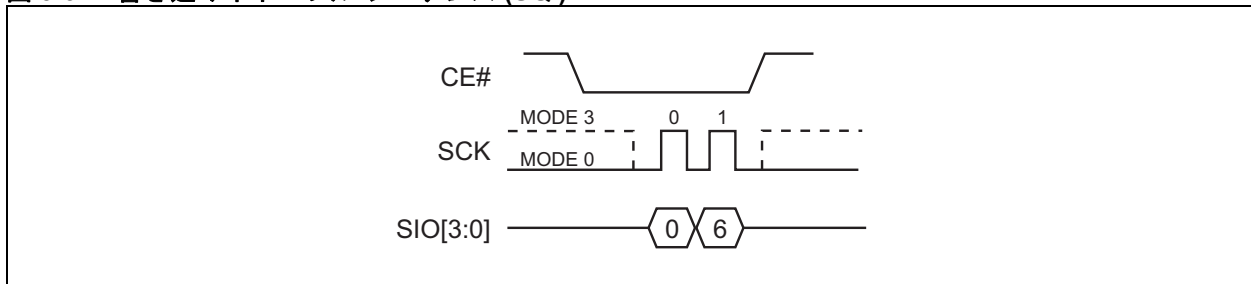
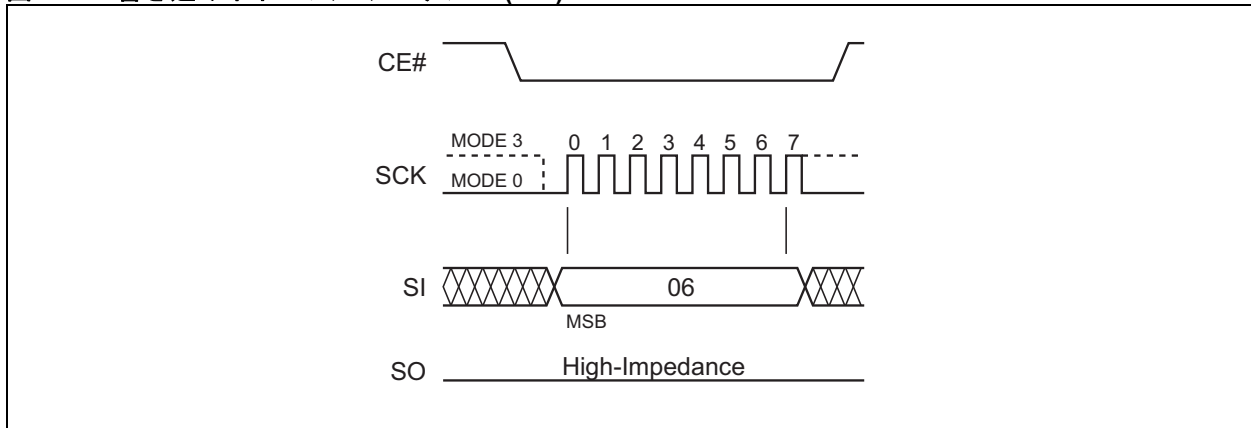


図 5-35: 書き込みイネーブル シーケンス (SPI)



5.32 書き込みディセーブル (WRDI)

書き込みディセーブル (WRDI) 命令は、ステータスレジスタ内の書き込みイネーブルラッチ ビットを「0」に設定する事で、書き込み動作を禁止します。内部書き込み動作中は、WRDI 命令は無視されます。WRDI の実行前に開始された全ての書き込み動作は完了します (実行中の書き込み動作を完了させるために、WRDI を実行する前に CE# を 1 度 High に駆動する必要があります)。

書き込みディセーブルを実行するために、ホストは CE# を Low に駆動して書き込みディセーブル命令サイクル (04H) を送信した後に CE# を High に戻します。

図 5-36 と図 5-37 を参照してください。

図 5-36: 書き込みディセーブル (WRDI) シーケンス (SQI)

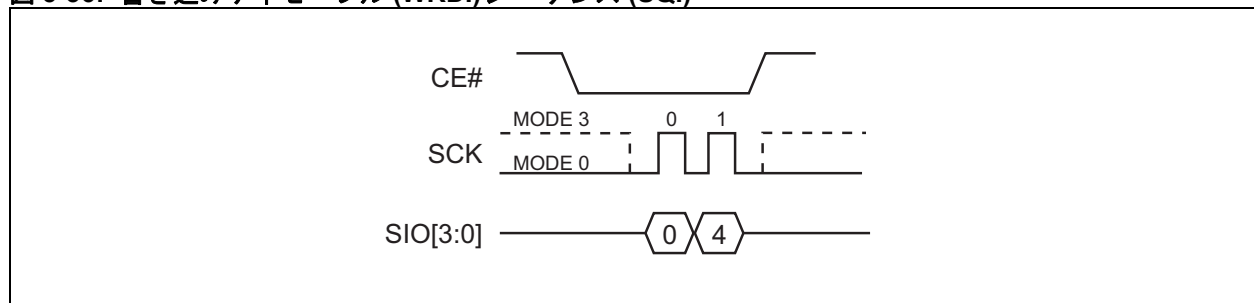
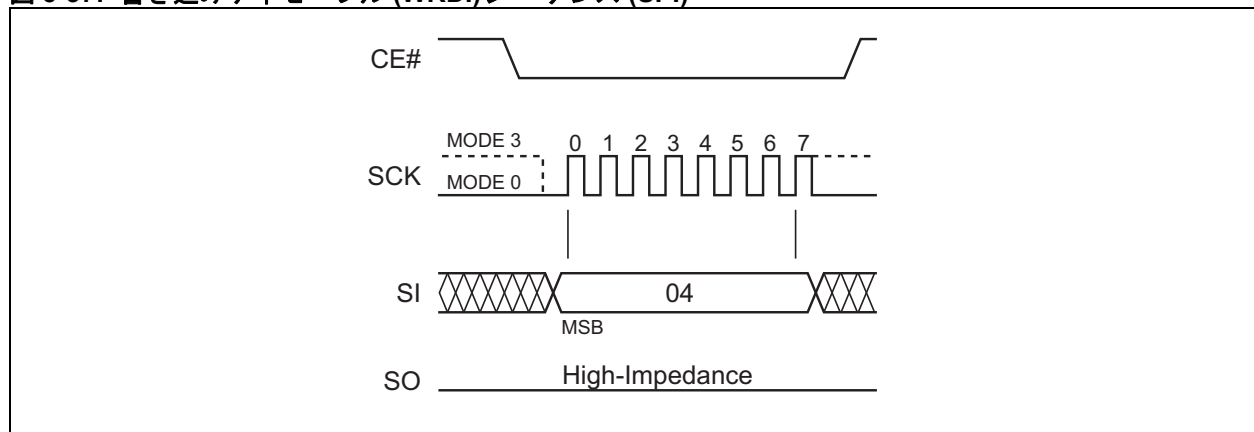


図 5-37: 書き込みディセーブル (WRDI) シーケンス (SPI)



5.33 保護設定ロックダウン (LDPS)

保護設定ロックダウン命令は、デバイスの動作中にステータスレジスタ内のブロック保護ビット (BP0、BP1、BP2、BP3) に対する変更を禁止します。ロックダウンは電源再投入後またはハードウェアリセット時にリセットされ、ブロック保護設定は再び変更可能になります。保護設定ロックダウン命令を実行する前に WREN を実行する必要があります。保護設定ロックダウン命令を実行するために、ホストは CE# を Low に駆動して保護設定ロックダウン命令サイクル (8DH) を送信した後に、CE# を High に戻します。LDPS 命令を実行すると、コンフィギュレーションレジスタ内の VLP ビットがセットされます。

図 5-38: 保護設定ロックダウン (SQI)

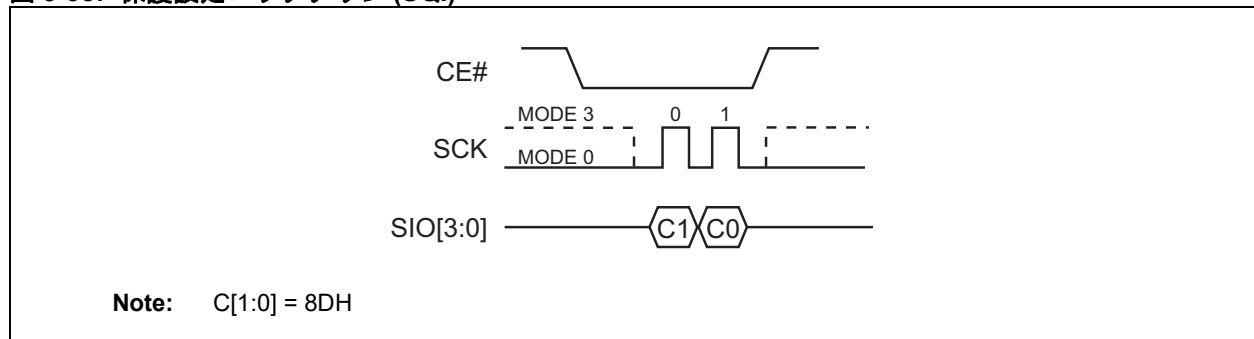
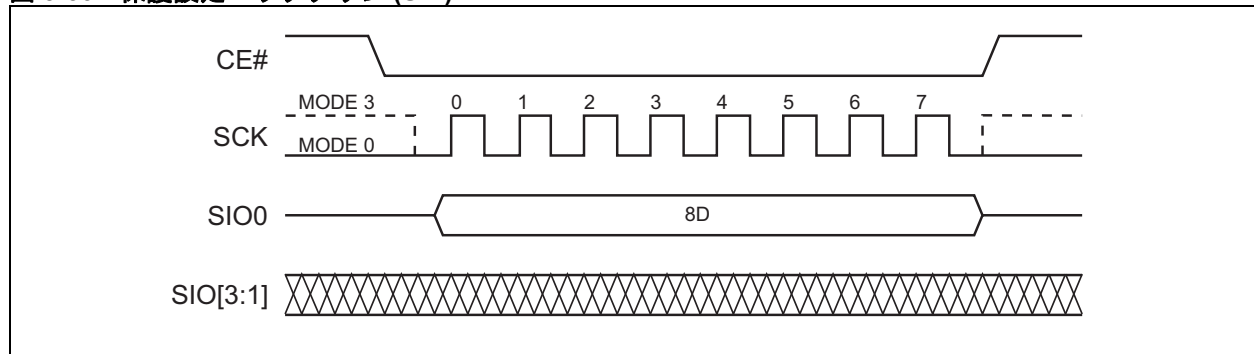


図 5-39: 保護設定ロックダウン (SPI)



5.34 ディープパワーダウン

ディープパワーダウン (DPD) 命令は、デバイスを最小消費電力となるディープパワーダウンモードに設定します。内部書き込み動作中は、DPD 命令は無視されます。デバイスがディープパワーダウンモードになると、ディープパワーダウン解除命令を除く全ての命令が無視されます。

CE# を Low に駆動してディープパワーダウン (DPD) 命令 (B9H) を開始する事により、デバイスをディープパワーダウンモードへ移行させます。DPD 命令の実行前に CE# を High に駆動する必要があります。DPD 命令の実行後に CE# が High に戻された後、スタンバイ電流 I_{SB} がディープパワーダウン電流 I_{DPD} レベルに低下するまでに T_{DPD} の遅延時間が必要です。表 5-6 にディープパワーダウンのタイミングを示します。デバイスが内部消去または書き込み動作を実行中 (ビジー状態) である時にディープパワーダウン命令が開始された場合、デバイスはディープパワーダウンモードに移行しません。図 5-40 と図 5-41 に、DPD 命令シーケンスを示します。

表 5-6: ディープパワーダウン

シンボル	パラメータ	Min.	Max.	単位
T_{DPD}	DPD 命令後の CE# High からディープパワーダウンモードに移行するまでの時間	—	3	μs
T_{SBR}	RDPD 命令後の CE# High からスタンバイモードに移行するまでの時間	—	10	μs

図 5-40: ディープパワーダウン (DPD) シーケンス (SQI モード)

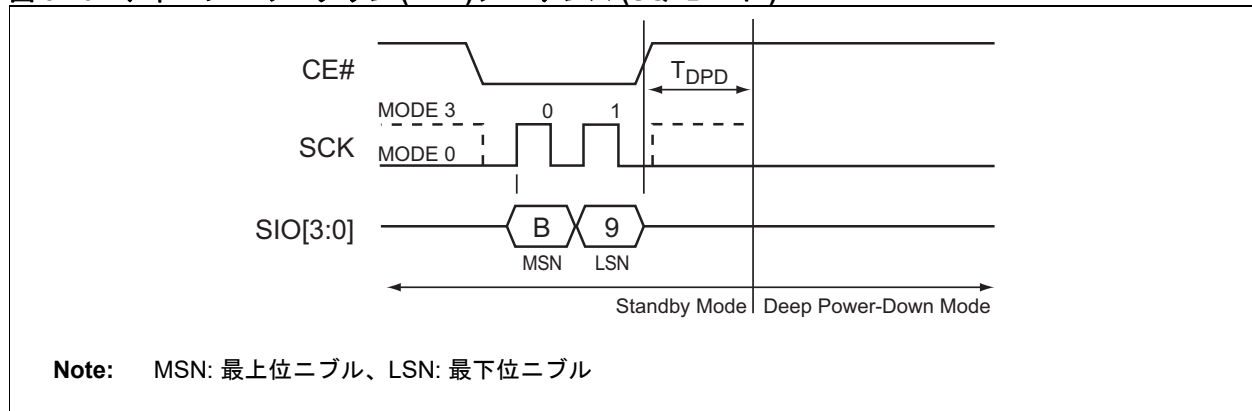
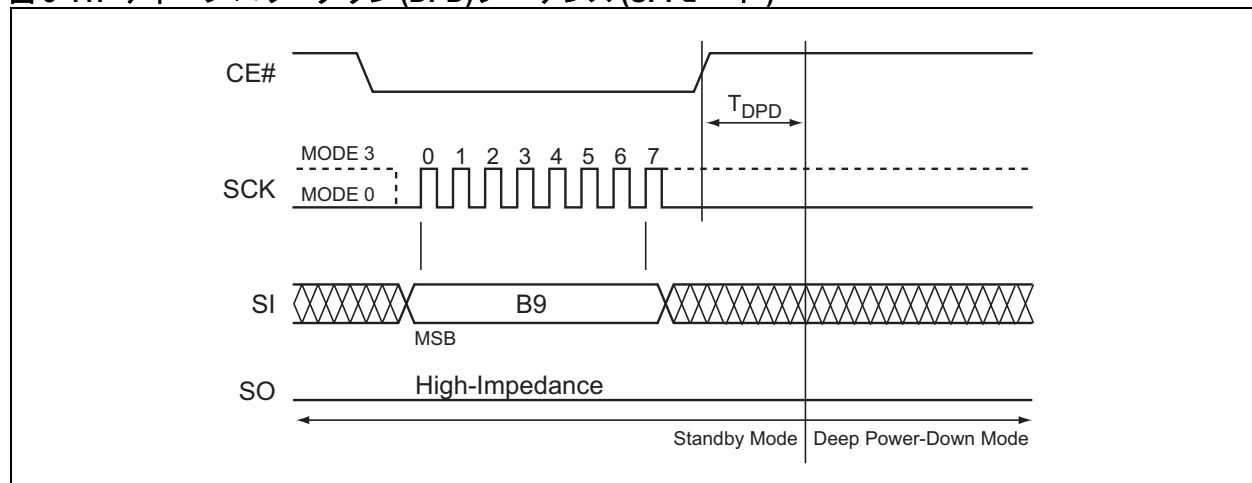


図 5-41: ディープパワーダウン (DPD) シーケンス (SPI モード)



5.35 ディープパワーダウン解除 / デバイス ID 読み出し

ディープパワーダウンモードは、ディープパワーダウン解除 / デバイス ID 読み出し (RDPD) 命令により終了します。ホストは CE# を Low に駆動してパワーダウン解除 / デバイス ID 読み出し (RDPD) 命令サイクル (ABH) を送信し、3 ダミー クロックサイクル後に CE#

を High に戻します。ダミーサイクル直後の SCK 立ち下がりエッジで、デバイスはデバイス ID を出力します。データ出力ストリームは CE# の High への遷移によって終了し、その T_{SBR} 後にデバイスはスタンバイモードに戻って次の命令を受け付け可能となります。[図 5-42](#) と [図 5-43](#) に、RDPD 命令のシーケンスを示します。

図 5-42: ディープパワーダウン解除 / デバイス ID 読み出し (RDPD) シーケンス (SQI モード)

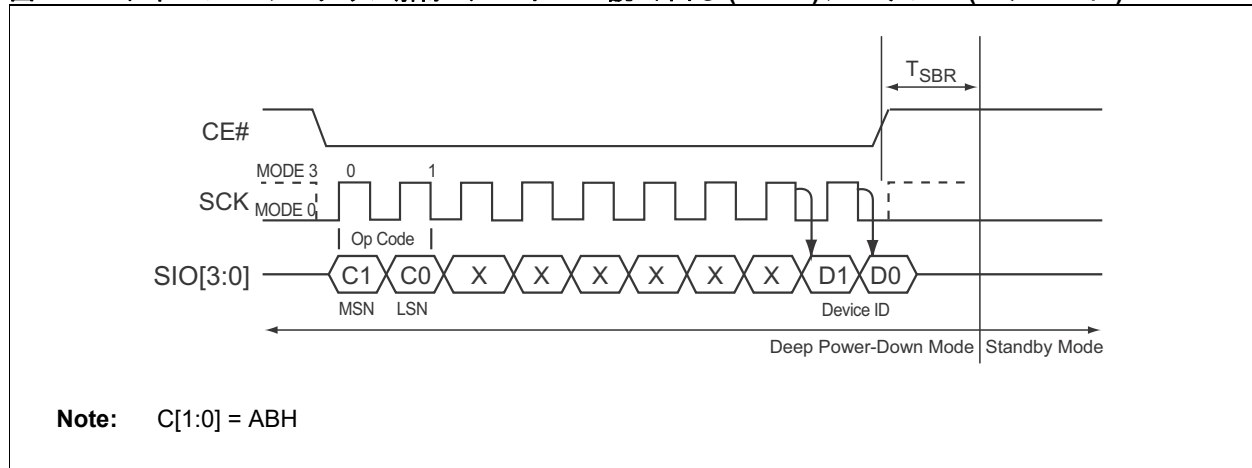
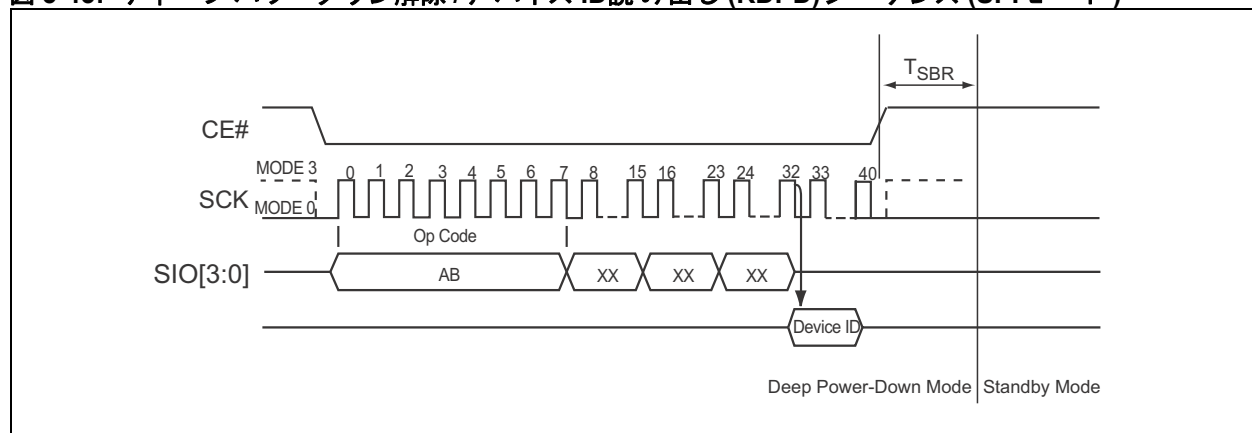


図 5-43: ディープパワーダウン解除 / デバイス ID 読み出し (RDPD) シーケンス (SPI モード)



6.0 電氣的仕様

最大絶対定格 (†)

通電中の温度	-55 ~ +125 °C
保管温度	-65 ~ +150 °C
全ピンの DC 電圧 (グランド基準)	-0.5 V ~ V _{DD} +0.5 V
全ピンの過渡電圧 (<20 ns、グランド基準)	-2.0 V ~ V _{DD} +2.0 V
パッケージ許容損失 (TA = 25 °C)	1.0 W
表面実装はんだリフロー温度	260 °C / 10 秒
出力短絡電流 ⁽¹⁾	50 mA

† 注意：上記の「絶対最大定格」を超える条件は、デバイスに恒久的な損傷を生じさせる可能性があります。これはストレス定格です。本書に記載した動作条件外でのデバイス運用は想定していません。絶対最大定格条件を超えて長期間曝露させるとデバイスの信頼性に影響を及ぼす可能性があります。

Note 1: 出力短絡時間は 1 秒を超えてはいけません。同時に複数の出力が短絡してはいけません。

表 6-1: 動作レンジ

温度レンジ	周囲温度	V _{DD}
産業用温度レンジ	-40 ~ +85 °C	2.3 ~ 3.6 V
拡張温度レンジ ⁽¹⁾	-40 ~ +125 °C	

Note 1: 拡張温度レンジ品の最大動作周波数は 80 MHz です。

表 6-2: 試験時の AC 条件 ⁽¹⁾

入力出力立ち上がり / 立ち下がり時間	出力負荷
3 NS	C _L = 30 PF

Note 1: 図 8-6 を参照してください。

6.1 電源投入仕様

全ての機能および DC 仕様は、以下の条件に対して指定されています。

V_{DD} ランプレート > 1 V/100ms
(0 V から 3.0 V まで 300 ms 未満)

詳細は表 6-3 と図 6-1 を参照してください。

電源遮断時に V_{DD} が最低 V_{DD} しきい値以下まで低下すると全ての動作は無効になり、デバイスは命令に回答しなくなります。レジスタ書き込み、書き込み、消去動作中に電源が遮断された場合、データが破損する可能性があります。図 6-2 を参照してください。

表 6-3: システム電源投入 / 遮断の推奨タイミング

シンボル	パラメータ	Min.	Max.	単位	条件
TPU-READ ⁽¹⁾	V _{DD} Min. から読み出し動作までの時間	100	—	μs	
TPU-WRITE ⁽¹⁾	V _{DD} Min. から書き込み動作までの時間	100	—	μs	
TPD ⁽¹⁾	電源遮断時間	100	—	ms	
VOFF	V _{DD} Off	—	0.3	V	0 V を推奨

Note 1: このパラメータは初期検査時と、このパラメータに影響が及ぶ可能性がある設計または製造プロセスの変更後にのみ計測されます。

図 6-1: 電源投入時のタイミング

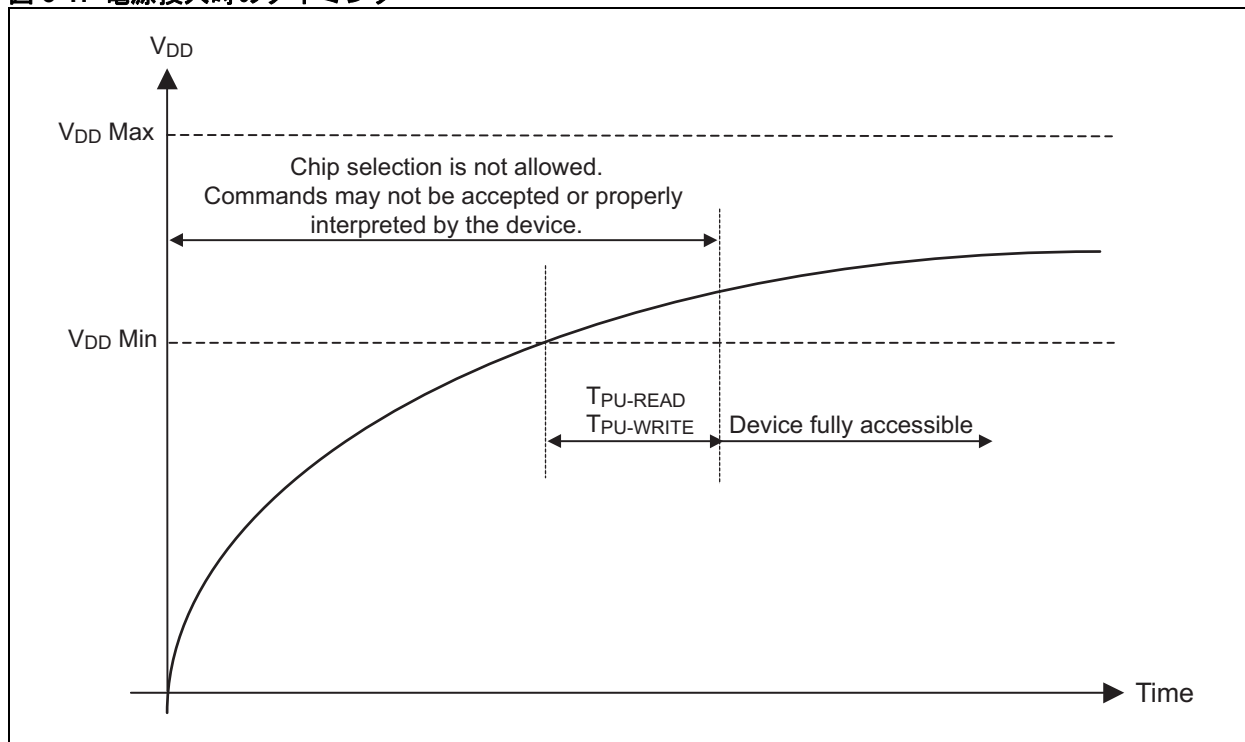
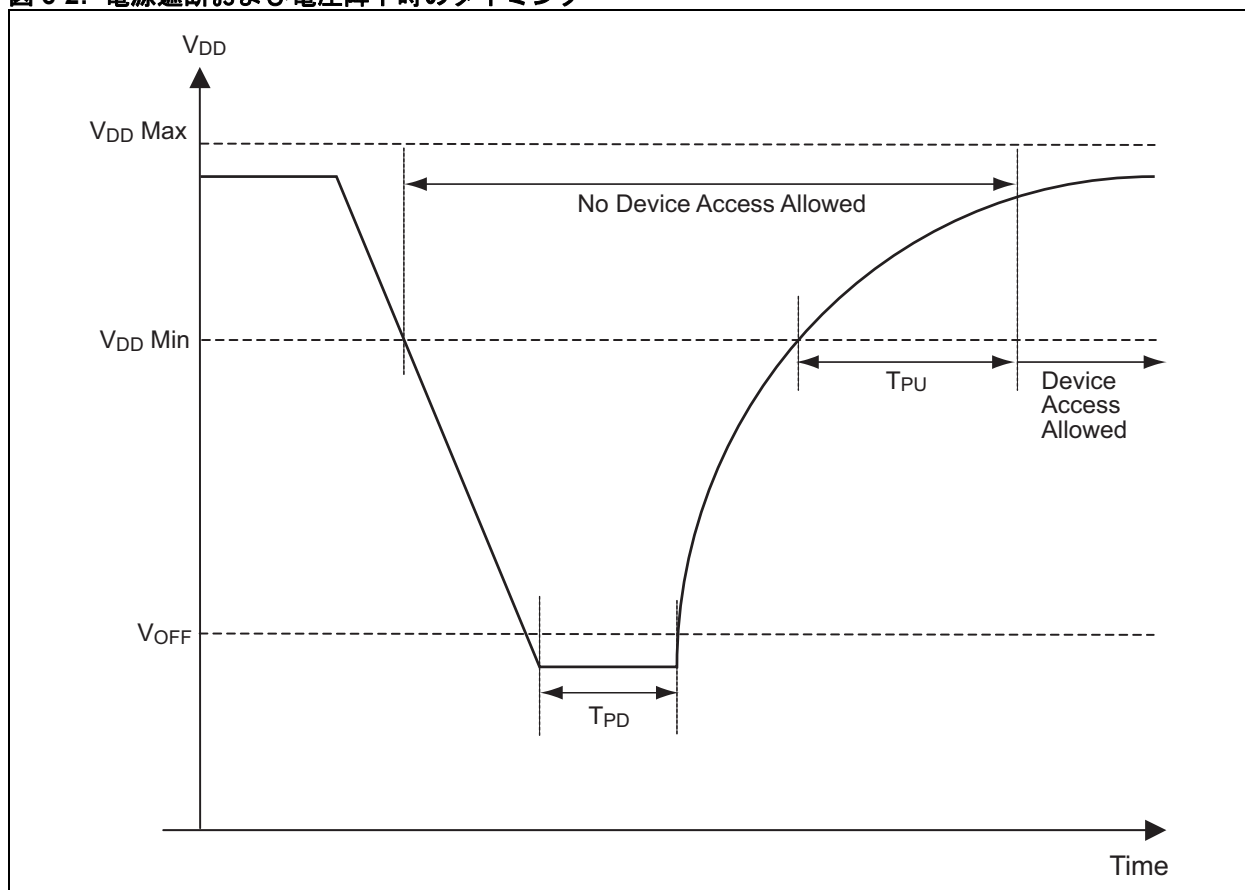


図 6-2: 電源遮断および電圧降下時のタイミング



7.0 DC特性

表 7-1: DC動作特性 (VDD = 2.3~ 3.6 V)

シンボル	パラメータ	制限値				試験条件
		MIN.	TYP.	MAX.	単位	
IDDR1	読み出し電流	—	8	15	mA	VDD = VDD MAX、 CE# = 0.1 VDD/0.9 VDD@40 MHz、 SO = オープン
IDDR2	読み出し電流	—	—	20	mA	VDD = VDD MAX、 CE# = 0.1 VDD/0.9 VDD@104 MHz、 SO = オープン
IDDW	書き込み/消去電流	—	—	25	mA	VDD MAX
ISB1	スタンバイ電流	—	15	30	mA	CE# = VDD、VIN = VDD または VSS
ISB2	スタンバイ電流	—	—	50	mA	CE# = VDD、VIN = VDD または VSS @125 °C
IDPD1	ディープパワーダウン電流	—	8	20	mA	CE# = VDD、VIN = VDD または VSS
IDPD2	ディープパワーダウン電流	—	—	30	mA	CE# = VDD、VIN = VDD または VSS @125 °C
ILI	入力リーク電流	—	—	2	mA	VIN = GND~ VDD、VDD = VDD MAX
ILO	出力リーク電流	—	—	2	mA	VOUT = GND~ VDD、VDD = VDD MAX
VIL	入力 LOW電圧	—	—	0.8	V	VDD = VDD MIN
VIH	入力 HIGH電圧	0.7 VDD	—	—	V	VDD = VDD MAX
VOL	出力 LOW電圧	—	—	0.2	V	IOL = 100 mA、VDD = VDD MIN
VOH	出力 HIGH電圧	VDD-0.2	—	—	V	IOH = -100 mA、VDD = VDD MIN

表 7-2: 静電容量 (TA = 25 °C、f=1 MHz、他のピンはオープン)

パラメータ	概要	試験条件	Max.
COUT ⁽¹⁾	出力ピン容量	VOUT = 0 V	8 pF
CIN ⁽¹⁾	入力容量	VIN = 0 V	6 pF

Note 1: このパラメータは初期検査時と、このパラメータに影響が及ぶ可能性がある設計または製造プロセスの変更後にのみ計測されます。

表 7-3: 信頼性

シンボル	パラメータ	仕様値 (Min.)	単位	試験方法
NEND ⁽¹⁾	書き込み耐性	100,000	サイクル	JEDEC 規格 A117 および AEC-Q100-005
TDR ⁽¹⁾	データ保持期間	100	年	JEDEC 規格 A103 および AEC-Q100-005
ILTH ⁽¹⁾	ラッチアップ	100 + IDD	mA	JEDEC 規格 A78 および AEC-Q100-004

Note 1: このパラメータは初期検査時と、このパラメータに影響が及ぶ可能性がある設計または製造プロセスの変更後にのみ計測されます。

表 7-4: 書き込みタイミングパラメータ (VDD = 2.3~ 3.6 V)

シンボル	パラメータ	Min.	Max.	単位
TSE	セクタ消去	—	25	ms
TBE	ブロック消去	—	25	ms
TSCE	デバイス消去	—	50	ms
Tpp ⁽¹⁾	ページ書き込み	—	1.5	ms
TPSID	セキュリティ ID 書き込み	—	1.5	ms
TWS	書き込みサスペンド レイテンシ	—	25	ms
TCONFIG	コンフィグレーション レジスタ書き込みレイテンシ	—	25	ms

Note 1: 256 バイト未満の標準条件での推定式: 書き込み時間 (ms) = 55 + (3.75 x バイト数)

8.0 AC特性

表 8-1: AC動作特性 ($V_{DD}^{(1)} = 2.3 \sim 3.6 \text{ V}$)

シンボル	パラメータ	上限周波数 : 40 MHz		上限周波数 : 80 MHz ⁽²⁾		上限周波数 : 104 MHz		単位
		Min.	Max.	Min.	Max.	Min.	Max.	
FCLK	シリアルクロック周波数	—	40	—	80	—	104	MHz
TCLK	シリアルクロック周期	—	25	—	12.5	—	9.6	ns
TCKH	シリアルクロック High 時間	11	—	5.5	—	4.5	—	ns
TCKL	シリアルクロック Low 時間	11	—	5.5	—	4.5	—	ns
TCKR ⁽³⁾	シリアルクロック立ち上がり時間 (スルーレート)	0.1	—	0.1	—	0.1	—	V/ns
TCKF ⁽³⁾	シリアルクロック立ち下がり時間 (スルーレート)	0.1	—	0.1	—	0.1	—	V/ns
TCES ⁽⁴⁾	CE# アクティブ セットアップ時間	8	—	5	—	5	—	ns
TCEH ⁽⁴⁾	CE# アクティブ ホールド時間	8	—	5	—	5	—	ns
TCHS ⁽⁴⁾	CS# 非アクティブ セットアップ時間	8	—	5	—	5	—	ns
TCHH ⁽⁴⁾	CS# 非アクティブ ホールド時間	8	—	5	—	5	—	ns
TCPH	CE# High 時間	25	—	12.5	—	12	—	ns
TCHZ	CE# High から High-Z 出力までの 時間	—	19	—	12.5	—	12	ns
TCLZ	SCK Low から Low-Z 出力までの 時間	0	—	0	—	0	—	ns
THLS	HOLD# Low セットアップ時間	8	—	5	—	5	—	ns
THHS	HOLD# High セットアップ時間	8	—	5	—	5	—	ns
THLH	HOLD# Low ホールド時間	8	—	5	—	5	—	ns
THHH	HOLD# High ホールド時間	8	—	5	—	5	—	ns
THZ	HOLD# Low から High-Z 出力ま での時間	—	8	—	8	—	8	ns
TLZ	HOLD# High から Low-Z 出力ま での時間	—	8	—	8	—	8	ns
TDS	データ入力セットアップ時間	3	—	3	—	3	—	ns
TDH	データ入力ホールド時間	4	—	4	—	4	—	ns
TOH	SCK 遷移から出力ホールドま での時間	0	—	0	—	0	—	ns
TV	SCK 遷移から出力有効までの 時間	—	8/5 ⁽⁵⁾	—	8/5 ⁽⁵⁾	—	8/5 ⁽⁵⁾	ns

Note 1: 最大動作周波数は、 V_{DD} が 2.7 ~ 3.6 V の場合に 104 MHz、2.3 ~ 3.6 V の場合に 80 MHz です。

2: 拡張温度レンジ (最高 125 °C) の最大動作周波数は 80 MHz です。

3: 最大立ち上がり / 立ち下がり時間は、TCKH および TCKL 要件によって制限される場合があります。

4: SCK を基準とする

5: 30 pF/10 pF

The timing diagram illustrates the relationship between several signals: **CE#** (Chip Enable), **SCK** (Serial Clock), **SO** (Serial Output), **SI** (Serial Input), and **HOLD#** (Hold Enable). The diagram is divided into two sections by a break symbol (SS). Key timing parameters are indicated:

- T_{HHH}** : High-to-high setup time for SCK relative to CE#.
- T_{HLS}** : High-to-low setup time for SCK relative to CE#.
- T_{HHS}** : High-to-high setup time for SCK relative to HOLD#.
- T_{HLH}** : High-to-low hold time for SCK relative to CE#.
- T_{HZ}** : High-to-low hold time for SCK relative to SI.
- T_{LZ}** : Low-to-high hold time for SCK relative to SI.

[illegible]

The diagram illustrates the timing relationships for the SIO[3:0] interface. It shows three signals: CE# (Chip Enable), SCK (Serial Clock), and SIO[3:0] (Serial Data). The timing parameters are defined as follows:

- T_{SCKH} : SCK high pulse width.
- T_{SCKL} : SCK low pulse width.
- T_{CLZ} : Time from the falling edge of SCK to the start of the data output.
- T_{OH} : Output hold time after the last clock edge.
- T_V : Setup time before the first clock edge.
- T_{CHZ} : Time from the rising edge of CE# to the start of the data output.
- MSB**: Most Significant Bit.
- LSB**: Least Significant Bit.

図 8-4: リセット タイミング

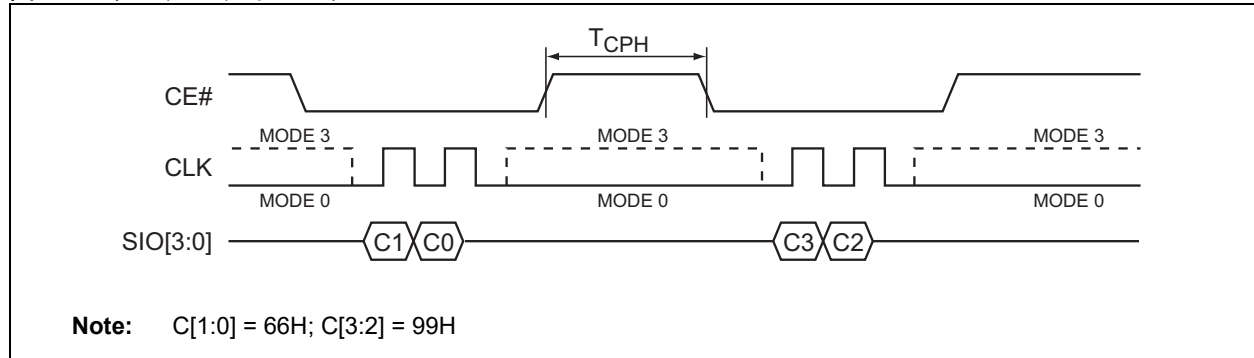


表 8-2: リセット タイミング パラメータ

TR(I)	パラメータ	MIN.	MAX.	単位
TRECR	リセットから読み出しまでの時間 (データ処理なし)	—	20	ns
TRECP	書き込みまたはサスペンドからのリセットリカバリ	—	100	μs
TRECE	消去からのリセットリカバリ	—	1	ms
TRST	リセットパルス幅 (ハードウェア リセット)	100	—	ns
TRHZ	リセットから High-Z 出力までの時間	—	105	ns

図 8-5: ハードウェア リセットのタイミング

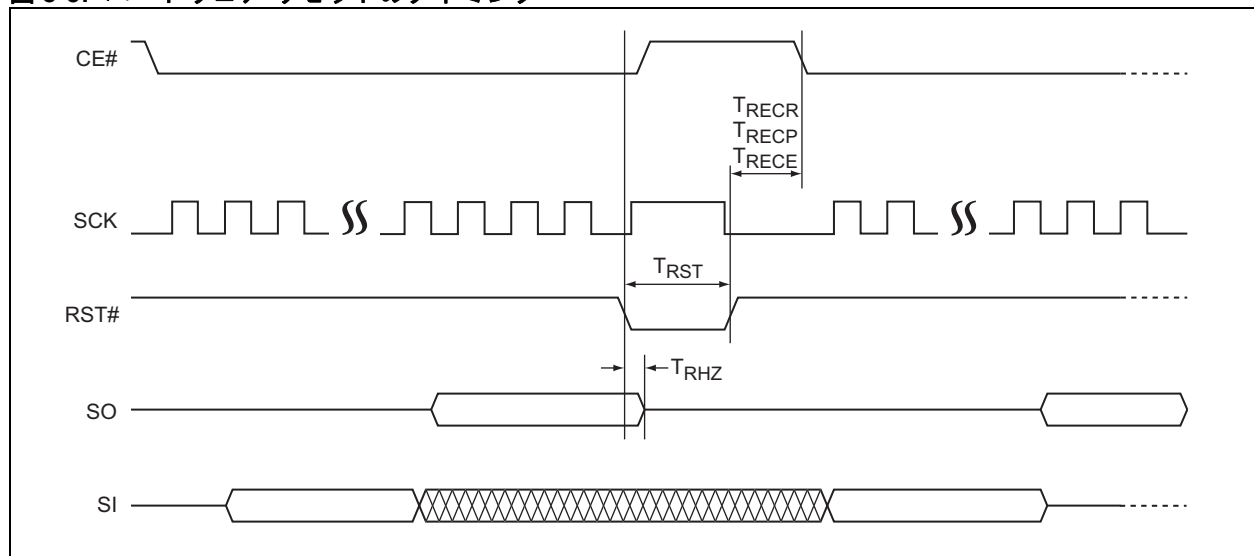
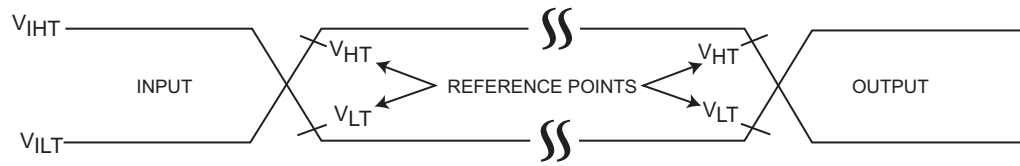


図 8-6: AC入 出力波形規定



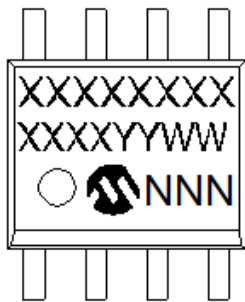
AC 試験入力の駆動電圧は、論理「1」の場合に V_{IH} ($0.9V_{DD}$)、論理「0」の場合に V_{IL} ($0.1V_{DD}$) です。入力と出力の計測基準点は、 V_{HT} ($0.6V_{DD}$) と V_{LT} ($0.4V_{DD}$) です。入力の立ち上がり / 立ち下がり時間 (10% $\leftrightarrow$ 90%) は 3 ns 未満です。

Note: V_{HT} - V_{HIGH} Test
 V_{LT} - V_{LOW} Test
 V_{IH} - V_{INPUT} HIGH Test
 V_{IL} - V_{INPUT} LOW Test

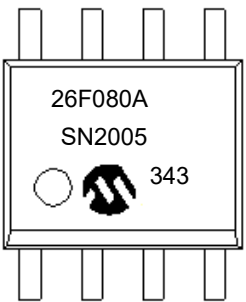
9.0 パッケージ情報

9.1 パッケージのマーキング

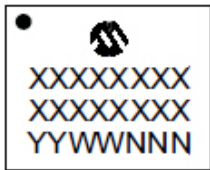
8ピンSOIC (3.90 mm)



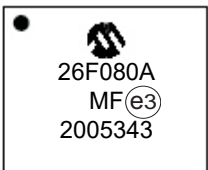
例



8ピンWDFN (5x6 mm)



例



製品番号	1 行目のマーキングコード	
	SOIC	WDFN
SST26VF080A	26F080A	26F080A

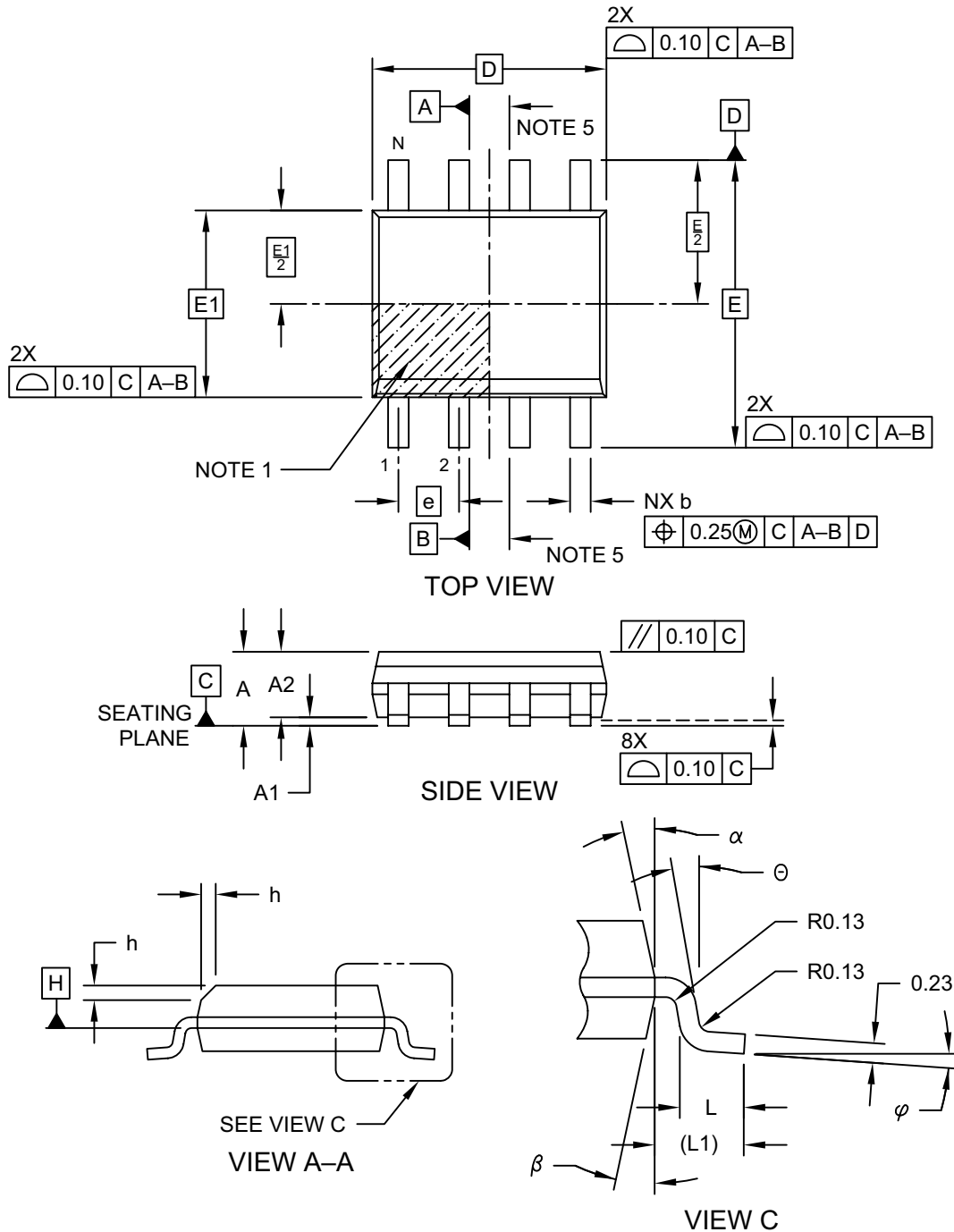
凡例：	XX...X	製品番号または製品コード
	Y	年コード (西暦の下 1 桁)
	YY	年コード (西暦の下 2 桁)
	WW	週コード (1 月 1 日の週を「01」とする)
	NNN	英数字のトレーサビリティコード
	(e3)	無光沢スズ (Sn) めっきの使用を示す鉛フリーの JEDEC® マーク

- Note:** 非常に小さなパッケージの場合、鉛フリー JEDEC® マーク (e3) は外箱またはリールラベルにのみ表記しています。
- Note:** Microchip 社の製品番号が 1 行に収まりきらない場合は複数行を使います。その場合、お客様固有情報に使える文字数が制限されます。

9.2 パッケージ図面

8-Lead Plastic Small Outline (SN) - Narrow, 3.90 mm (.150 In.) Body [SOIC]

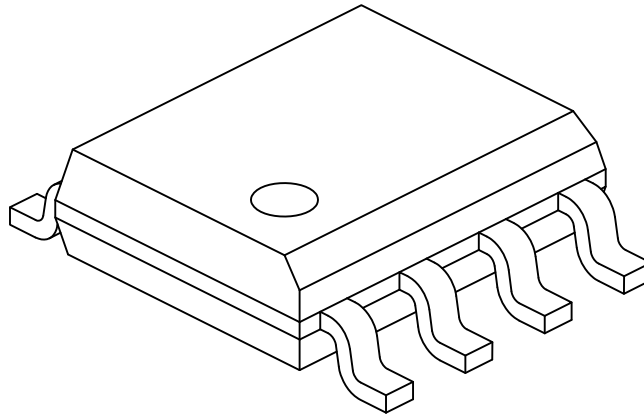
Note: For the most current package drawings, please see the Microchip Packaging Specification located at <http://www.microchip.com/packaging>



Microchip Technology Drawing No. C04-057-SN Rev F Sheet 1 of 2

8-Lead Plastic Small Outline (SN) - Narrow, 3.90 mm (.150 In.) Body [SOIC]

Note: For the most current package drawings, please see the Microchip Packaging Specification located at <http://www.microchip.com/packaging>



Dimension Limits	Units	MILLIMETERS		
		MIN	NOM	MAX
Number of Pins	N	8		
Pitch	e	1.27 BSC		
Overall Height	A	-	-	1.75
Molded Package Thickness	A2	1.25	-	-
Standoff §	A1	0.10	-	0.25
Overall Width	E	6.00 BSC		
Molded Package Width	E1	3.90 BSC		
Overall Length	D	4.90 BSC		
Chamfer (Optional)	h	0.25	-	0.50
Foot Length	L	0.40	-	1.27
Footprint	L1	1.04 REF		
Foot Angle	φ	0°	-	8°
Lead Thickness	c	0.17	-	0.25
Lead Width	b	0.31	-	0.51
Mold Draft Angle Top	α	5°	-	15°
Mold Draft Angle Bottom	β	5°	-	15°

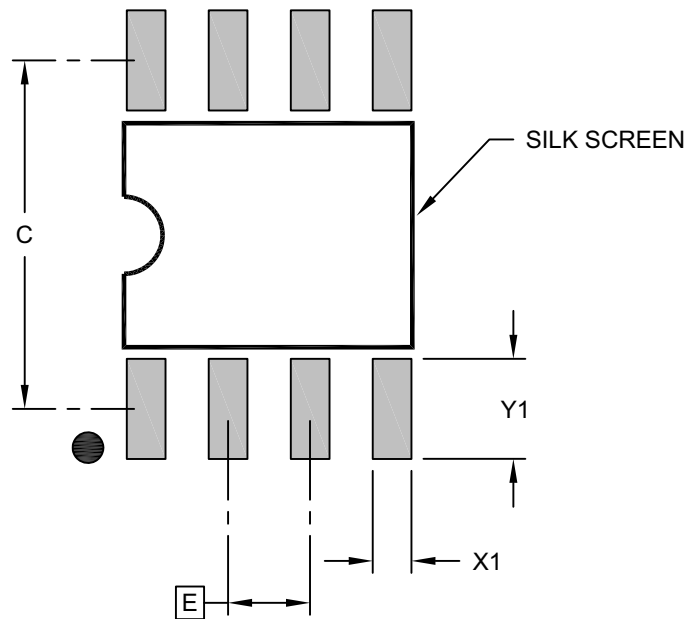
Notes:

- Pin 1 visual index feature may vary, but must be located within the hatched area.
- § Significant Characteristic
- Dimensions D and E1 do not include mold flash or protrusions. Mold flash or protrusions shall not exceed 0.15mm per side.
- Dimensioning and tolerancing per ASME Y14.5M
BSC: Basic Dimension. Theoretically exact value shown without tolerances.
REF: Reference Dimension, usually without tolerance, for information purposes only.
- Datums A & B to be determined at Datum H.

Microchip Technology Drawing No. C04-057-SN Rev F Sheet 2 of 2

8-Lead Plastic Small Outline (SN) - Narrow, 3.90 mm (.150 In.) Body [SOIC]

Note: For the most current package drawings, please see the Microchip Packaging Specification located at <http://www.microchip.com/packaging>

**RECOMMENDED LAND PATTERN**

Units		MILLIMETERS		
Dimension Limits		MIN	NOM	MAX
Contact Pitch	E	1.27 BSC		
Contact Pad Spacing	C		5.40	
Contact Pad Width (X8)	X1			0.60
Contact Pad Length (X8)	Y1			1.55

Notes:

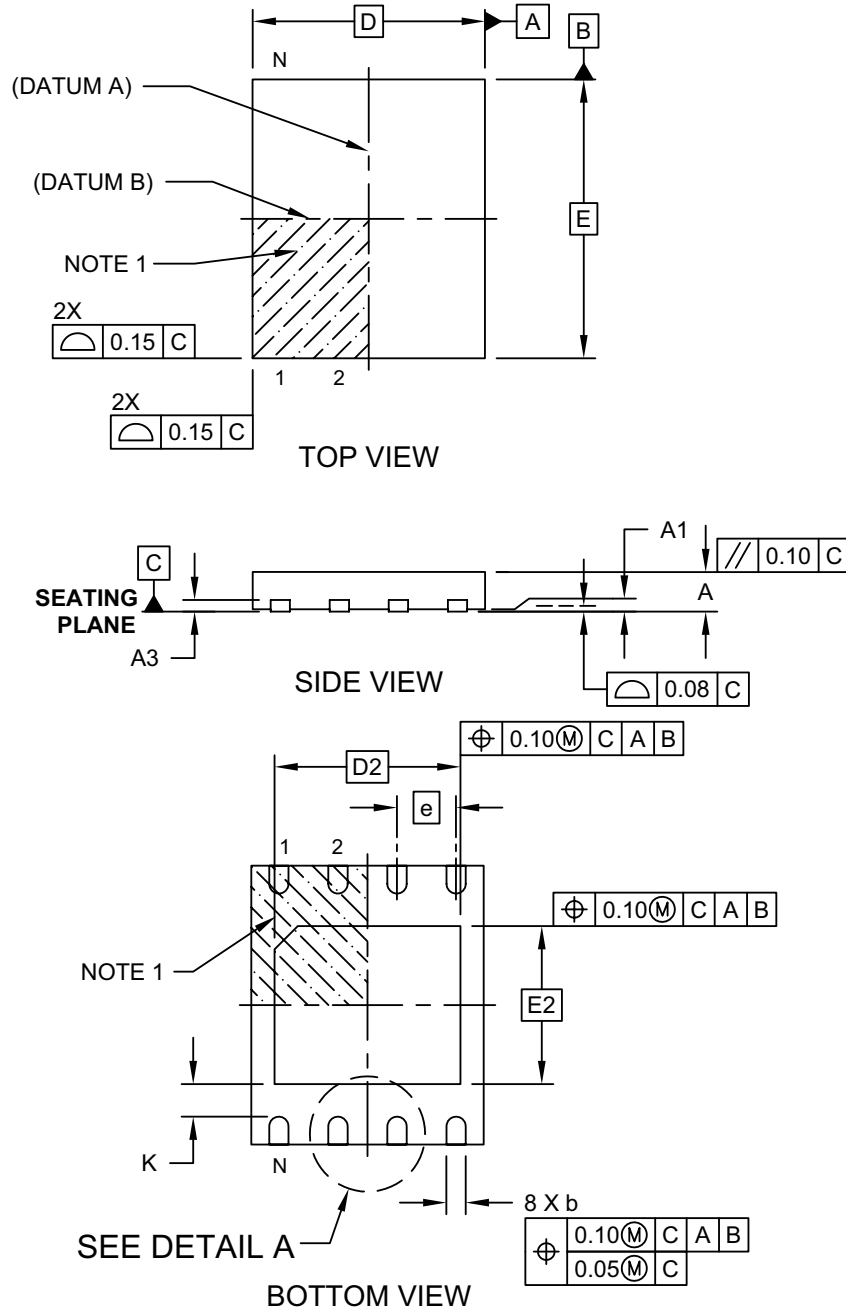
1. Dimensioning and tolerancing per ASME Y14.5M

BSC: Basic Dimension. Theoretically exact value shown without tolerances.

Microchip Technology Drawing C04-2057-SN Rev F

8-Lead Plastic Very, Very Thin Small Outline No-Lead (MF) - 5x6 mm Body [WDFN]

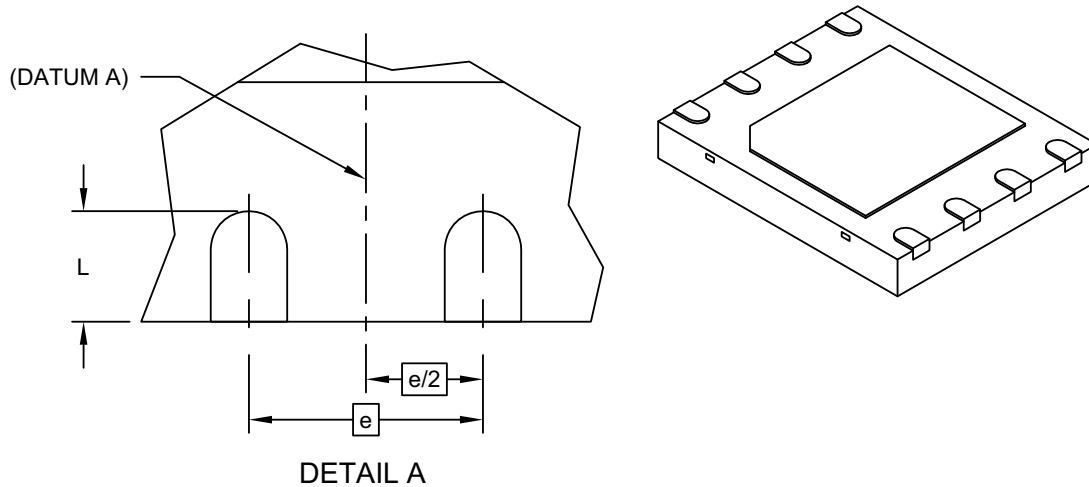
Note: For the most current package drawings, please see the Microchip Packaging Specification located at <http://www.microchip.com/packaging>



Microchip Technology Drawing C04-210B Sheet 1 of 2

8-Lead Plastic Very, Very Thin Small Outline No-Lead (MF) - 5x6 mm Body [WDFN]

Note: For the most current package drawings, please see the Microchip Packaging Specification located at <http://www.microchip.com/packaging>



Units		MILLIMETERS		
Dimension Limits		MIN	NOM	MAX
Number of Terminals	N	8		
Pitch	e	1.27 BSC		
Overall Height	A	0.70	0.75	0.80
Standoff	A1	0.00	0.02	0.05
Terminal Thickness	A3	0.20 REF		
Overall Width	D	5.00 BSC		
Exposed Pad Width	D2	4.00 BSC		
Overall Length	E	6.00 BSC		
Exposed Pad Length	E2	3.40 BSC		
Terminal Width	b	0.35	0.42	0.48
Terminal Length	L	0.50	0.60	0.70
Terminal-to-Exposed-Pad	K	0.20	-	-

Notes:

- Pin 1 visual index feature may vary, but must be located within the hatched area.
- Package is saw singulated
- Dimensioning and tolerancing per ASME Y14.5M

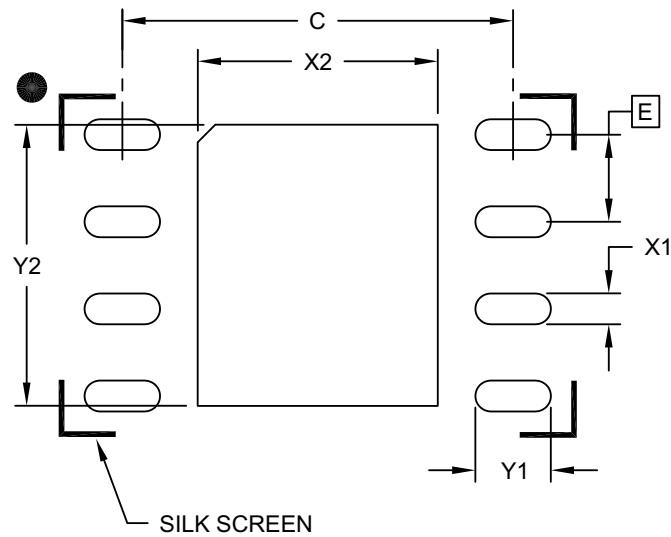
BSC: Basic Dimension. Theoretically exact value shown without tolerances.

REF: Reference Dimension, usually without tolerance, for information purposes only.

Microchip Technology Drawing C04-210B Sheet 2 of 2

8-Lead Plastic Very, Very Thin Small Outline No-Lead (MF) - 5x6 mm Body [WDFN]

Note: For the most current package drawings, please see the Microchip Packaging Specification located at <http://www.microchip.com/packaging>



RECOMMENDED LAND PATTERN

		Units	MILLIMETERS		
Dimension Limits			MIN	NOM	MAX
Contact Pitch	E		1.27 BSC		
Optional Center Pad Width	X2				3.50
Optional Center Pad Length	Y2				4.10
Contact Pad Spacing	C			5.70	
Contact Pad Width (X8)	X1				0.45
Contact Pad Length (X8)	Y1				1.10

Notes:

1. Dimensioning and tolerancing per ASME Y14.5M

BSC: Basic Dimension. Theoretically exact value shown without tolerances.

Microchip Technology Drawing C04-2210A

10.0 改訂履歴

リビジョン C (2021 年 1 月)

図 5-13 を更新しました。

「製品識別システム (車載対応品)」を追加しました。

表 2-1 に Note 2 を追加しました。

SOIC パッケージ図面を更新しました。

リビジョン B (2020 年 2 月)

表 7-1、表 7-3、PIS を更新しました。

リビジョン A(2019 年 6 月)

本書の初版です。

Microchip 社のウェブサイト

Microchip 社はウェブサイト (www.microchip.com) を通してオンライン サポートを提供しています。当ウェブサイトでは、お客様に役立つ情報やファイルを簡単に見つけ出せます。インターネット ブラウザから以下の内容がご覧になります。

- **製品サポート** - データシートとエラッタ、アプリケーション ノートとサンプル プログラム、設計リソース、ユーザガイドとハードウェア サポート文書、最新のソフトウェアと過去のソフトウェア
- **技術サポート** - よく寄せられる質問 (FAQ)、技術サポートのご依頼、オンライン ディスカッション グループ、Microchip 社のコンサルタント プログラムおよびメンバーリスト
- **ご注文とお問い合わせ** - 製品セレクトと注文ガイド、最新プレスリリース、セミナー / イベントの一覧、お問い合わせ先 (営業所 / 販売代理店) の一覧

顧客変更通知サービス

Microchip 社の顧客変更通知サービスは、お客様に Microchip 社製品の最新情報をお届けする配信サービスです。ご興味のある製品ファミリまたは開発ツールに関する変更、更新、リビジョン、エラッタ情報をいち早くメールにてお知らせします。

Microchip 社のウェブサイト (www.microchip.com) にアクセスし、[Customer Change Notification] からご登録ください。

カスタマサポート

Microchip 社製品をお使いのお客様は、以下のチャネルからサポートをご利用になれます。

- 正規代理店
- 技術サポート

サポートは正規代理店にお問い合わせください。各地の営業所もご利用になれます。本書の最後のページに各国の営業所の一覧を記載しています。

技術サポートは以下のウェブページからもご利用になれます。

<http://microchip.com/support>

製品識別システム (車載非対応品)

ご注文や製品の価格、納期につきましては弊社または正規代理店にお問い合わせください。

製品番号			[X] ⁽¹⁾	-XXX	X	/XX
デバイス			テープ&リール 識別記号	動作周波数	温度	パッケージ
デバイス	SST26VF080A	= 8 Mbit、2.5 V/3.0 V、SQI フラッシュメモリ WP#/Hold# ピンは電源投入時に有効				
テープ&リール 識別記号	空欄 T	= 標準パッケージ (チューブまたはトレイ) = テープ&リール ⁽¹⁾				
動作周波数	104 80	= 104 MHz = 80 MHz				
温度レンジ	I E	= -40 ~ +85 °C (産業用温度レンジ) = -40 ~ +125 °C (拡張温度レンジ)				
パッケージ	SN MF	= SOIC (3.90 mmボディ)、8ピン = WDFN (6x5 mmボディ)、8ピン				

有効な組み合わせ：

- a) SST26VF080A-104I/SN
- b) SST26VF080AT-104I/SN
- c) SST26VF080A-104I/MF
- d) SST26VF080AT-104I/MF
- e) SST26VF080A-80E/SN
- f) SST26VF080AT-80E/SN
- g) SST26VF080A-80E/MF
- h) SST26VF080AT-80E/MF

NOTE 1: テープ&リールの識別情報はカタログの製品番号説明にのみ記載しています。これは製品の注文時に使う識別情報であり、デバイスのパッケージには印刷していません。テープ & リールが選択できるパッケージの在庫 / 供給状況は正規代理店にお問い合わせください。

製品識別システム (車載対応品)

ご注文や製品の価格、納期につきましては弊社または正規代理店にお問い合わせください。

製品番号	[X] ⁽¹⁾	-XXX	X	/XX	XXX ^(2,3)
デバイス	テープ&リール 識別記号	動作周波数	温度	パッケージ	バリエーション
デバイス	SST26VF080A	= 8 Mbit、2.5 V/3.0 V、SQI フラッシュメモリ WP#/Hold# ピンは電源投入時に有効			
テープ & リール 識別記号	空欄 T	= 標準パッケージ (チューブまたはトレイ) = テープ & リール ⁽¹⁾			
動作周波数	104 80	= 104 MHz = 80 MHz			
温度レンジ	I E	= -40 ~ +85 °C (AEC-Q100 グレード 3) = -40 ~ +125 °C (AEC-Q100 グレード 1)			
パッケージ	SN MF	= SOIC (3.90 mm ボディ)、8 ピン = WDFN (6x5 mm ボディ)、8 ピン			
バリエーション ^(2,3)	VAO VXX	= 標準車載対応デバイス = お客様専用車載対応デバイス			

有効な組み合わせ：

- a) SST26VF080AT-80E/MF70SVAO
- b) SST26VF080AT-80E/SN70SVAO
- c) SST26VF080A-80E/MF70SVAO
- d) SST26VF080A-80E/SN70SVAO

- NOTE 1:** テープ&リールの識別情報はカタログの製品番号説明にのみ記載しています。これは製品の注文時に使う識別情報であり、デバイスのパッケージには印刷していません。テープ & リールが選択できるパッケージの在庫 / 供給状況は正規代理店にお問い合わせください。
- 2:** VAO/VXX 車載対応バリエーションは、車載アプリケーション向け AEC-Q100 要件に従って設計、製造、試験、承認されています。
- 3:** PPAP をご要望のお客様には、お客様専用の製品番号を提供いたします。PPAP は VAO 製品番号向けには提供していません。

11.0 補遺

表 11-1: SFDP (SERIAL FLASH DISCOVERABLE PARAMETER) (1 / 13)

アドレス	ビット アドレス	データ	注釈
SFDP ヘッダ			
SFDP ヘッダ : 第 1 DWORD			
00H	A7:A0	53H	SFDP シグネチャ SFDP シグネチャ = 50444653H
01H	A15:A8	46H	
02H	A23:A16	44H	
03H	A31:A24	50H	
SFDP ヘッダ : 第 2 DWORD			
04H	A7:A0	06H	SFDP マイナー リビジョン番号
05H	A15:A8	01H	SFDP メジャー リビジョン番号
06H	A23:A16	02H	パラメータヘッダの数 (NPH) = 3
07H	A31:A24	FFH	未使用、FFH を格納、変更不可
パラメータヘッダ			
JEDEC フラッシュ パラメータヘッダ : 第 1 DWORD			
08H	A7:A0	00H	パラメータ ID LSB 番号 このフィールドが 00H に設定されている場合、JEDEC 指定ヘッダである事を示します。ベンダー指定ヘッダの場合、このフィールドをベンダーの製造者 ID に設定する必要があります。
09H	A15:A8	06H	パラメータ テーブル マイナー リビジョン番号 マイナー リビジョンとは、明確化ための変更、または既存の予約済み領域内にパラメータを追加する変更です。マイナー リビジョンは SFDP の全体的な構造を変更しません。マイナー リビジョン番号は 00H から始まります。
0AH	A23:A16	01H	パラメータ テーブル メジャー リビジョン番号 メジャー リビジョンとは、SFDP を再編成する必要がある変更、または予約済みではなかった領域にパラメータを追加する変更です。メジャー リビジョンの場合、以前定義されていた SFDP テーブル内のパラメータを取得するためにコード (BIOS/ ファームウェア) またはハードウェアを変更する必要があります。メジャー リビジョン番号は 01H から始まります。
0BH	A31:A24	10H	パラメータ テーブル長 パラメータ テーブル内の DWORD の数です。
JEDEC フラッシュ パラメータヘッダ : 第 2 DWORD			
0CH	A7:A0	30H	パラメータ テーブル ポインタ (PTP)
0DH	A15:A8	00H	このヘッダのパラメータ テーブルの SFDP 構造内での開始位置を指定する 24 ビットアドレスです。アドレスは DWORD 境界位置である必要があります。
0EH	A23:A16	00H	
0FH	A31:A24	FFH	パラメータ ID MSB 番号
JEDEC セクタマップ パラメータヘッダ : 第 3 DWORD			
10H	A7:A0	81H	パラメータ ID LSB 番号 セクタマップ、機能固有テーブルとして 81H を割り当て
11H	A15:A8	00H	パラメータ テーブル マイナー リビジョン番号 マイナー リビジョンとは、明確化ための変更、または既存の予約済み領域内にパラメータを追加する変更です。マイナー リビジョンは SFDP の全体的な構造を変更しません。マイナー リビジョン番号は 00H から始まります。
12H	A23:A16	01H	パラメータ テーブル メジャー リビジョン番号 メジャー リビジョンとは、SFDP を再編成する必要がある変更、または予約済みではなかった領域にパラメータを追加する変更です。メジャー リビジョンの場合、以前定義されていた SFDP テーブル内のパラメータを取得するためにコード (BIOS/ ファームウェア) またはハードウェアを変更する必要があります。メジャー リビジョン番号は 01H から始まります。

表 11-1: SFDP (SERIAL FLASH DISCOVERABLE PARAMETER) (2 / 1 3)

アドレス	ビット アドレス	データ	注釈
13H	A31:A24	02H	パラメータ テーブル長 パラメータ テーブル内の DWORD の数です。
JEDEC セクタマップ パラメータヘッダ: 第 4 DWORD			
14H	A7:A0	00H	パラメータ テーブル ポインタ (PTP)
15H	A15:A8	01H	このヘッダのパラメータ テーブルの SFDP 構造内での開始位置を指定する 24 ビットアドレスです。アドレスは DWORD 境界位置である必要があります。
16H	A23:A16	00H	
17H	A31:A24	FFH	パラメータ ID MSB 番号
Microchip (ベンダー) パラメータヘッダ: 第 5 DWORD			
18H	A7:A0	BFH	ID 番号 製造者 ID (ベンダー固有ヘッダ)
19H	A15:A8	00H	パラメータ テーブル マイナー リビジョン番号
1AH	A23:A16	01H	パラメータ テーブル メジャー リビジョン番号、リビジョン 1.0
1BH	A31:A24	13H	パラメータ テーブル長、19x ダブルワード
Microchip (ベンダー) パラメータヘッダ: 第 6 DWORD			
1CH	A7:A0	00H	パラメータ テーブル ポインタ (PTP)
1DH	A15:A8	02H	このヘッダのパラメータ テーブルの SFDP 構造内での開始位置を指定する 24 ビットアドレスです。アドレスは DWORD 境界位置である必要があります。
1EH	A23:A16	00H	
1FH	A31:A24	01H	バンク番号の指定に使用 (ベンダー固有)
JEDEC フラッシュ パラメータ テーブル:			
JEDEC フラッシュ パラメータ テーブル: 第 1 DWORD			
30H	A1:A0	FDH	ブロック / セクタ消去サイズ 00: 予約済み 01: 4K バイト消去 10: 予約済み 11: この設定は、4K バイト消去が利用できない場合にのみ使います。
	A2		書き込み粒度 0: 1バイト書き込みが可能なデバイスまたは64バイト(32ワード)未満のバッファによるバッファ書き込みが可能なデバイス 1: 64バイト(32ワード)以上のバッファによるバッファ書き込みが可能なデバイス
	A3		揮発性ステータス レジスタ 0: ターゲット フラッシュは不揮発性ステータスビットを備えている(書き込み / 消去命令は、ステータス レジスタが電源投入のたびに書き込まれる事を要求しない) 1: ターゲット フラッシュは揮発性ステータスビットを備えている
	A4		揮発性ステータス レジスタへの書き込みに使う書き込みイネーブル オペコード (命令) の選択 0: 0x50(bit 3 が「1」に設定されている場合にステータス レジスタ書き込みを有効にする) 1: 0x06 (bit 3 (A3) が「1」に設定されている場合にステータス レジスタ書き込みを有効にする)
	A7:A5		未使用、111b を格納、変更不可
31H	A15:A8	20H	4Kバイト(セクタ)消去オペコード

表 11-1: SFDP (SERIAL FLASH DISCOVERABLE PARAMETER) (3 / 1 3)

アドレス	ビット アドレス	データ	注釈
32H	A16	F1H	(1-1-2) 高速読み出しのサポート 0: (1-1-2) 高速読み出しをサポートしない 1: (1-1-2) 高速読み出しをサポートする
	A18:A17		アドレスバイト数 フラッシュアレイの読み出し、書き込み、消去のアドレス指定に使うバイトの数 00: 3 バイトアドレス指定のみ 01: 3 または 4 バイトアドレス指定 (例: 既定値は 3 バイトモードで、命令により 4 バイトモードに移行) 10: 4 バイトアドレス指定のみ 11: 予約済み
	A19		DTR (Double Transfer Rate) のサポート デバイスがいずれかのタイプの DTR をサポートするかどうかを示します。 0: DTR をサポートしない 1: DTR をサポートする
	A20		(1-2-2) 高速読み出しのサポート デバイスが (1-2-2) 高速読み出し (1x 入力オペコード、2x 入力アドレス、2x 出力データ) をサポートするかどうかを示します。 0: (1-2-2) 高速読み出しをサポートしない 1: (1-2-2) 高速読み出しをサポートする
	A21		(1-4-4) 高速読み出しのサポート デバイスが (1-4-4) 高速読み出し (1x 入力オペコード、4x 入力アドレス、4x 出力データ) をサポートするかどうかを示します。 0: (1-4-4) 高速読み出しをサポートしない 1: (1-4-4) 高速読み出しをサポートする
	A22		(1-1-4) 高速読み出しのサポート デバイスが (1-1-4) 高速読み出し (1x 入力オペコード、1x 入力アドレス、4x 出力データ) をサポートするかどうかを示します。 0: (1-1-4) 高速読み出しをサポートしない 1: (1-1-4) 高速読み出しをサポートする
	A23		未使用、「1」を格納、変更不可
33H	A31:A24	FFH	未使用、FF を格納、変更不可
JEDEC フラッシュ パラメータ テーブル: 第 2 DWORD			
34H	A7:A0	FFH	フラッシュメモリ容量 SST26VF080A = 007FFFFFFH
35H	A15:A8	FFH	
36H	A23:A16	7FH	
37H	A31:A24	00H	
JEDEC フラッシュ パラメータ テーブル: 第 3 DWORD			
38H	A4:A0	44H	(1-4-4) 高速読み出しの出力前待機機ステート (ダミークロック) 数 00100b: 4xダミークロック(16xダミービット)がクワッド入力アドレスフェイズ命令で必要
	A7:A5		(1-4-4) 高速読み出しの Mode ビット数 010b: (1-4-4)高速読み出し命令で2xダミークロック(8x Modeビット)が必要
39H	A15:A8	EBH	(1-4-4) 高速読み出しオペコード (1-4-4) 高速読み出し命令のオペコード

表 11-1: SFDP (SERIAL FLASH DISCOVERABLE PARAMETER) (4 / 1 3)

アドレス	ビット アドレス	データ	注釈
3AH	A20:A16	08H	(1-1-4) 高速読み出しの出力前待機ステート (ダミークロック) 数 01000b: (1-1-4) 高速読み出し命令で 8x ダミービットが必要
	A23:A21		(1-1-4) 高速読み出しの Mode ビット数 000b: (1-1-4) 高速読み出し命令で Mode ビットは不要
3BH	A31:A24	6BH	(1-1-4) 高速読み出しオペコード (1-1-4) 高速読み出し命令のオペコード
JEDEC フラッシュ パラメータ テーブル: 第 4 DWORD			
3CH	A4:A0	08H	(1-1-2) 高速読み出しの出力前待機ステート (ダミークロック) 数 01000b: (1-1-2) 高速読み出し命令で 8x ダミークロックが必要
	A7:A5		(1-1-2) 高速読み出しの Mode ビット数 000b: (1-1-2) 高速読み出し命令で Mode ビットは不要
3DH	A15:A8	3BH	(1-1-2) 高速読み出しオペコード (1-1-2) 高速読み出し命令のオペコード
3EH	A20:A16	80H	(1-2-2) 高速読み出しの出力前待機ステート (ダミークロック) 数 00000b: 0 クロックのダミーサイクル
	A23:A21		(1-2-2) 高速読み出しの Mode ビット数 (クロック数) 100b: 4 クロックの Mode ビットが必要
3FH	A31:A24	BBH	(1-2-2) 高速読み出しオペコード (1-2-2) 高速読み出し命令のオペコード
JEDEC フラッシュ パラメータ テーブル: 第 5 DWORD			
40H	A0	FEH	(2-2-2) 高速読み出しのサポート デバイスが (2-2-2) 高速読み出し (2x 入力オペコード、2x 入力アドレス、2x 出力データ) をサポートするかどうかを示します。 0: (2-2-2) 高速読み出しをサポートしない 1: (2-2-2) 高速読み出しをサポートする
	A3:A1		予約済み全てのビットは既定値「1」に設定されます。
	A4		(4-4-4) 高速読み出しのサポート デバイスが高速読み出し (4x 入力オペコード、4x 入力アドレス、4x 出力データ) をサポートするかどうかを示します。 0: (4-4-4) 高速読み出しをサポートしない 1: (4-4-4) 高速読み出しをサポートする
	A7:A5		予約済み全てのビットは既定値「1」に設定されます。
41H	A15:A8	FFH	予約済み全てのビットは既定値「1」に設定されます。
42H	A23:A16	FFH	予約済み全てのビットは既定値「1」に設定されます。
43H	A31:A24	FFH	予約済み全てのビットは既定値「1」に設定されます。
JEDEC フラッシュ パラメータ テーブル: 第 6 DWORD			
44H	A7:A0	FFH	予約済み全てのビットは既定値「1」に設定されます。
45H	A15:A8	FFH	予約済み全てのビットは既定値「1」に設定されます。

表 11-1: SFDP (SERIAL FLASH DISCOVERABLE PARAMETER) (5 / 13)

アドレス	ビット アドレス	データ	注釈
46H	A20:A16	00H	(2-2-2) 高速読み出しの出力前待機ステート (ダミークロック) 数 00000b: ダミービットは不要
	A23:A21		(2-2-2) 高速読み出しの Mode ビット数 000b: Mode ビットは不要
47H	A31:A24	FFH	(2-2-2) 高速読み出しオペコード (2-2-2) 高速読み出し命令のオペコード (非サポート)
JEDEC フラッシュ パラメータ テーブル: 第 7 DWORD			
48H	A7:A0	FFH	予約済み全てのビットは既定値「1」に設定されます。
49H	A15:A8	FFH	予約済み全てのビットは既定値「1」に設定されます。
4AH	A20:A16	44H	(4-4-4) 高速読み出しの出力前待機ステート (ダミークロック) 数 00100b: (4-4-4) 高速読み出し命令で 4x ダミークロックが必要
	A23:A21		(4-4-4) 高速読み出しの Mode ビット数 010b: (4-4-4) 高速読み出し命令で 2 クロックの Mode ビットが必要
4BH	A31:A24	0BH	(4-4-4) 高速読み出しオペコード (4-4-4) 高速読み出しのオペコード
JEDEC フラッシュ パラメータ テーブル: 第 8 DWORD			
4CH	A7:A0	0CH	セクタタイプ 1 サイズ 4K バイト、セクタ / ブロック サイズ = 2^N バイト
4DH	A15:A8	20H	セクタタイプ 1 オペコード セクタタイプ 1 サイズによって指定された数のバイトを消去するために使うオペコード
4EH	A23:A16	0FH	セクタタイプ 2 サイズ 32K バイト、セクタ / ブロック サイズ = 2^N バイト
4FH	A31:A24	D8H	セクタタイプ 2 オペコード セクタタイプ 2 サイズによって指定された数のバイトを消去するために使うオペコード
JEDEC フラッシュ パラメータ テーブル: 第 9 DWORD			
50H	A7:A0	10H	セクタタイプ 3 サイズ 64K バイト、セクタ / ブロック サイズ = 2^N バイト
51H	A15:A8	D8H	セクタタイプ 3 オペコード セクタタイプ 3 サイズによって指定された数のバイトを消去するために使うオペコード
52H	A23:A16	00H	セクタタイプ 4 サイズ 64K バイト、セクタ / ブロック サイズ = 2^N バイト
53H	A31:A24	00H	セクタタイプ 4 オペコード セクタタイプ 4 サイズによって指定された数のバイトを消去するために使うオペコード
JEDEC フラッシュ パラメータ テーブル: 第 10 DWORD			
54H	A3:A0	20H	typ. 消去時間から max. 消去時間への倍数 max. 時間 = $2 \times (\text{count} + 1) \times \text{typ. 消去時間}$ count = 0 A3:A0 = 0000b
	A7:A4		消去タイプ 1 の typ. 消去時間 typ. 時間 = $(\text{count} + 1) \times \text{unit}$ 1 ~ 32 ms、16 ~ 512 ms、128 ~ 4096 ms、1 ~ 32 s 10:9 unit (00b: 1 ms、01b: 16 ms、10b: 128 ms、11b: 1s) A8:A4 COUNT = 18 = 10010b A10:A9 unit = 1 ms = 00b

表 11-1: SFDP (SERIAL FLASH DISCOVERABLE PARAMETER) (6 / 1 3)

アドレス	ビット アドレス	データ	注釈
55H	A10:A8	91H	A10:A8 = 001b
	A15:A11		消去タイプ 2 の typ. 消去時間 typ. 時間 = (count +1) x unit 1 ~ 32 ms、16 ~ 512 ms、128 ~ 4096 ms、1 ~ 32 s 17:16 unit (00b: 1 ms 、01b:16 ms、10b:128 ms、11b:1s) A15:A11 count = 18 = 10010b A17:A16 unit = 1 ms = 00b
56H	A17:A16	48H	A17:A16 = 00b
	A23:A18		消去タイプ 3 の typ. 消去時間 typ. 時間 = (count +1) x unit 1 ~ 32 ms、16 ~ 512 ms、128 ~ 4096 ms、1 ~ 32 s 24:23 unit (00b: 1 ms 、01b:16 ms、10b:128 ms、11b:1s) A22:A18 count = 18 = 10010b A24:A23 unit = 1ms = 00b
57H	A24	24H	A24 = 0b
	A31:A25		消去タイプ 4 の typ. 消去時間 typ. 時間 = (count +1) x unit 1 ~ 32 ms、16 ~ 512 ms、128 ~ 4096 ms、1 ~ 32 s 31:30 unit (00b: 1 ms 、01b:16 ms、10b:128 ms、11b:1s) A29:A25 count = 18 = 10010b A31:A30 unit = 1 ms = 00b
JEDEC フラッシュ パラメータ テーブル : 第 11 DWORD			
58H	A3:A0	80H	typ. 書き込み時間から max. 書き込み時間への倍数 max. 時間 = 2 x (count +1) x typ. 書き込み時間 count = 0 A3:A0 = 0000b
	A7:A4		ページサイズ ページサイズ = 2^N バイト N = 8 A7:A4 = 1000b
59H	A31:A8	6FH	ページ書き込みの typ. 時間 書き込み時間 = (count+1) x unit 13 units (0b:8 Ms、 1b: 64 Ms) A12:A8 count = 11 = 01111b A13 unit = 64 Ms = 1b
	A15:A14		バイト書き込みの typ. 時間 (第 1 バイト) typ. 時間 = (count +1) x unit 18 unit (0b:1 Ms、 1b: 8 Ms) A17:A14 count = 5 = 0101b A18 = 8 Ms = 1b
5AH	A18:A16	1DH	A18:A16 = 101b
	A23:A19		バイト書き込みの typ. 時間 (後続バイト) typ. 時間 = (count +1) x unit 23 unit (0b: 1 Ms , 1b:8 Ms) A22:A19 count = 0011b A23 = 1 Ms = 0b

表 11-1: SFDP (SERIAL FLASH DISCOVERABLE PARAMETER) (7 / 1 3)

アドレス	ビット アドレス	データ	注釈
5AH	A30:A24	81H	デバイス消去 typ. 時間 typ. 時間 = (count +1) x unit 16 ~ 512 ms、256 ~ 8192 ms、4 ~ 128 s、64 ~ 2048 s A28:A24 count = 1 = 00001b A30:A29 unit = 16 ms = 00b
	A31		予約済み A31 = 1b
JEDEC フラッシュ パラメータ テーブル : 第 12 DWORD			
5CH	A3:A0	EDH	書き込みサスペンド中の禁止動作 xxx0b: 全ての領域で新しい消去動作の開始を禁止する xxx1b: 書き込みサスペンド中のページサイズ内で新しい消去動作の開始を禁止する xx0xb: 全ての領域で新しいページ書き込み動作の開始を禁止する xx1xb: 書き込みサスペンド中のページサイズ内で新しいページ書き込み動作の開始を禁止する x0xxb: データシート参照 x1xxb: 書き込みサスペンド中のページサイズ内で読み出し動作の開始を禁止する 0xxxb: 追加の消去 / 書き込み制約を適用 1xxxb: bit 1:0 での消去 / 書き込み制約で十分
	A7:A4		消去サスペンド中の禁止動作 xxx0b: 全ての領域で新しい消去動作の開始を禁止する xxx1b: 書き込みサスペンド中のページサイズ内で新しい消去動作の開始を禁止する xx0xb: 全ての領域で新しいページ書き込み動作の開始を禁止する xx1xb: 消去サスペンド中の消去タイプサイズ内で新しいページ書き込みの開始を禁止する x0xxb: データシート参照 x1xxb: 消去サスペンド中のページサイズ内で読み出し動作の開始を禁止する 0xxxb: 追加の消去 / 書き込み制約を適用 1xxxb: bit 5:4 での消去 / 書き込み制約で十分
5DH	A8	0FH	予約済み = 1b
	A12:A9		書き込みレジュームからサスペンドまでのインターバル 本デバイスは、書き込み動作がサスペンド状態からレジュームした後、再度サスペンドするまでに一定の時間 (= 500 μs) を必要とします。 書き込みレジュームから次のサスペンドまでに必要な時間 = (count+1) x 64 μs A12:A9 = 7 = 0111b
	A15:A13		書き込みサスペンド後最大レイテンシ フラッシュデバイスが実行中の書き込みをサスペンドした後に、フラッシュアレイにアクセスする別の命令を受け付け可能になるまでに必要な最大時間です。 最大レイテンシ = 25 μs 書き込み最大レイテンシ = (count+1) x unit unit (00b:128 ns、01b:1 μs、10b:8 μs、11b:64 μs) A17:A13 = count = 24 = 11000b A19:A18 = 1 μs = 01b
5EH	A19:A16	77H	0111b
	A23:A20		消去レジュームからサスペンドまでのインターバル 本デバイスは、消去動作がサスペンド状態からレジュームした後、再度サスペンドするまでに一定の時間 (= 500 μs) を必要とします。 書き込みレジュームから次のサスペンドまでに必要な時間 = (count+1) x 64 μs A23:A20 = 7 = 0111b

表 11-1: SFDP (SERIAL FLASH DISCOVERABLE PARAMETER) (8 / 1 3)

アドレス	ビット アドレス	データ	注釈
5FH	A30:A24	38H	消去サスペンド後最大レイテンシ フラッシュデバイスが実行中の消去をサスペンドした後に、フラッシュア レイにアクセスする別の命令を受け付け可能になるまでに必要な最大時間 です。 最大レイテンシ = 25 μ s 消去最大レイテンシ = (count+1) x unit unit (00b:128 ns、01b:1 μ s、10b:8 μ s、11b:64 μ s) A28:A24= count = 24 = 11000b A30:A29 = 1 μs = 01b
	A31		サスペンド / レジュームのサポート 0: サポートする 1: サポートしない
JEDEC フラッシュ パラメータ テーブル : 第 13 DWORD			
60H	A7:A0	30H	書き込みレジューム命令
61H	A15:A8	B0H	書き込みサスペンド命令
62H	A23:A16	30H	レジューム命令
63H	A31:A24	B0H	サスペンド命令
JEDEC フラッシュ パラメータ テーブル : 第 14 DWORD			
64H	A1:A0	F7H	予約済み = 11b
	A7:A2		ステータス レジスタ デバイスビジーのポーリング 111101b: レガシーのポーリング機能 (05h 命令でステータス レジスタを読み 出して WIP ビット [0] (0 = ready、1 = busy) の状態を確認する機能) を使う
65H	A14:A8	A9H	ディープ パワーダウンから復帰後次の動作までの遅延 : 10 μ s 遅延 = (count + 1) x unit A12:A8 = count = 9 = 01001b A14:A13 unit = 01b = 1 μ s
	A15		パワーダウンからの復帰命令 : ABH = 10101011b A15 = 1b
66H	A22:A16	D5H	A22:A16 = 1010101b
	A23		パワーダウンへの移行命令 : B9H = 10111001b A23 = 1b
67H	A30:A24	5CH	A30:A24 = 1011100
	A31		ディープ パワーダウンのサポート 0: サポートする 1: サポートしない
JEDEC フラッシュ パラメータ テーブル : 第 15 DWORD			
68H	A3:A0	29H	4-4-4 モード ディセーブル シーケンス Xxx1b: FF 命令を発行する 1xxx1b: ソフトリセット 66/99 シーケンスを発行する
	A7:A4		4-4-4 モード イネーブル シーケンス X_xx1xb: 38H 命令を発行する
69H	A8	C2H	4-4-4 モード イネーブル シーケンス A8 = 0
	A9		0-4-4 モード サポート 0: サポートしない 1: サポートする
	A15:A10		0-4-4 モード 終了方法 X1_xxxx: Mode Bit[7:0] $\neq$ AXh 1x_xxxx: 予約済み = 1

表 11-1: SFDP (SERIAL FLASH DISCOVERABLE PARAMETER) (9 / 13)

アドレス	ビット アドレス	データ	注釈
6AH	A19:A16	5CH	0-4-4 モード開始方法 X1xxb: M[7:0] = AXh 1xxxb: 予約済み = 1
	A22:A20		クワッド イネーブル要求 (QER) 101b: クワッド イネーブルはコンフィグレーション レジスタの bit 1
	A23		ホールド / リセット ディセーブル 0: この機能は非サポート
6BH	A31:A24	FFH	予約済みビット = 0xFF
JEDEC フラッシュ パラメータ テーブル: 第 16 DWORD			
6C	A6:A0	F0H	ステータス レジスタ 1: ビットの揮発性 / 書き込みイネーブル命令 Xx1_xxxxb: ステータス レジスタ1は揮発性ビットと不揮発性ビットを含む 06h 命令を使ってこのレジスタへの書き込みを有効にする X1x_xxxxb: 予約済み = 1 1xx_xxxxb: 予約済み = 1
	A7		予約済み = 1b
6D	A13:A8	30H	ソフトリセットおよびレスキュー シーケンスのサポート X1_xxxxb: リセット イネーブル命令 66h の後にリセット命令 99h を発行する 1x_xxxxb: 他のリセット シーケンスの前に0-4-4モードを終了する必要がある
	A15:A14		4 バイトアドレス指定の終了 非サポート
6E	A23:A16	C0H	4 バイトアドレス指定の終了 非サポート A21:A14 = 00000000b A23 と A22 は予約済みビット = 1
6F	A31:A24	80H	4 バイトアドレス指定の開始 非サポート 1xxx_xxxx: 予約済み = 1
JEDEC セクタマップ パラメータ テーブル			
100H	A7:A0	FFH	A7:A2 = 予約済み = 111111b A1 = ディスクリプタのタイプ = Map = 1b A0 = Last map = 1b
101H	A15:A8	00H	コンフィグレーション ID = 00h
102H	A23:A16	00H	領域数 = 1
103H	A31:A24	FFH	予約済み = FFh
104H	A7:A0	F7H	領域 0 の 4K/32K/64K バイト消去のサポート A3:A0 = 0111b A7:A4 = 予約済み = 1111b
105H	A15:A8	FFH	領域 0 のサイズ 8 Mbit デバイスの場合 1 M バイト count = 1 M バイト / 256 バイト = 4096 値 = count - 1 = 4095 A31:A8 = 000FFFh
106H	A23:A16	0FH	
107H	A31:A24	00H	

表 11-1: SFDP (SERIAL FLASH DISCOVERABLE PARAMETER) (1 0 / 1 3)

アドレス	ビット アドレス	データ	注釈
SST26VF080A(ベンダー) パラメータ テーブル			
SST26VF080A の ID			
200H	A7:A0	BFH	製造者 ID
201H	A15:A8	26H	メモリタイプ
202H	A23:A16	18H	デバイス ID SST26VF080A = 18H
203H	A31:A24	FFH	予約済み全てのビットは既定値「1」に設定されます。
SST26VF080A インターフェイス			
204H	A2:A0	B9H	サポートするインターフェイス 000: SPI のみ 001: 電源投入時の既定値は SPI、起動後にクワッドへ切り換え可能 010: 予約済み . . . 111: 予約済み
	A3		クワッド イネーブルのサポート 0: サポートしない 1: サポートする
	A6:A4		Hold#/RST# 機能のサポート 000: Hold# 001: RST# 010: HOLD/RST# 011: SQI(4-4-4、1-4-4、1-1-4) 時は I/O
	A7		ソフトウェア リセットのサポート 0: サポートしない 1: サポートする
205H	A8	DFH	クワッドリセットのサポート 0: サポートしない 1: サポートする
	A10:A9		予約済み、全てのビットは既定値「1」に設定されます。
	A13:A11		バイト書き込み / ページ書き込み (256 バイト) 011: SPI ではバイト書き込み / ページ書き込み、クワッドの有効化後はクワッドページ書き込み
	A14		書き込み / 消去サスペンドのサポート 0: 非サポート 1: 書き込み / 消去サスペンドをサポートする
	A15		ディープ パワーダウン モードのサポート 0: 非サポート 1: ディープ パワーダウン モードをサポートする

表 11-1: SFDP (SERIAL FLASH DISCOVERABLE PARAMETER) (1 1 / 1 3)

アドレス	ビット アドレス	データ	注釈
206H	A16	F3H	OTP(セキュリティID)のサポート 0: サポートしない 1: サポートする
	A17		ブロックグループ保護のサポート 0: サポートしない 1: サポートする
	A18		ブロック個別保護のサポート 0: サポートしない 1: サポートする
	A19		個別の不揮発性ロックのサポート (ブロックまたはセクタは OTP になる) 0: サポートしない 1: サポートする
	A23:A20		予約済み、全てのビットは既定値「1」に設定されます。
207H	A31:A24	FFH	予約済み、全てのビットは既定値「1」に設定されます。
208H	A7:A0	30H	最低電源電圧 (V _{DD})
209H	A15:A8	F2H	2.30 V (F230)
20AH	A23:A16	60H	最高電源電圧 (V _{DD})
20BH	A31:A24	F3H	3.60 V (F360H)
20CH	A7:A0	32H	バイト書き込みのタイムアウト (typ.): 50 μ s このタイムアウト値の単位は μ s です。10 進値の時間を 16 進値で示します。
20DH	A15:A8	FFH	予約済み、全てのビットは既定値「1」に設定されます。
20EH	A23:A16	0AH	ページ書き込みのタイムアウト (typ.): 1.0 ms (xxH x 0.1 ms)
20FH	A31:A24	12H	セクタ消去 / ブロック消去のタイムアウト (typ.): 18 ms セクタ消去 / ブロック消去のタイムアウト (typ.) 10 進値の時間を 16 進値で示します。
210H	A7:A0	23H	デバイス消去のタイムアウト (typ.): 35 ms デバイス消去の typ. タイムアウト (単位は ms) 10 進値の時間を 16 進値で示します。
211H	A15:A8	46H	バイト書き込みの最大タイムアウト : 70 ms このタイムアウト値の単位は ms です。 10 進値の時間を 16 進値で示します。
212H	A23:A16	FFH	予約済み、全てのビットは既定値「1」に設定されます。
213H	A31:A24	0FH	ページ書き込みの最大タイムアウト : 1.5 ms ページ書き込みの typ. タイムアウト、xxH x (0.1) ms
214H	A7:A0	19H	セクタ消去 / ブロック消去の最大タイムアウト : 25 ms セクタ消去 / ブロック消去の最大タイムアウト (単位は ms)
215H	A15:A8	32H	デバイス消去の最大タイムアウト : 50 ms デバイス消去の最大タイムアウト (単位は ms)
216H	A23:A16	0FH	セキュリティ ID 書き込みの最大タイムアウト : 1.5 ms セキュリティ ID 書き込みの最大タイムアウト、xxH x (0.1) ms
217H	A31:A24	19H	書き込み保護イネーブル レイテンシの最大タイムアウト : 25 ms 書き込み保護イネーブル レイテンシの最大タイムアウト (単位は ms) 10 進値の時間を 16 進値で示します。
218H	A7:A0	19H	書き込みサスペンド レイテンシの最大タイムアウト : 25 μ s 書き込みサスペンド レイテンシの最大タイムアウト (単位は μ s) 10 進値の時間を 16 進値で示します。

表 11-1: SFDP (SERIAL FLASH DISCOVERABLE PARAMETER) (1 2 / 1 3)

アドレス	ビット アドレス	データ	注釈
219H	A15:A8	03H	ディープパワーダウン モードへ移行時の最大タイムアウト 3 μ s = 03H
21AH	A23:A16	0AH	ディープパワーダウン モードからスタンバイ モードへ復帰時の最大タイム アウト: 10 μ s = 0AH
21BH	A31:A24	FFH	予約済み、全てのビットは既定値「1」に設定されます。
21CH	A7:A0	FFH	予約済み、全てのビットは既定値「1」に設定されます。
21DH	A15:A8	FFH	予約済み、全てのビットは既定値「1」に設定されます。
21EH	A23:A16	FFH	予約済み、全てのビットは既定値「1」に設定されます。
21FH	A31:A24	FFH	予約済み、全てのビットは既定値「1」に設定されます。
サポートする命令			
220H	A7:A0	00H	無演算
221H	A15:A8	66H	リセット イネーブル
222H	A23:A16	99H	メモリ リセット
223H	A31:A24	38H	クワッド I/O イネーブル
224H	A7:A0	FFH	クワッド I/O リセット
225H	A15:A8	05H	ステータス レジスタ読み出し
226H	A23:A16	01H	ステータス レジスタ書き込み
227H	A31:A24	35H	コンフィグレーション レジスタ読み出し
228H	A7:A0	06H	書き込みイネーブル
229H	A15:A8	04H	書き込みディセーブル
22AH	A23:A16	02H	バイト書き込み / ページ書き込み
22BH	A31:A24	32H	SPI クワッド ページ書き込み
22CH	A7:A0	B0H	書き込み / 消去サスペンド
22DH	A15:A8	30H	書き込み / 消去レジューム
22EH	A23:A16	FFH	予約済み
22FH	A31:A24	FFH	予約済み
230H	A7:A0	FFH	予約済み
231H	A15:A8	FFH	予約済み
232H	A23:A16	FFH	予約済み
233H	A31:A24	88H	セキュリティ ID 読み出し
234H	A7:A0	A5H	ユーザ セキュリティ ID 領域書き込み
235H	A15:A8	85H	セキュリティ ID 書き込みロックアウト
236H	A23:A16	C0H	バースト長設定
237H	A31:A24	9FH	JEDEC-ID
238H	A7:A0	AFH	Quad J-ID
239H	A15:A8	5AH	SFDP
23AH	A23:A16	B9H	ディープパワーダウン モード
23BH	A31:A24	ABH	ディープパワーダウン モード解除
23CH	A4:A0	06H	(1-4-4) SPI nB ラップ式バーストの出力前待機ステート数 (ダミークロック数) 00110b: 6 クロックのダミーサイクル
	A7:A5		(1-4-4) SPI nB ラップ式バーストの Mode ビット数 000b: Set Mode ビットは非サポート
23DH	A15:A8	ECH	(1-4-4) SPI nB ラップ式バーストのオペコード

表 11-1: SFDP (SERIAL FLASH DISCOVERABLE PARAMETER) (1 3 / 1 3)

アドレス	ビット アドレス	データ	注釈						
23EH	A20:A16	06H	(4-4-4) SQI nB ラップ式バーストの出力前待機機ステート数 (ダミークロック数) 00110b: 6 クロックのダミーサイクル						
	A23:A21		000b: Set Mode ビットは非サポート						
23FH	A31:A24	0CH	(4-4-4) SQI nB ラップ式バーストのオペコード						
240H	A4:A0	00H	(1-1-1) メモリ読み出しの出力前待機機ステート (ダミークロック) 数 00000b: 待機スレート / ダミークロックは非サポート						
	A7:A5		(1-1-1) メモリ読み出しの Mode ビット数 000b: Mode ビットは非サポート						
241H	A15:A8	03H	(1-1-1) メモリ読み出しのオペコード						
242H	A20:A16	08H	(1-1-1) 高速メモリ読み出しの出力前待機機ステート (ダミークロック) 数 01000: 8 クロック (8 ビット) のダミーサイクル						
	A23:A21		(1-1-1) 高速メモリ読み出しの Mode ビット数 000b: Mode ビットは非サポート						
243H	A31:A24	0BH	(1-1-1) 高速メモリ読み出しのオペコード						
244H	A7:A0	FFH	予約済み、全てのビットは既定値「1」に設定されます。						
245H	A15:A8	FFH	予約済み、全てのビットは既定値「1」に設定されます。						
246H	A23:A16	FFH	予約済み、全てのビットは既定値「1」に設定されます。						
247H	A31:A24	FFH	予約済み、全てのビットは既定値「1」に設定されます。						
248H	A7:A0	FFH	セキュリティ ID のサイズ (バイト数) 例: サイズが 2K バイトの場合、このフィールドの値は 07FFH です。						
249H	A15:A8	07H	<table><tr><th colspan="2">セキュリティ ID レンジ</th></tr><tr><td>一意 ID (工場書き込み済み)</td><td>0000H-000FH</td></tr><tr><td>ユーザ プログラマブル領域</td><td>0010H-07FFH</td></tr></table>	セキュリティ ID レンジ		一意 ID (工場書き込み済み)	0000H-000FH	ユーザ プログラマブル領域	0010H-07FFH
セキュリティ ID レンジ									
一意 ID (工場書き込み済み)	0000H-000FH								
ユーザ プログラマブル領域	0010H-07FFH								
24AH	A23:A16	FFH	予約済み、全てのビットは既定値「1」に設定されます。						
24BH	A31:A24	FFH	予約済み、全てのビットは既定値「1」に設定されます。						

Microchip 社製デバイスのコード保護機能に関して次の点にご注意ください。

- Microchip 社製品は、該当する Microchip 社データシートに記載の仕様を満たしています。
- Microchip 社では、通常の条件ならびに仕様に従って使用した場合、Microchip 社製品のセキュリティ レベルは、現在市場に流通している同種製品の中でも最も高度であると考えています。
- しかし、コード保護機能を解除するための不正かつ違法な方法が存在する事もまた事実です。弊社の理解ではこうした手法は、Microchip 社データシートにある動作仕様書以外の方法で Microchip 社製品を使用する事になります。このような行為は知的財産権の侵害に該当する可能性が非常に高いと言えます。
- Microchip 社は、コードの保全性に懸念を抱くお客様と連携し、対応策に取り組んでいきます。
- Microchip 社を含む全ての半導体メーカーで、自社のコードのセキュリティを完全に保証できる企業はありません。コード保護機能とは、Microchip 社が製品を「解読不能」として保証するものではありません。

コード保護機能は常に進歩しています。Microchip 社では、常に製品のコード保護機能の改善に取り組んでいます。Microchip 社のコード保護機能の侵害は、デジタル ミレニアム著作権法に違反します。そのような行為によってソフトウェアまたはその他の著

本書に記載されているデバイス アプリケーション等に関する情報は、ユーザの便宜のためにのみ提供されているものであり、更新によって無効とされる事があります。お客様のアプリケーションが仕様を満たす事を保証する責任は、お客様にあります。Microchip 社は、明示的、暗黙的、書面、口頭、法定のいずれであるかを問わず、本書に記載されている情報に関して、状態、品質、性能、商品性、特定目的への適合性をはじめとする、いかなる類の表明も保証も行いません。Microchip 社は、本書の情報およびその使用に起因する一切の責任を否認します。Microchip 社の明示的な書面による承認なしに、生命維持装置あるいは生命安全用途に Microchip 社の製品を使用する事は全て購入者のリスクとし、また購入者はこれによって発生したあらゆる損害、クレーム、訴訟、費用に関して、Microchip 社は擁護され、免責され、損害をうけない事に同意するものとします。暗黙的あるいは明示的を問わず、Microchip 社が知的財産権を保有しているライセンスは一切譲渡されません。

商標

Microchip 社の名称と Microchip ロゴ、dsPIC、FlashFlex、KEELOQ、KEELOQ ロゴ、MPLAB、PIC、PICmicro、PICSTART、PIC³² ロゴ、rfPIC、SST、SST ロゴ、SuperFlash、UNI/O は、米国およびその他の国における Microchip Technology Incorporated の登録商標です。

FilterLab、Hampshire、HI-TECH C、Linear Active Thermistor、MTP、SEEVAL、Embedded Control Solutions Company は、米国における Microchip Technology Incorporated の登録商標です。

Silicon Storage Technology は、その他の国における Microchip Technology Incorporated の登録商標です。

Analog-for-the-Digital Age、Application Maestro、BodyCom、chipKIT、chipKIT ロゴ、CodeGuard、dsPICDEM、dsPICDEM.net、dsPICworks、dsSPEAK、ECAN、ECONOMONITOR、FanSense、HI-TIDE、In-Circuit Serial Programming、ICSP、Mindi、MiWi、MPASM、MPF、MPLAB 認証ロゴ、MPLIB、MPLINK、mTouch、Omniscient Code Generation、PICC、PICC-18、PICDEM、PICDEM.net、PICKit、PICKit、REAL ICE、rfLAB、Select Mode、SQL、Serial Quad I/O、Total Endurance、TSHARC、UniWinDriver、WiperLock、ZENA、Z-Scale は、米国およびその他の国における Microchip Technology Incorporated の登録商標です。

SQTP は、米国における Microchip Technology Incorporated のサービスマークです。

GestIC と ULPP は、その他の国における Microchip Technology Germany II GmbH & Co. & KG (Microchip Technology Incorporated の子会社) の登録商標です。

その他、本書に記載されている商標は各社に帰属します。

©2013, Microchip Technology Incorporated, Printed in the U.S.A., All Rights Reserved.

ISBN: 978-1-6683-0255-2

**QUALITY MANAGEMENT SYSTEM
CERTIFIED BY DNV
== ISO/TS 16949 ==**

Microchip 社では、Chandler および Tempe (アリゾナ州)、Gresham (オレゴン州) の本部、設計部およびウェハー製造工場そしてカリフォルニア州とインドのデザインセンターが ISO/TS-16949:2009 認証を取得しています。Microchip 社の品質システム プロセスおよび手順は、PIC® MCU および dsPIC® DSC、KEELOQ® コードホッピングデバイス、シリアル EEPROM、マイクロペリフェラル、不揮発性メモリ、アナログ製品に採用されています。さらに、開発システムの設計と製造に関する Microchip 社の品質システムは ISO 9001:2000 認証を取得しています。

各国の営業所とサービス

北米

本社
2355 West Chandler Blvd.
Chandler, AZ 85224-6199
Tel:480-792-7200
Fax:480-792-7277
技術サポート :
<http://www.microchip.com/support>
URL:
www.microchip.com

アトランタ
Duluth, GA
Tel:678-957-9614
Fax:678-957-1455

オースティン, TX
Tel:512-257-3370

ボストン
Westborough, MA
Tel:774-760-0087
Fax:774-760-0088

シカゴ
Itasca, IL
Tel:630-285-0071
Fax:630-285-0075

ダラス
Addison, TX
Tel:972-818-7423
Fax:972-818-2924

デトロイト
Novi, MI
Tel:248-848-4000

ヒューストン, TX
Tel:281-894-5983

インディアナポリス
Noblesville, IN
Tel:317-773-8323
Fax:317-773-5453
Tel:317-536-2380

ロサンゼルス
Mission Viejo, CA
Tel:949-462-9523
Fax:949-462-9608
Tel:951-273-7800

ローリー, NC
Tel:919-844-7510

ニューヨーク, NY
Tel:631-435-6000

サンノゼ, CA
Tel:408-735-9110
Tel:408-436-4270

カナダ - トロント
Tel:905-695-1980
Fax:905-695-2078

アジア / 太平洋

オーストラリア - シドニー
Tel:61-2-9868-6733

中国 - 北京
Tel:86-10-8569-7000

中国 - 成都
Tel:86-28-8665-5511

中国 - 重慶
Tel:86-23-8980-9588

中国 - 東莞
Tel:86-769-8702-9880

中国 - 広州
Tel:86-20-8755-8029

中国 - 杭州
Tel:86-571-8792-8115

中国 - 香港 SAR
Tel:852-2943-5100

中国 - 南京
Tel:86-25-8473-2460

中国 - 青島
Tel:86-532-8502-7355

中国 - 上海
Tel:86-21-3326-8000

中国 - 瀋陽
Tel:86-24-2334-2829

中国 - 深圳
Tel:86-755-8864-2200

中国 - 蘇州
Tel:86-186-6233-1526

中国 - 武漢
Tel:86-27-5980-5300

中国 - 西安
Tel:86-29-8833-7252

中国 - 厦門
Tel:86-592-2388138

中国 - 珠海
Tel:86-756-3210040

アジア / 太平洋

インド - バンガロール
Tel:91-80-3090-4444

インド - ニューデリー
Tel:91-11-4160-8631

インド - プネ
Tel:91-20-4121-0141

日本 - 大阪
Tel:81-6-6152-7160

日本 - 東京
Tel:81-3-6880-3770

韓国 - 大邱
Tel:82-53-744-4301

韓国 - ソウル
Tel:82-2-554-7200

マレーシア - クアラルンプール
Tel:60-3-7651-7906

マレーシア - ペナン
Tel:60-4-227-8870

フィリピン - マニラ
Tel:63-2-634-9065

シンガポール
Tel:65-6334-8870

台湾 - 新竹
Tel:886-3-577-8366

台湾 - 高雄
Tel:886-7-213-7830

台湾 - 台北
Tel:886-2-2508-8600

タイ - バンコク
Tel:66-2-694-1351

ベトナム - ホーチミン
Tel:84-28-5448-2100

ヨーロッパ

オーストリア - ヴェルス
Tel:43-7242-2244-39
Fax:43-7242-2244-393

デンマーク - コペンハーゲン
Tel:45-4485-5910
Fax:45-4485-2829

フィンランド - エスポー
Tel:358-9-4520-820

フランス - パリ
Tel:33-1-69-53-63-20
Fax:33-1-69-30-90-79

ドイツ - ガーヒング
Tel:49-8931-9700

ドイツ - ハーン
Tel:49-2129-3766400

ドイツ - ハイムブロン
Tel:49-7131-72400

ドイツ - カールスルーエ
Tel:49-721-625370

ドイツ - ミュンヘン
Tel:49-89-627-144-0
Fax:49-(89-627)-144-44

ドイツ - ローゼンハイム
Tel:49-8031-354-560

イスラエル - ラーナナ
Tel:972-9-744-7705

イタリア - ミラノ
Tel:39-0331-742611
Fax:39-0331-466781

イタリア - バドヴァ
Tel:39-049-7625286

オランダ - ドリュエネン
Tel:31-416-690399
Fax:31-416-690340

ノルウェー - トロンハイム
Tel:47-7288-4388

ポーランド - ワルシャワ
Tel:48-22-3325737

ルーマニア - ブカレスト
Tel:40-21-407-87-50

スペイン - マドリッド
Tel:34-91-708-08-90
Fax:34-91-708-08-91

スウェーデン - ヨーテボリ
Tel:46-31-704-60-40

スウェーデン - ストックホルム
Tel:46-8-5090-4654

イギリス - ウォーキンガム
Tel:44-118-921-5800
Fax:44-118-921-5820