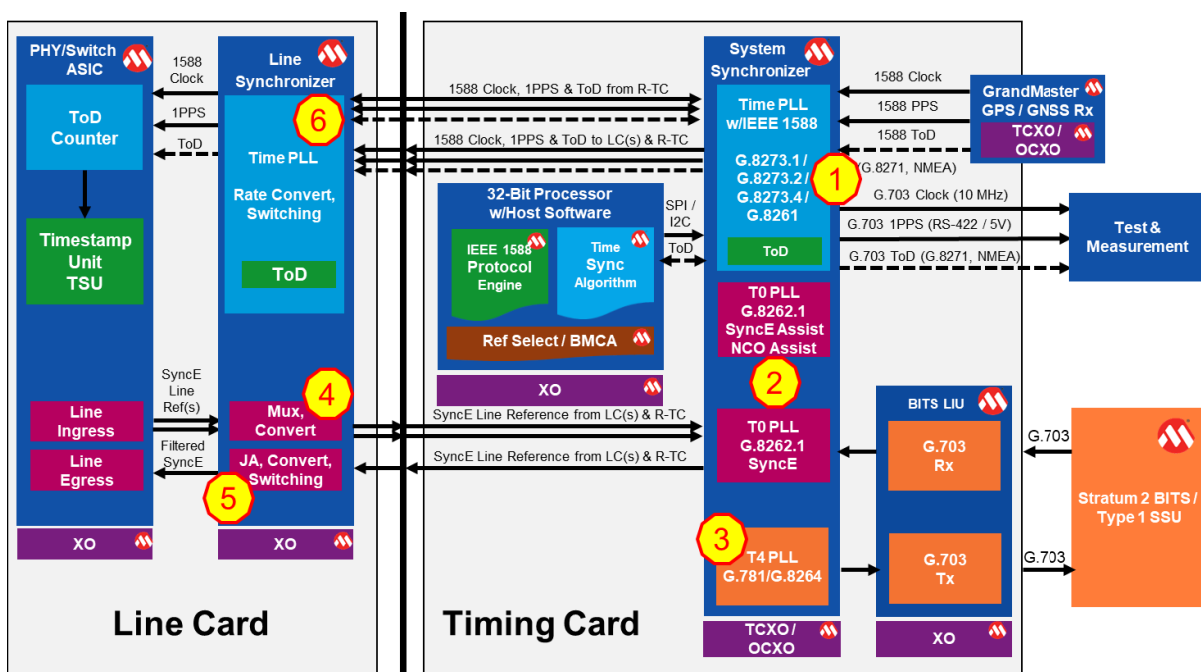


Azurite ファミリデバイスの設定ガイドライン

1.0 はじめに

Azurite デバイスは時刻同期と周波数同期のアプリケーションに使われる複雑かつ多機能なネットワーク シンクロナイザです。このような複雑なデバイスを特定のアプリケーションの要件に合わせて設定するのは簡単ではありません。設定はアプリケーションの種類と DPLL に割り当てられた機能によって決まります。下図はシャシータイプの機器を示すもので、本書で紹介する 6 つの典型的な PLL のユースケースを例示しています。

1. タイミングカード、時刻同期 PLL
2. タイミングカード、T0 PLL(周波数同期、SyncE、または SyncE アシスト PLL)
3. タイミングカード、T4 PLL
4. ラインカード、周波数 Ingress PLL
5. ラインカード、周波数 Egress PLL
6. ラインカード、時刻同期 PLL



このアプリケーション ノートは以下の 2 つの目的でお使い頂けます。

- ・ 設定チェックリストとして使う
- ・ 初めてのユーザが各種設定パラメータとオプションを選択する際の設定ガイドラインとして使う

これらのデバイスの設定に使う主な設定ツールは Microchip 社の GUI ソフトウェアである Azurite です。一般的なアプリケーションでは、一部、既定値の GUI 設定をそのまま使えます。十分に理解していないパラメータについては既定値から変更しない事を強く推奨します。変更する事で思わぬ結果につながる事も少なくありません。

2.0 マスタクロックの設定

マスタクロックはオシレータまたは水晶振動子から供給できます。オシレータがほぼ全てのアプリケーションで使われるため以下ではその場合のみを検討します。

General:

1 Clock or Crystal: **Clock**
 Gain Boost: **Enabled**
 Direct to APLL: **Yes** (lower XO jitter)

*Doubler and Gain Boost are mutually exclusive.
 Direct to APLL bypasses doubler, div and invert.*

System APLL:

2 XO/Crystal Freq (MHz): **114.285** (9.72-400)
 Primary Divider Integer: **53** (114.285M XO)
 Primary Divider Fraction: **0.000000000** (36 bit)
 Secondary Divider: **2** (114.285M, 50M dbi)
 VCO Freq (MHz): **12,114.21** (12G±1%)
Configure APLL And Source
 (Device only latches once. Reset device to reconfigure.)
 Master Clock State: **Not Started**

Split-XO Controls:

5 ☒ Enable Split-XO
☒ Use for DPLL0
☒ Use for DPLL1
☒ Use for DPLL2
☒ Use for DPLL3
☒ Use for DPLL4
☒ Use for DPLL5

4 Source Switching: **Manual**
 Automatic Switching: **Non-Revertive**
 Manual Source: **Source0**
 Revertive Priority:
 Source0 (DPLL6): **REF4P**
 Source1 (DPLL7): **REF4N**
 Selected Source: **REF0P**
Disable Split-XO to change Source0/1

Crystal Driver Settings:

Crystal Drive Level: **Disable**
*For drive=1 OSC1=8pF, OSC0=10pF
 For 2-7 OSC1=8.25pF, OSC0=9.75pF*

OSC1 Add Cap (pF): **0.00** (0-11.75)
 OSC0 Add Cap (pF): **0.00** (0-11.75)
For eval board: OSC1 +5pF, OSC0 +3.5pF

OSC0 Series Resistance:
☒ 562.6 ☒ 1125 ☒ 2250 ☒ 4500
☒ 9k ☒ 18k ☒ 36k ☒ 72k
*Each controls a parallel resistance
 For eval board: uncheck 1125, 2250, 9k*

REF Monitor Compensation:

Osc Freq Error (ppm): **0.000000** (±500)

1. HW の実装に合った外部参照クロック源 (オシレータの場合は [Clock]) を選択し、[Direct to APLL] モードを有効にします。
2. 外部参照クロックの公称周波数を入力し、VCO の周波数が $12\text{G} \pm 1\%$ になるようにプライマリとセカンダリに分周比を設定します。可能な限り、GUI で特に指定された設定値を使い、特定の外部参照周波数で動作するようにします。

出力ジッタを最小にするため、マスタクロック参照ソースとして VCC1-9004-114M285 オシレータを使う事を推奨します。

2.1 Split-XO のセットアップ

このセットアップは単一の OCXO/TCXO ソースを使う最も一般的な Split-XO のユースケースに対応しています。ハードウェアに Split-XO 機能が実装されていない場合、設定で Split-XO 機能が有効になっていない事を確認してください。

3. Source0 (DPLL6) フィールドで、OCXO/TCXO オシレータに HW 接続された REF 入力を選択します。ただし、GUI をオフラインモード (評価用ボードに接続されていない状態) で使っている場合、[Source] で選択した設定にかかわらず、[Select Source] フィールドには常に REF0P が表示されます。
4. [Source Switching] を [Manual] に設定し、[Manual Source] で [Source0] を選択します。
5. [Enable Split-XO] にチェックを入れ、全ての [Use for DPLL] チェックボックスにチェックを入れます。

3.0 DPLL の設定

3.1 タイミングカード T0 DPLL (SyncE または SyncE アシスト PLL)

Azurite デバイスでは、SyncE アシスト機能に割り当てられた DPLL は DPLL 5 です。時刻同期 DPLL を PTP ハイブリッドモードで使うアプリケーションでは SyncE アシストを使うため、その設定が必要です。

The screenshot shows the DPLL configuration interface with the following sections and settings:

- General:**
 - 1. Mode: Automatic
 - Forced Ref Source: REF0P
 - 2. ☒ Use Split-XO for this DPLL
 - ☒ Enable Hitless Switching
 - ☐ Enable NCO-Hybrid Mode
 - ☐ Ignore Sync
 - 3. Loop Bandwidth: User Defined
 - User-Defined BW (Hz): 1.0746 (1e-4 to 13)
 - 4. Integrator Limit (ppm): 200.0 (set > ref pfm)
 - 5. Phase Slope Limit (ns/s): 885 (0=Unlimited)
 - Manual Freq Offset (ppm): 0.000000 (±500)
- Lock Criteria:**
 - Lock Threshold (μs): 36.000 (0 to 4294)
 - Unlock Threshold (μs): 36.000 (0 to 4294)
 - Below-Threshold Time (s): 10 (0 to 255)
 - Lock Declaration Delay (s): 0 (1 to 255*2)
- Phase Error vs. Selected Ref:**
 - ☐ Enable 0.000 ns
- Monitor Enables:**
 - for Holdover:
 - ☐ LOS
 - 6. ☒ SCM
 - ☒ CFM
 - ☒ GST
 - ☒ PFM
 - ☐ ESYNC
 - ☐ Split-XOM
 - for Ref Switch:
 - ☐ LOS
 - ☒ SCM
 - ☒ CFM
 - ☒ GST
 - ☒ PFM
 - ☐ ESYNC
- Fast-Lock and Step-Time Configuration:**
 - 7. ☒ Enable Fast Lock
 - ☐ Fast-Lock Leaving NCO Mode
 - Phase Error Trigger (μs): 64.00 (0=Disabled)
 - Freq Error Trigger (ppm): 4 (0=Disabled)
 - Fast Lock Ideal Time (s): 0.00 (0=Autocalc)
 - Frequency Change Limiting: Enabled if BW ≤ 0.1Hz
 - Step-Time Threshold (μs): 2,000,000 (2M=Disable)
 - Step-Time Resolution (ns): 4,000,000 (1 to 4M)
- Holdover Configuration:**
 - 8. Storage Delay (s): 15.399 (1e-3 to 9e5)
 - Filter Bandwidth: 108mHz
 - ☐ Update Holdover in NCO Mode
- Ref-Sync Configuration:**
 - Realign Type: Periodic
 - Periodic First Realign (s): 127 (1=Disabled)
 - Periodic Realign Interval (s): 0 (0=Disabled)
 - Sync Lock Threshold (ns): 0 (0=Disabled)
- DPLL Status:**
 - Reference: REF0P
 - Locked: No
 - Holdover: No
 - HO Ready: No
 - At Freq Limit: No
 - At PSL Limit: No
- Reference Priorities:**
 - 9. REF0P: 0 (Highest)
 - REF0N: 1
 - REF1P: 2
 - REF1N: 3
 - REF2P: Never Use
 - REF2N: 4
 - REF3P: Never Use
 - REF3N: 5
 - REF4P: Never Use
 - REF4N: Never Use

1. モードは通常、[AUTOMATIC] または [FORCED] です。
2. Split-XO が HW に実装されている場合、[Use Split-XO for this DPLL] を有効にする必要があります。
3. ループ帯域幅です。通常、[User Defined] を選択し、1.1 Hz にします。G.8262.1 に準拠するには 1 ~ 3 Hz の間にする必要があります。GUI に入力された値に最も近い利用可能な帯域幅が GUI によって選択されます。
4. 積分器の制限値 (プルインレンジ) です。通常、 $4.6 \text{ ppm} \times 2 \times 1.3 = 12 \text{ ppm}$ より大きい値にします。DPLL の参照として使われる REF 入力クロックの最大 PFM 不適格レンジより大きい値にする必要があります。200 ppm の値が適当です。
5. 位相変動制限です。通常、885 ns/s (ITU-T G.8262 Option 2、ITU-T G.813 Option 2) または 7500 ns/s (ITU-T G.813 Option 1、G.8262 Option 1) です。
6. モニタインーブルです。[for Holdover] と [for Ref Switch] の [SCM]、[CFM]、[GST]、[PFM] を有効にします。
7. 高速ロックを有効にします。電源投入時、参照クロック品質に問題が検出された場合、または別のソースに切り換えられた場合に、周波数のプルインに遅延が生じるのを防ぐために使います。有効にしない場合、プルインにかかる時間はかなり長くなり、 $(100 \times 5) / (2 \times \pi \times \text{BW})$ 台となります。
8. 安定した参照 (OCXO) を使うアプリケーションでは、[Storage Delay(s)] を 15 秒に設定し、[Filter Bandwidth] で 108 mHz を選択します。
9. [Automatic] モードでは ([Forced] モードには適用されない)、アプリケーションの要求に応じて参照クロックの優先度を設定します。DPLL に使わない入力参照クロックは [Never Use] に設定する必要があります。Split-XO 入力として使う参照クロックも、DPLL では常に [Never Use] に設定する必要があります。ユーザは ESMC (Ethernet Synchronization Message Channel) に基づいて優先度テーブルを更新できます。ESMC が高い場合、優先度を高く設定します。ESMC が同じなら、非切り戻しの場合は優先度は同じです。

3.2 タイミングカードの T4 DPLL またはラインカードの Ingress/Egress DPLL

The screenshot shows the DPLL configuration interface with the following settings highlighted by numbered callouts:

- 1:** Mode: Automatic
- 2:** Use Split-XO for this DPLL (checked)
- 3:** Loop Bandwidth: 61Hz
- 4:** Integrator Limit (ppm): 300.0
- 5:** Phase Slope Limit (ns/s): 61,000
- 6:** Monitor Enables: [for Holdover] SCM, CFM, GST, PFM (checked)
- 7:** Fast-Lock and Step-Time Configuration: Enable Fast Lock (unchecked)
- 8:** Holdover Configuration: Storage Delay (s): 2.054, Filter Bandwidth: 1.7Hz
- 9:** Reference Priorities: REF0P: 0 (Highest), REF0N: 1, REF1P: 2, REF1N: 3, REF2P: 4, REF2N: 5, REF3P: 6, REF3N: 7, REF4P: 8, REF4N: 9

- モードは通常、[AUTOMATIC] または [FORCED] です。
- T4 DPLL で Split-XO が HW に実装されている場合、[Use Split-XO for this DPLL] を有効にする必要があります。ラインカード Ingress/Egress DPLL の場合は無効にする必要があります (ラインカードには通常 Split-XO 機能は実装されていません)。
- ループ帯域幅です。T4 と Ingress DPLL の場合、通常、高速追従のために 61 Hz にします。Egress DPLL の場合、通常、ジッタ減衰のために 14 Hz にします。
- 積分器の制限値 (プルインレンジ) です。通常、 $50 \text{ ppm} \times 2 \times 1.3 = 130 \text{ ppm}$ より大きい値にします。DPLL の参照用として使われる REF 入力クロックの最大 PFM 不適格レンジより大きい値にする必要があります。300 ppm の値が適当です。
- 位相変動制限です。T4 と Ingress DPLL では、通常、61 $\mu\text{s/s}$ 等の高い値または無制限にします。外部の BITS/SSU への依存度を強める場合、T4 は無制限にする事ができます。Egress では、通常、PHY への過渡現象の抑制のために 61 $\mu\text{s/s}$ 以下にします。
- モニタインーブルです。[for Holdover] と [for Ref Switch] の [SCM]、[CFM]、[GST]、[PFM] を有効にします。
- 高速ロックを無効にします。
- [Storage Delay] を 2 秒に設定し、[Filter Bandwidth] で 1.7 Hz を選択します。
- アプリケーションの要求に応じて参照クロックの優先度を設定します。Ingress DPLL では、PHY からの復元クロックが利用できるかどうかに応じて選択します。通常、Egress DPLL ではアクティブ タイミングカードに強制されます。T4 DPLL では、利用可能なラインカードから参照クロックを選択する必要があります。

3.3 タイミングカードの時刻同期 DPLL (1PPS にロック)

The screenshot shows the DPLL configuration window with the following sections and settings:

- General:**
 - 1 Mode: Automatic
 - 2 Forced Ref Source: REF0P
 - 3 ☒ Use Split-XO for this DPLL
 - ☐ Enable Hitless Switching
 - ☐ Enable NCO-Hybrid Mode
 - ☐ Ignore Sync
 - 4 Loop Bandwidth: User Defined
 - User-Defined BW (Hz): 0.0294 (1e-4 to 13)
 - 5 Integrator Limit (ppm): 200.0 (set > ref pfm)
 - 6 Phase Slope Limit (ns/s): 885 (0=Unlimited)
 - Manual Freq Offset (ppm): 0.000000 (±500)
- Lock Criteria:**
 - 7 Lock Threshold (μs): 1.000 (0 to 4294)
 - Unlock Threshold (μs): 2.000 (0 to 4294)
 - Below-Threshold Time (s): 10 (0 to 255)
 - Lock Declaration Delay (s): 0 (1 to 255*2)
- Phase Error vs. Selected Ref:**
 - ☐ Enable
 - Read
 - 0.000 ns
- Monitor Enables:**
 - for Holdover:
 - ☐ LOS
 - 8 ☒ SCM
 - ☒ CFM
 - ☒ GST
 - ☒ PFM
 - ☐ ESYNC
 - ☐ Split-XOM
 - for Ref Switch:
 - ☐ LOS
 - ☒ SCM
 - ☒ CFM
 - ☒ GST
 - ☒ PFM
 - ☐ ESYNC
- External Feedback:**
 - ☐ Enable
 - REF: REF0P
 - DPLL: DPLL0
 - ☐ DPLL0 Follows
- Fast-Lock and Step-Time Configuration:**
 - 9 ☒ Enable Fast Lock
 - ☐ Fast-Lock Leaving NCO Mode
 - Phase Error Trigger (μs): 64.00 (0=Disabled)
 - Freq Error Trigger (ppm): 4 (0=Disabled)
 - Fast Lock Ideal Time (s): 0.00 (0=Autocalc)
 - Frequency Change Limiting: Enabled if BW ≤ 0.1Hz
 - 10 Step-Time Threshold (μs): 20 (2M=Disable)
 - 11 Step-Time Resolution (ns): 200 (1 to 4M)
 - Holdover Configuration:**
 - 12 Storage Delay (s): 15.399 (1e-3 to 9e5)
 - Filter Bandwidth: 108mHz
 - ☒ Update Holdover in NCO Mode
- Ref-Sync Configuration:**
 - Realign Type: Periodic
 - Periodic First Realign (s): 127 (1=Disabled)
 - Periodic Realign Interval (s): 0 (0=Disabled)
 - Sync Lock Threshold (ns): 0 (0=Disabled)
- DPLL Status:**
 - Reference: REF0P
 - Locked: No
 - Holdover: No
 - HO Ready: No
 - At Freq Limit: No
 - At PSL Limit: No
- Reference Priorities:**
 - 13 REF0P: 0 (Highest)
 - REF0N: 1
 - REF1P: 2
 - REF1N: 3
 - REF2P: 4
 - REF2N: 5
 - REF3P: 6
 - REF3N: 7
 - REF4P: 8
 - REF4N: 9

- モードは通常、[AUTOMATIC] または [FORCED] に設定して 1PPS 参照入力に強制します。
- この DPLL で Split-XO が HW に実装されている場合、[Use Split-XO for this DPLL] を有効にする必要があります。
- ヒットレス (無瞬断) 切り換えを無効にします。
- ループ帯域幅です。GPS 入力安定している場合、10 mHz または 30 mHz を使います。GPS 入力に追加のフィルタ処理が必要な場合、Stratum 3E OCXO で 1 mHz を使います。
- 積分器の制限値 (プルインレンジ) です。通常、 $4.6 \text{ ppm} \times 2 \times 1.3 = 12 \text{ ppm}$ より大きい値にします。200 ppm の値が適当です。PFM は、入力参照信号が適格か不適格かを判断するために使われます。プルインレンジは、ホールドオーバーモードで DPLL の周波数を制限します。
- 位相変動制限です。通常、885 ns/s です。
- [Lock Threshold] を 1 μs に、[Unlock Threshold] を 2 μs に設定します。
- モニタインーブルです。[for Holdover] と [for Ref Switch] の [SCM]、[CFM]、[GST]、[PFM] を有効にします。
- 高速ロックを有効にします。電源投入時に周波数のプルインに遅延が生じるのを防ぐために使います。有効にしない場合、プルインにかかる時間はかなり長くなり、 $(100 \times 5) / (2 \times \text{PI} \times \text{BW})$ 台となります。
- [Step-Time Threshold] を 20 μs に設定します。
- [Step-Time Resolution] は、新しい 1PPS 位置へのアラインメントを維持するシンセサイザ出力クロックに基づいて設定します。詳細はデータシートの「Discrete Fast Lock (Step Time)」を参照してください。
- 安定した参照 (OCXO) を使うアプリケーションでは、[Storage Delay(s)] を 15 秒に設定し、[Filter Bandwidth] で 108 mHz を選択します。[Update Holdover in NCO Mode] を有効にします。
- アプリケーションの要求に応じて参照クロックの優先度を設定します。通常、GPS が優先されます。

3.4 タイミングカードの時刻同期 DPLL (PTP ハイブリッド モード)

時刻同期 DPLL を PTP ハイブリッド モードで使う場合、DPLL5 が SyncE アシストモードに設定されている事を確認してください。

The screenshot displays the configuration interface for the AN3980 timing card, specifically for the DPLL (PTP Hybrid Mode). The interface is divided into several sections: General, Monitor Enables, Fast-Lock and Step-Time Configuration, DPLL Status, Lock Criteria, External Feedback, Ref-Sync Configuration, and Reference Priorities. Numbered callouts (1-9) highlight specific settings: 1. Mode: NCO; 2. Use Split-XO for this DPLL; 3. Enable Hittless Switching; 4. Enable NCO-Hybrid Mode; 5. Loop Bandwidth: 14Hz; 6. Enable Fast Lock; 7. Step-Time Threshold (us): 20; 8. Step-Time Resolution (ns): 200; 9. Storage Delay (s): 15.399. Other settings include Forced Ref Source: REF0P, Integrator Limit: 300.0, Lock Threshold: 36.000, and Reference Priorities.

1. モードは [NCO] を選択します。
2. Split-XO が HW に実装されている場合、[Use Split-XO for this DPLL] を有効にする必要があります。
3. ヒットレス (無瞬断) 切り換えを無効にします。PTP 入力と GPS 入力を切り換える場合に使います。
4. NCO ハイブリッド モードは初期設定で有効にはなりません。必要に応じて S/W によって有効にされます。
5. ループ帯域幅です。特に重要ではありませんが、通常、PTP から Electrical に切り換える際に使う Ref-Sync または Sync の電氣的モードのいずれかを選択する必要があります。そのため、1PPS の場合は 30 mHz、Ref-Sync の場合は 14 Hz です。
6. 高速ロックを無効にします。
7. [Step-Time Threshold] を 20 μ s に設定します。
8. [Step-Time Resolution] は、新しい 1PPS 位置へのアラインメントを維持するシンセサイザ出力クロックに基づいて設定します。詳細はデータシートの「Discrete Fast Lock (Step Time)」を参照してください。
9. [Storage Delay] を 15 秒に設定し、[Filter Bandwidth] で 108 mHz を選択します。[Update Holdover in NCO Mode] を有効にします。

3.5 ラインカードまたはタイミングカードの時刻同期 DPLL (Ref-Sync を使ったスタンバイ)

The screenshot shows the DPLL configuration window with the following sections and settings:

- General:**
 - 1. Mode: Automatic
 - 2. Forced Ref Source: REF0P
 - 3. ☒ Use Split-XO for this DPLL
 - 4. ☐ Enable Hitless Switching
 - 5. ☐ Enable NCO-Hybrid Mode
 - 6. ☐ Ignore Sync
 - 7. Loop Bandwidth: 14Hz
 - 8. Integrator Limit (ppm): 300.0 (set > ref pfm)
 - 9. Phase Slope Limit (ns/s): 61,000 (0=Unlimited)
 - 10. Manual Freq Offset (ppm): 0.000000 (±500)
- Lock Criteria:**
 - Lock Threshold (μs): 36,000 (0 to 4294)
 - Unlock Threshold (μs): 36,000 (0 to 4294)
 - Below-Threshold Time (s): 10 (0 to 255)
 - Lock Declaration Delay (s): 0 (1 to 255*2)
- Phase Error vs. Selected Ref:**
 - ☐ Enable
 - Read: 0.000 ns
- Monitor Enables:**
 - for Holdover:
 - ☐ LOS
 - ☒ SCM
 - ☒ CFM
 - ☒ GST
 - ☒ PFM
 - ☐ ESYNC
 - ☐ Split-XOM
 - for Ref Switch:
 - ☐ LOS
 - ☒ SCM
 - ☒ CFM
 - ☒ GST
 - ☒ PFM
 - ☐ ESYNC
- Fast-Lock and Step-Time Configuration:**
 - 9. ☐ Enable Fast Lock
 - ☐ Fast-Lock Leaving NCO Mode
 - Phase Error Trigger (μs): 64.00 (0=Disabled)
 - Freq Error Trigger (ppm): 4 (0=Disabled)
 - Fast Lock Ideal Time (s): 0.00 (0=Autocalc)
 - Frequency Change Limiting: Enabled if BW ≤ 0.1Hz
 - 10. Step-Time Threshold (μs): 20 (2M=Disable)
 - 11. Step-Time Resolution (ns): 200 (1 to 4M)
- Holdover Configuration:**
 - 12. Storage Delay (s): 15.399 (1e-3 to 9e5)
 - Filter Bandwidth: 108mHz
 - ☒ Update Holdover in NCO Mode
- External Feedback:**
 - ☐ Enable
 - REF: REF0P
 - DPLL: DPLL0
 - ☐ DPLL3 Follows
- Ref-Sync Configuration:**
 - 13. Realign Type: Continuous
 - Periodic First Realign (s): 127 (1=Disabled)
 - Periodic Realign Interval (s): 0 (0=Disabled)
 - Sync Lock Threshold (ns): 0 (0=Disabled)
- DPLL Status:**
 - Reference: REF0P
 - Locked: No
 - Holdover: No
 - HO Ready: No
 - At Freq Limit: No
 - At PSL Limit: No
- Reference Priorities:**
 - REF0P: 0 (Highest)
 - REF0N: 1
 - REF1P: 2
 - REF1N: 3
 - REF2P: 4
 - REF2N: 5
 - REF3P: 6
 - REF3N: 7
 - REF4P: 8
 - REF4N: 9

1. モードは通常、[AUTOMATIC] または [FORCED] です。
2. Split-XO は通常ラインカードでは無効で、タイミングカードでは有効です (HW で実装されている場合)。
3. ヒットレス (無瞬断) 切り換えを無効にします。
4. NCO ハイブリッドモードは初期設定で有効にはなりません。必要に応じて S/W によって有効にされます。通常、ラインカードでは使わず、タイミングカードで使います。
5. ループ帯域幅です。通常、14 Hz です。
6. 積分器の制限値 (プラインレンジ) です。通常、 $50 \text{ ppm} \times 2 \times 1.3 = 130 \text{ ppm}$ より大きい値にします。300 ppm の値が適当です。
7. 位相変動制限です。通常、61 μs/s です。
8. モニタインーブルです。[for Holdover] と [for Ref Switch] の [SCM]、[CFM]、[GST]、[PFM] を有効にします。
9. 高速ロックを無効にします。
10. [Step-Time Threshold] を 20 μs に設定します。
11. [Step-Time Resolution] は、新しい 1PPS 位置へのアラインメントを維持するシンセサイザ出力クロックに基づいて設定します。これらのパラメータの詳細な設定方法はデータシートの「Discrete Fast Lock (Step Time)」を参照してください。
12. XO を参照クロックとするラインカードでは、ホールドオーバの [Storage Delay] を 2 秒、[Filter Bandwidth] を 1.7 Hz に設定し、[Update Holdover in NCO Mode] を無効にします。OCXO を参照するタイミングカードでは、[Storage Delay] を 15 秒、[Filter Bandwidth] を 108 mHz に設定し、[Update Holdover in NCO Mode] を有効にします。
13. Ref-Sync モードでは [Realign Type] を [Continuous] に設定します。

4.0 入力参照の設定

1. 回路図で使われている全ての REF 入力を有効にします。
2. 入力信号の回路図の実装と DC 電氣的仕様に合わせて、動作モードをシングルエンドにするか差動にするか、AC 結合にするか DC 結合にするかと、バイアス / しきい値電圧を選択します。ただし、[AC-Coupled] を [Yes] に設定する事で内部 AC 結合が有効になる訳ではないため注意してください。[AC-Coupled] は、ボード上で信号が AC 結合されている場合に [Yes] に設定する必要があります。
3. REF ピンを駆動するクロックの周波数に合わせて REF 入力周波数を設定します。
4. PFM はワーストケースの入力周波数オフセットより大きい値に設定し、さらにローカル参照 (XO、OCXO、TCXO) で発生する可能性のあるワーストケースのオフセットも追加する必要があります。[PFM Qualify] しきい値と [PFM Disqualify] しきい値の典型的な値を以下に示します。
 - ・ タイミングカードの T0 DPLL で使われる参照パルスと時刻同期 DPLL で使われる 1PPS 参照パルスでは、通常、[PFM Disqualify] しきい値は $4.6 * 2 * 1.3 = 12 \text{ ppm}$ に、[PFM Qualify] しきい値は $4.6 * 2 = 9.2 \text{ ppm}$ に設定します。
 - ・ Split-XO モードで OCXO に接続される参照入力で 50 ppm XO を使う場合、通常、[PFM Disqualify] しきい値は $50 * 2 * 1.3 = 130 \text{ ppm}$ に、[PFM Qualify] しきい値は $50 * 2 = 100 \text{ ppm}$ に設定します。
 - ・ 通常、タイミングカードの T4 DPLL、ラインカードの Ingress/Egress DPLL と時刻同期 DPLL で使われる参照クロックとして [PFM Disqualify] しきい値を 130 ppm に、[PFM Qualify] しきい値を 100 ppm に設定します。
5. ePPS 入力参照信号の場合、[Sync Pulse Mode] を適切に設定します。

Sync and Embedded Sync:

6. Ref-Sync ペアの場合、参照クロックを受け取る REF 入力にこのモードを選択し、[Sync Pin] ドロップダウンリストを使って Sync 信号を受け取る REF 入力を特定します。入力が Sync 入力として使われる場合、デバイス内の全ての自動参照クロックの選択優先度リストからこの参照クロックを削除する事が重要です。

Sync and Embedded Sync:

Sync Pulse Mode:	Ref-Sync Pair ▼
Sync Pin:	REF0P ▼
Align Sync to:	Ref Rising Edge ▼

7. GPI の設定です。REF を GPIO として使う場合、設計要件に合わせて設定します。

REF as General-Purpose Input:

GPI Mode:	Control ▼
Input State:	0
GPI Control Page:	0 ▼
GPI Control Offset[6:0]:	0 (0 to 127)
GPI Control Bit:	0 ▼

5.0 シンセサイザの設定

The screenshot shows the Synthesizer configuration window with the following settings and callouts:

- General:**
 - 1** ☒ Enable Synthesizer
 - Source: DPLL0
- Adjustments:**
 - 3** Phase Shift (ns): 0.000 (±32.767)
 - 4** Frequency Offset (ppm): 0.000000 (±500ppm)
- Frequency:**
 - 2** Base: 1 Hz
 - x Multiplier: 312,500,000 (32 bit)
 - x Numerator: 1 (16 bit)
 - / Denominator: 1 (16 bit)
 - = Frequency: 312,500,000 Hz
 - Valid Range: 186.177 to 740.995 MHz
- Spread Spectrum Modulation:**
 - 5** ☐ Enable Spread
 - Mode: Center Spread
 - Rate (kHz): 0.00 (25 to 55)
 - Spread (%): 0.000 (0 to 6.375)

1. 使うシンセサイザを全て有効にし、シンセサイザをソースとして使う出力クロックのクロック領域に応じて DPLL ソースを選択します。つまり、1588 に関連する出力クロックが全て 1588 DPLL に従うシンセサイザから駆動されるようにします。全ての SyncE 出力クロックが SyncE DPLL に従うシンセサイザから駆動されるようにします。
2. シンセサイザの周波数がクロック領域内の全て / 大部分の出力クロックの公倍数になるように設定します。例えば、25、125、156.25 MHz の出力クロック周波数が必要な場合、シンセサイザ周波数を 625 MHz に設定すれば、25 で割って 25 MHz、5 で割って 125 MHz、4 で割って 156.25 MHz を生成できます。ただし、この配置では必ずしも出力ジッターが最小になるとは限りません。十分な数のシンセサイザが利用できる場合、上の例の周波数を生成するために 1 つ目のシンセサイザで 250 MHz の周波数を生成し、10 で割って 25 MHz のクロック、2 で割って 125 MHz のクロックを得る事もできます。156.25 MHz のクロックは、2 つ目のシンセサイザで 312.5 MHz を生成して 2 で割る事で生成できます。
3. 必要に応じて [Phase Shift] を設定します。この設定はシンセサイザに追従するように設定された全ての出力に影響しますが、各出力で利用可能な位相シフト調整メカニズムよりもはるかに優れた分解能が得られます。負の値に設定すると位相が進み、正の値に設定すると位相が遅れます。
4. 必要に応じて [Frequency Offset] を設定します。この周波数オフセット ppm 値は、このシンセサイザをソースとして使う全ての出力クロックに適用されます。
5. スペクトラム変調されたクロックを生成するには、[Enable Spread] チェックボックスにチェックを入れ、設計仕様に従ってシンセサイザの [Spread Spectrum Modulation] のパラメータを設定します。この設定はシンセサイザに追従するよう設定された全てのポートに影響します。

6.0 出力クロックの設定

The screenshot shows the configuration tool for OUT0. The top bar lists OUT0 through OUT9. The 'General' section includes 'Source' (Synth0), 'Signal Format' (Disabled, High-Z), 'Clock Type' (Normal Clock), and checkboxes for 'Invert', 'Participate in Phase-Step', and 'Participate in Step-Time'. The 'CMOS OUTxP as General-Purpose Output' section has a 'Clock or GPO' dropdown set to 'Clock'. The 'Output Driver' section includes 'CMOS Drive Strength' (3x), 'Differential Vod' (880mV), 'Differential Vcm' (1.2V), 'Diff Regulator Voltage' (2.2V), 'Diff Internal Bias Resistor' (None - DC coupled), and 'Clock Stop Mode' (Stop Low). The 'Phase Shift and Pulse Width' section has 'Phase Shift' (0.0 Synth Cycles) and 'Pulse Width' (1.0 Synth Cycles). The 'Frequency' section has 'Source Frequency' (312,500,000 Hz), 'Divider' (2), and 'Output Frequency' (156,250,000 Hz).

- 出力クロックのソースとして使うシンセサイザを選択します。出力クロックとシンセサイザが同じクロック領域に属している事を確認してください。例えば、出力クロックが SyncE クロック領域に属する必要がある場合、そのソースとして選択するシンセサイザは SyncE DPLL をソースとするものにする必要があります。
- 回路図 / 設計の実装に合わせて [Signal Format] と [Clock Type] を選択します。
- 回路図 / 設計の仕様に合わせて出力周波数を設定します。ここでは、まず、シンセサイザが提供する [Source Frequency] を設定し、次に [Output Frequency] を得るために必要な分周値を設定します。
- 出力の電氣的仕様を設定します。差動出力の場合、 V_{OD} と V_{CM} で選択する値はレシーバの電氣的仕様を満たす必要があります。差動出力がボード上で AC 結合され、遠端終端が AC 結合コンデンサの後に位置する場合、[200Ω - AC-Coupled] モードを選択します。AC 結合出力の場合、200Ω の内部バイアス抵抗がある事によって信号振幅が約 33% 小さくなる事に注意してください。 V_{OD} はこの振幅の減少を補うように選択する必要があります。差動出力の場合、CMOS 駆動強度は無視されます。CMOS 出力の場合、差動パラメータは無視されます。
- [Participate in Step-Time] チェックボックスには 1 Hz と 0.5 Hz の出力信号の場合にのみチェックを入れます。時刻同期 DPLL のウィンドウで [Step-Time Threshold] と [Step-Time Resolution] を必ず設定してください。これらのパラメータの詳細な設定方法はデータシートの「Discrete Fast Lock (Step Time)」を参照してください。
- 設計に必要な [Phase Shift] の値を設定します。通常、0 のままにします。負の位相シフト (クロックの位相を進める) は、バッファまたは PCB 伝播遅延によって生じるボードの伝播遅延を補正するために使います。正の位相シフトは遅延を追加するために使います。この出力位相調整メカニズムは低分解能で、調整ステップはシンセサイザの出力クロックの周期と同じです。シンセサイザの位相シフト方式と比べた場合の主な利点は、各出力を独立して制御できる事です。

AN3980

7. 全ての通常クロック出力について青色の [Set 50%] ボタンをクリックして確実に [Pulse Width] を 50% に設定してください。既定値が 50% であるとは限りません。特定のデューティ サイクルが必要な場合、設計要件に合わせて値を選択します。
8. GPO として使う出力は、設計仕様に従って GPO(出力 / ステータス / IRQ) として設定します。
9. 出力 Ref-Sync ペアを生成する場合、出力クロックと同期パルスが同じシンセサイザをソースとして使っている事を確認します。

Microchip 社製品のコード保護機能について以下の点にご注意ください。

- Microchip 社製品は、該当する Microchip 社データシートに記載の仕様を満たしています。
- Microchip 社では、通常の条件ならびに動作仕様書の仕様に従って使った場合、Microchip 社製品のセキュリティ レベルは、現在市場に流通している同種製品の中でも最も高度であると考えています。
- Microchip 社はその知的財産権を重視し、積極的に保護しています。Microchip 社製品のコード保護機能の侵害は固く禁じられており、デジタル ミレニアム著作権法に違反します。
- Microchip 社を含む全ての半導体メーカーで、自社のコードのセキュリティを完全に保証できる企業はありません。コード保護機能とは、Microchip 社が製品を「読解不能」として保証するものではありません。コード保護機能は常に進化しています。Microchip 社では、常に製品のコード保護機能の改善に取り組んでいます。

本書および本書に記載されている情報は、Microchip 社製品を設計、テスト、お客様のアプリケーションと統合する目的を含め、Microchip 社製品に対してのみ使う事ができます。それ以外の方法でこの情報を使う事はこれらの条項に違反します。デバイス アプリケーションの情報は、ユーザの便宜のためにのみ提供されるものであり、更新によって変更となる事があります。お客様のアプリケーションが仕様を満たす事を保証する責任は、お客様にあります。その他のサポートは Microchip 社正規代理店にお問い合わせ頂くか、<https://www.microchip.com/en-us/support/design-help/client-support-services> をご覧ください。

Microchip 社は本書の情報を「現状のまま」で提供しています。Microchip 社は明示的、暗黙的、書面、口頭、法定のいずれであるかを問わず、本書に記載されている情報に関して、非侵害性、商品性、特定目的への適合性の暗黙的保証、または状態、品質、性能に関する保証をはじめとするいかなる類の表明も保証も行いません。

いかなる場合も Microchip 社は、本情報またはその使用に関連する間接的、特殊的、懲罰的、偶発的または必然的損失、損害、費用、経費のいかににかかわらず、また Microchip 社がそのような損害が生じる可能性について報告を受けていた場合あるいは損害が予測可能であった場合でも、一切の責任を負いません。法律で認められる最大限の範囲を適用しようとも、本情報またはその使用に関連する一切の申し立てに対する Microchip 社の責任限度額は、使用者が当該情報に関連して Microchip 社に直接支払った額を超えません。

Microchip 社の明示的な書面による承認なしに、生命維持装置あるいは生命安全用途に Microchip 社の製品を使う事は全て購入者のリスクとし、また購入者はこれによって発生したあらゆる損害、クレーム、訴訟、費用に関して、Microchip 社は擁護され、免責され、損害をうけない事に同意するものとします。特に明記しない場合、暗黙的あるいは明示的を問わず、Microchip 社が知的財産権を保有しているライセンスは一切譲渡されません。

Microchip 社の品質管理システムについては www.microchip.com/quality をご覧ください。

商標

Microchip 社の名称とロゴ、Microchip ロゴ、Adaptec、AVR、AVR ロゴ、AVR Freaks、BesTime、BitCloud、CryptoMemory、CryptoRF、dsPIC、flexPWR、HELDO、IGLOO、JukeBlox、Keeloq、Kleer、LANCheck、LinkMD、maxStylus、maxTouch、MediaLB、megaAVR、Microsemi、Microsemi ロゴ、MOST、MOST ロゴ、MPLAB、OptoLyzr、PIC、picoPower、PICSTART、PIC32 ロゴ、PolarFire、Prochip Designer、QTouch、SAM-BA、SenGenuity、SpyNIC、SST、SST ロゴ、SuperFlash、Symmetricom、SyncServer、Tachyon、TimeSource、tinyAVR、UNI/O、Vectron、XMEGA は米国とその他の国における Microchip Technology Incorporated の登録商標です。

AgileSwitch、APT、ClockWorks、The Embedded Control Solutions Company、EtherSynch、Flashtec、Hyper Speed Control、HyperLight Load、Libero、motorBench、mTouch、Powermite 3、Precision Edge、ProASIC、ProASIC Plus、ProASIC Plus ロゴ、Quiet-Wire、SmartFusion、SyncWorld、Temux、TimeCesium、TimeHub、TimePictra、TimeProvider、TrueTime、ZL は米国における Microchip Technology Incorporated の登録商標です。

Adjacent Key Suppression、AKS、Analog-for-the-Digital Age、Any Capacitor、AnyIn、AnyOut、Augmented Switching、BlueSky、BodyCom、Clockstudio、CodeGuard、CryptoAuthentication、CryptoAutomotive、CryptoCompanion、CryptoController、dsPICDEM、dsPICDEM.net、Dynamic Average Matching、DAM、ECAN、Espresso T1S、EtherGREEN、GridTime、IdealBridge、In-Circuit Serial Programming、ICSP、INICnet、Intelligent Paralleling、IntelliMOS、Inter-Chip Connectivity、JitterBlocker、Knob-on-Display、KoD、maxCrypto、maxView、memBrain、Mindi、MiWi、MPASM、MPF、MPLAB Certified ロゴ、MPLIB、MPLINK、MultiTRAK、NetDetach、Omniscient Code Generation、PICDEM、PICDEM.net、PICKit、PiCtail、PowerSmart、PureSilicon、QMatrix、REAL ICE、Ripple Blocker、RTAX、RTG4、SAM-ICE、Serial Quad I/O、simpleMAP、SimpliPHY、SmartBuffer、SmartHLS、SMART-I.S.、storClad、SQL、SuperSwitcher、SuperSwitcher II、Switchtec、SynchroPHY、Total Endurance、Trusted Time、TSHARC、USBCheck、VariSense、VectorBlox、VeriPHY、ViewSpan、WiperLock、XpressConnect、ZENA は米国とその他の国における Microchip Technology Incorporated の商標です。

SQTP は米国における Microchip Technology Incorporated のサービスマークです。

Adaptec ロゴ、Frequency on Demand、Silicon Storage Technology、Symmcom はその他の国における Microchip Technology Incorporated の登録商標です。

GestIC は、その他の国における Microchip Technology Germany II GmbH & Co. KG (Microchip Technology Incorporated の子会社) の登録商標です。

その他の商標は各社に帰属します。

© 2023, Microchip Technology Incorporated and its subsidiaries.

All Rights Reserved.

ISBN: 978-1-6683-1975-8

各国の営業所とサービス

南北アメリカ

本社
2355 West Chandler Blvd.
Chandler, AZ 85224-6199
Tel: 480-792-7200
Fax: 480-792-7277
技術サポート :
<http://www.microchip.com/support>
URL:
www.microchip.com

アトランタ
Duluth, GA
Tel: 678-957-9614
Fax: 678-957-1455

オースティン, TX
Tel: 512-257-3370

ボストン
Westborough, MA
Tel: 774-760-0087
Fax: 774-760-0088

シカゴ
Itasca, IL
Tel: 630-285-0071
Fax: 630-285-0075

ダラス
Addison, TX
Tel: 972-818-7423
Fax: 972-818-2924

デトロイト
Novi, MI
Tel: 248-848-4000

ヒューストン, TX
Tel: 281-894-5983

インディアナポリス
Noblesville, IN
Tel: 317-773-8323
Fax: 317-773-5453
Tel: 317-536-2380

ロサンゼルス
Mission Viejo, CA
Tel: 949-462-9523
Fax: 949-462-9608
Tel: 951-273-7800

ローリー, NC
Tel: 919-844-7510

ニューヨーク, NY
Tel: 631-435-6000

サンノゼ, CA
Tel: 408-735-9110
Tel: 408-436-4270

カナダ - トロント
Tel: 905-695-1980
Fax: 905-695-2078

アジア / 太平洋

オーストラリア - シドニー
Tel: 61-2-9868-6733

中国 - 北京
Tel: 86-10-8569-7000

中国 - 成都
Tel: 86-28-8665-5511

中国 - 重慶
Tel: 86-23-8980-9588

中国 - 東莞
Tel: 86-769-8702-9880

中国 - 広州
Tel: 86-20-8755-8029

中国 - 杭州
Tel: 86-571-8792-8115

中国 - 香港 SAR
Tel: 852-2943-5100

中国 - 南京
Tel: 86-25-8473-2460

中国 - 青島
Tel: 86-532-8502-7355

中国 - 上海
Tel: 86-21-3326-8000

中国 - 瀋陽
Tel: 86-24-2334-2829

中国 - 深圳
Tel: 86-755-8864-2200

中国 - 蘇州
Tel: 86-186-6233-1526

中国 - 武漢
Tel: 86-27-5980-5300

中国 - 西安
Tel: 86-29-8833-7252

中国 - 厦門
Tel: 86-592-2388138

中国 - 珠海
Tel: 86-756-3210040

アジア/太平洋

インド - バンガロール
Tel: 91-80-3090-4444

インド - ニューデリー
Tel: 91-11-4160-8631

インド - プネ
Tel: 91-20-4121-0141

日本 - 大阪
Tel: 81-6-6152-7160

日本 - 東京
Tel: 81-3-6880-3770

韓国 - 大邱
Tel: 82-53-744-4301

韓国 - ソウル
Tel: 82-2-554-7200

マレーシア - クアラルンプール
Tel: 60-3-7651-7906

マレーシア - ペナン
Tel: 60-4-227-8870

フィリピン - マニラ
Tel: 63-2-634-9065

シンガポール
Tel: 65-6334-8870

台湾 - 新竹
Tel: 886-3-577-8366

台湾 - 高雄
Tel: 886-7-213-7830

台湾 - 台北
Tel: 886-2-2508-8600

タイ - バンコク
Tel: 66-2-694-1351

ベトナム - ホーチミン
Tel: 84-28-5448-2100

欧州

オーストリア - ヴェルス
Tel: 43-7242-2244-39
Fax: 43-7242-2244-393

デンマーク - コペンハーゲン
Tel: 45-4485-5910
Fax: 45-4485-2829

フィンランド - エスポー
Tel: 358-9-4520-820

フランス - パリ
Tel: 33-1-69-53-63-20
Fax: 33-1-69-30-90-79

ドイツ - ガーヒンク
Tel: 49-8931-9700

ドイツ - ハーン
Tel: 49-2129-3766400

ドイツ - ハイムブロン
Tel: 49-7131-72400

ドイツ - カールスルーエ
Tel: 49-721-625370

ドイツ - ミュンヘン
Tel: 49-89-627-144-0
Fax: 49-89-627-144-44

ドイツ - ローゼンハイム
Tel: 49-8031-354-560

イスラエル - ラーナナ
Tel: 972-9-744-7705

イタリア - ミラノ
Tel: 39-0331-742611
Fax: 39-0331-466781

イタリア - バドヴァ
Tel: 39-049-7625286

オランダ - ドリュエネン
Tel: 31-416-690399
Fax: 31-416-690340

ノルウェー - トロンハイム
Tel: 47-7288-4388

ポーランド - ワルシャワ
Tel: 48-22-3325737

ルーマニア - ブカレスト
Tel: 40-21-407-87-50

スペイン - マドリッド
Tel: 34-91-708-08-90
Fax: 34-91-708-08-91

スウェーデン - ヨーテボリ
Tel: 46-31-704-60-40

スウェーデン - ストックホルム
Tel: 46-8-5090-4654

イギリス - ウォーキンガム
Tel: 44-118-921-5800
Fax: 44-118-921-5820