

KSZ9131RNX

ハードウェア設計のチェックリスト

1.0 はじめに

本書には、Microchip 社の KSZ9131RNX に関するハードウェア設計のチェックリストを記載しています。KSZ9131RNX を新しい設計で使う際には本書のチェック項目に従う必要があります。[セクション 9.0、「ハードウェア チェックリストの概要」\(p. 13\)](#) に、これらの項目のまとめを示します。これらのテーマに関する詳細は該当するセクションに記載されています。

- [その他の機能 \(p. 12\)](#) 一般的注意事項 (p. 1)
- [電源 \(p. 1\)](#)
- [Ethernet 信号 \(p. 3\)](#)
- [クロック回路 \(p. 6\)](#)
- [デジタル インターフェイス \(p. 8\)](#)
- [起動 \(p. 10\)](#)
- [その他の機能 \(p. 12\)](#)

2.0 一般的注意事項

2.1 必要な参考資料

KSZ9131RNX の実装者は、以下の資料を手元に用意する必要があります。

- KSZ9131RNX Gigabit Ethernet Transceiver with RGMII Support Data Sheet
- KSZ9131RNX Silicon Errata and Data Sheet Clarification
- KSZ9131RNX Reference Design Schematic

2.2 ピンの確認

- データシートを参照して製品のピン配置を確認します。全てのピンがデータシートと一致し、回路図ツールのエラーチェックのために入力、出力、または双方向としてピンが設定されている事を確認します。

2.3 グランド

- グランドピン (GND) はボード上のベタのグランドプレーンに接続する必要があります。
- 全てのグランド接続を同じグランドプレーンに結線する事を推奨します。別のグランドプレーンへの結線は推奨しません。

3.0 電源

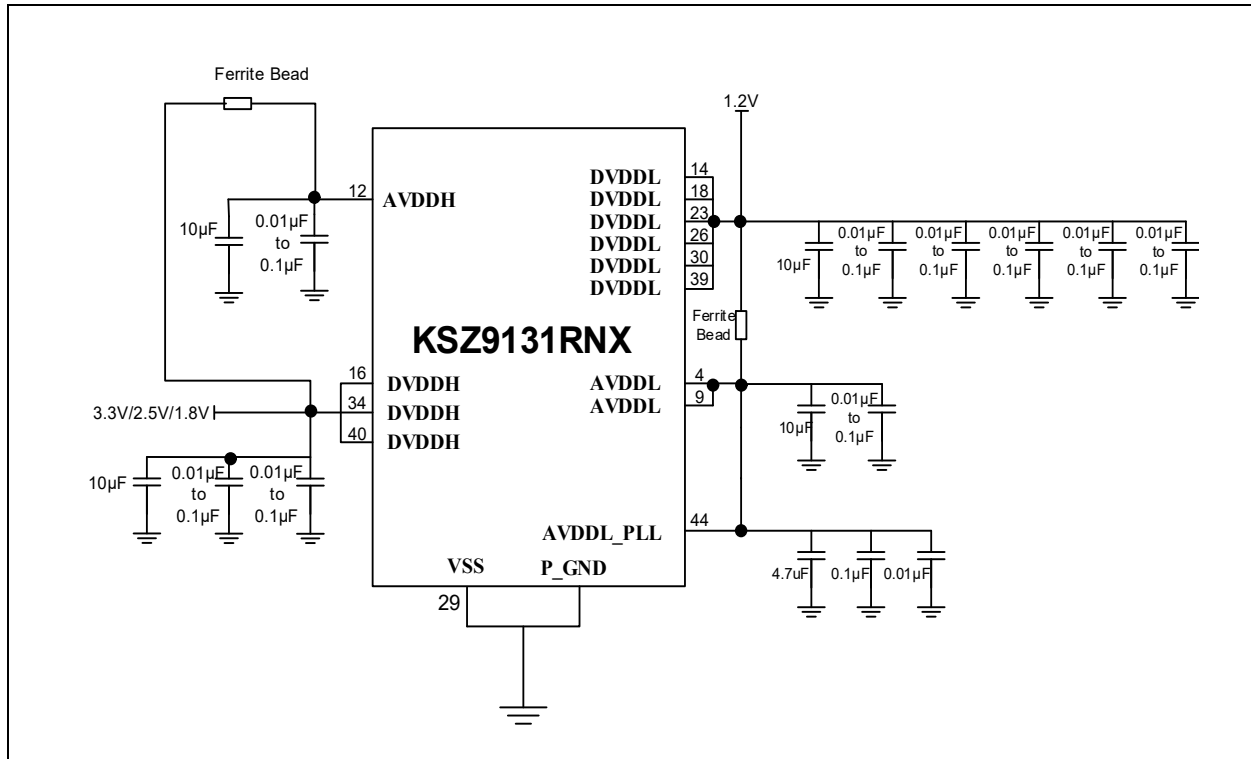
- アナログ電源 (AVDDH) はピン 1 とピン 12 にあり、VDDA(+3.3 V からフェライトビーズを介して作成) への接続を必要とします。バルクコンデンサはフェライトビーズの両側に配置する必要があります。通常、100 MHz で 100 ~ 220 Ω のフェライトビーズを使います。デバイスをデカップリングするために 0.1 μ F と 10 μ F のコンデンサを各 AVDDH ピンに追加する必要があります。コンデンサのサイズは SMD_0603 以下にします。
- AVDDL(ピン 4、9) はアナログコア電圧電源です。+1.2 V 電源 (+1.2 V からフェライトビーズを介して作成) に接続する必要があります。バルクコンデンサはフェライトビーズの両側に配置する必要があります。通常、100 MHz で 100 ~ 220 Ω のフェライトビーズを使います。デバイスをデカップリングするために 0.1 μ F と 22 μ F のコンデンサを各 AVDDL ピンに追加する必要があります。コンデンサのサイズは SMD_0603 以下にします。
- DVDDH(ピン 16、34、40) は I/O パッド用の可変電圧電源です。+3.3 V、2.5 V、または 1.8 V 電源に接続する必要があります。デバイス起動時の電圧降下を防ぐために、バルクコンデンサをソースの近くに配置する必要があります。EMI 干渉によって注入される高周波ノイズを低減するため、デカップリングコンデンサをデバイスのなるべく近くに配置する必要があります。

KSZ9131RNX

- DVDDL(ピン 14、18、23、26、30、39) はデジタルコア電圧電源です。+1.2 V 電源に接続する必要があります。デバイス起動時の電圧降下を防ぐために、バルクコンデンサをソースの近くに配置する必要があります。EMI 干渉によって注入される高周波ノイズを低減するため、デカップリングコンデンサをデバイスのなるべく近くに配置する必要があります。
- AVDDL_PLL(ピン 44) は KSZ9131RNX PLL に電力を供給します。4.7 μ F ~ 10 μ F のコンデンサ、0.1 μ F のコンデンサ、0.01 μ F のコンデンサを使ってグラウンドにデカップリングします。その後、フェライトビーズを介して +1.2 V 電源トレースまたはプレーンに接続します。

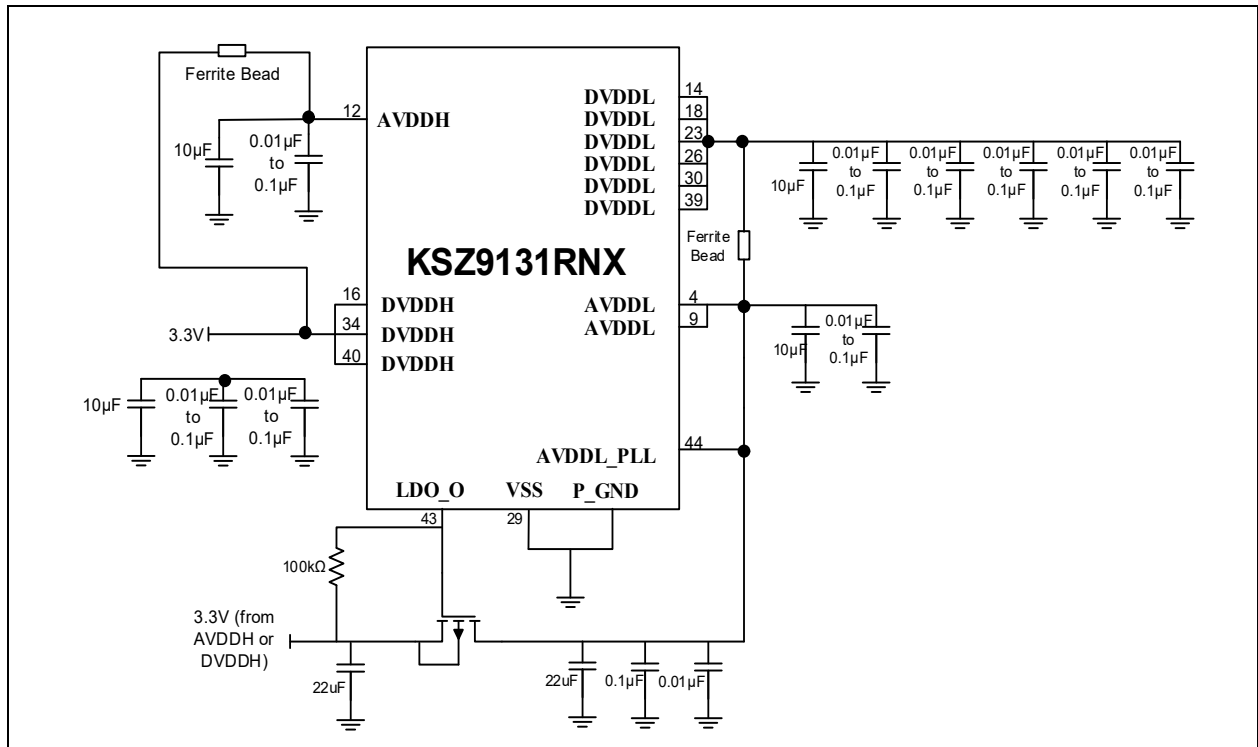
図 3-1 に LDO を使わない場合の電源およびグランド接続を示します。図 3-2 に LDO を使う場合 (外部 MOSFET 使用) の電源およびグランド接続を示します。

図 3-1: LDO を使わない場合の電源およびグランド接続



Caution: この+1.2 V電源は内部ロジック専用です。この電源から他の回路またはデバイスに給電してはなりません。

図 3-2: LDO を使う場合の電源およびグランド接続



Caution: この+1.2 V電源は内部ロジック専用です。この電源から他の回路またはデバイスに給電してはなりません。

Note: 突入電流の懸念がある場合、P チャンネル MOSFET の 3.3 V 側 (ソース) の 22 μF コンデンサを 10 μF ~ 12 μF まで小さくできます。

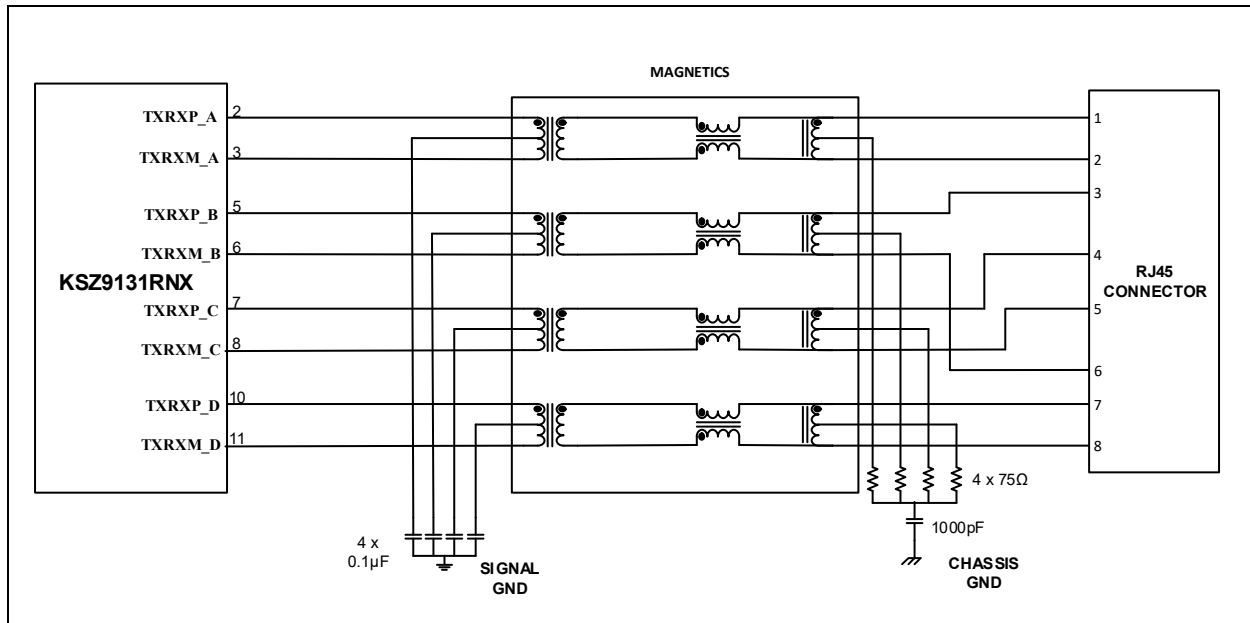
4.0 Ethernet 信号

4.1 10/100/1000 MBPS インターフェイス接続

- **TXRXP_A**(ピン 2): このピンは内部 PHY のペア A からの正の送信 / 受信接続です。このピンは 10/100/1000 パルス トランスに接続します。外付けのターミネータとバイアスは不要です。
- **TXRXM_A**(ピン 3): このピンは内部 PHY のペア A からの負の送信 / 受信接続です。このピンは 10/100/1000 パルス トランスに接続します。外付けのターミネータとバイアスは不要です。
- **TXRXP_B**(ピン 5): このピンは内部 PHY のペア B からの正の送信 / 受信接続です。このピンは 10/100/1000 パルス トランスに接続します。外付けのターミネータとバイアスは不要です。
- **TXRXM_B**(ピン 6): このピンは内部 PHY のペア B からの負の送信 / 受信接続です。このピンは 10/100/1000 パルス トランスに接続します。外付けのターミネータとバイアスは不要です。
- **TXRXP_C**(ピン 7): このピンは内部 PHY のペア C からの正の送信 / 受信接続です。このピンは 10/100/1000 パルス トランスに接続します。外付けのターミネータとバイアスは不要です。
- **TXRXM_C**(ピン 8): このピンは内部 PHY のペア C からの負の送信 / 受信接続です。このピンは 10/100/1000 パルス トランスに接続します。外付けのターミネータとバイアスは不要です。
- **TXRXP_D**(ピン 10): このピンは内部 PHY のペア D からの正の送信 / 受信接続です。このピンは 10/100/1000 パルス トランスに接続します。外付けのターミネータとバイアスは不要です。
- **TXRXM_D**(ピン 11): このピンは内部 PHY のペア D からの負の送信 / 受信接続です。このピンは 10/100/1000 パルス トランスに接続します。外付けのターミネータとバイアスは不要です。

10/100/1000 Mbps チャンネル接続の詳細は図 4-1 を参照してください。

図 4-1: 10/100/1000 Mbps チャンネル接続



4.2 10/100/1000 パルストランス接続

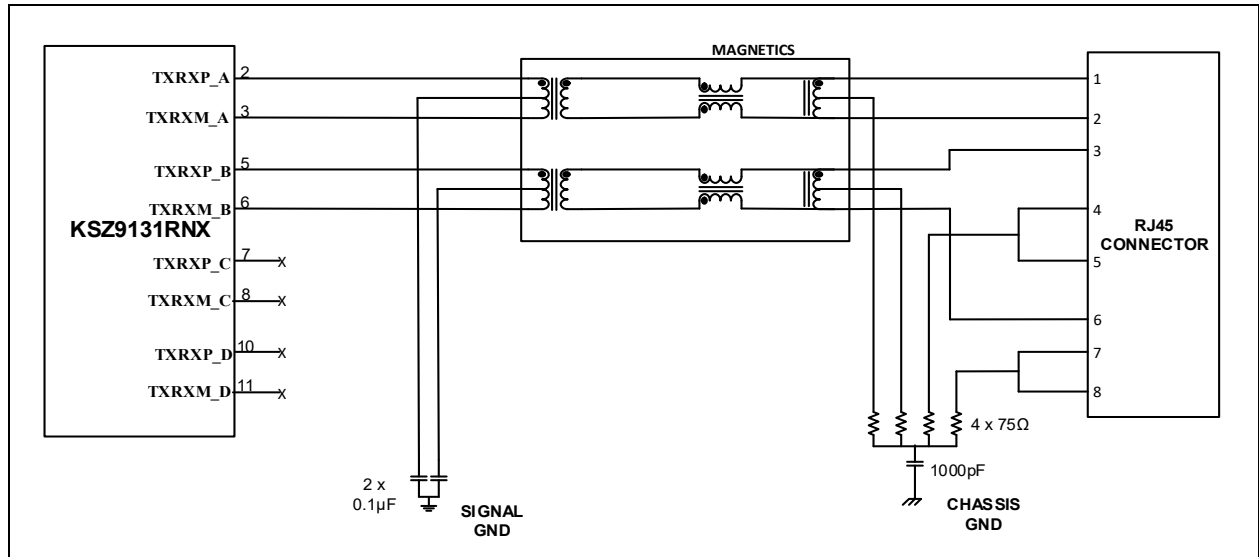
- ペア A チャンネルの KSZ9131RNX 側のセンタータップ接続は 0.1 μ F のコンデンサのみを介して GND に接続し、バイアスは不要です。
- ペア B チャンネルの KSZ9131RNX 側のセンタータップ接続は 0.1 μ F のコンデンサのみを介して GND に接続し、バイアスは不要です。
- ペア C チャンネルの KSZ9131RNX 側のセンタータップ接続は 0.1 μ F のコンデンサのみを介して GND に接続し、バイアスは不要です。
- ペア D チャンネルの KSZ9131RNX 側のセンタータップ接続は 0.1 μ F のコンデンサのみを介して GND に接続し、バイアスは不要です。
- 全ペアのパルストランスのセンタータップをこの 0.1 μ F を経由することなく互いを直接接続してはなりません。なぜなら、特に 10/100 動作では、ペアによって共通モード電圧が異なる可能性があるためです (ペア A とペア B はアクティブで、ペア C とペア D は非アクティブです)。
- 各ペア (A、B、C、D) のケーブル側 (RJ45 側) のセンタータップ接続は共通の 1000 pF、2 KV コンデンサを介して 75 Ω 抵抗で終端し、シャシーグランドに接続する必要があります。
- シャシーグランドとの間に必要な 1000 pF、2 KV のコンデンサは 1 つのみです。ペア A、ペア B、ペア C、ペア D のセンタータップで共有されます。
- RJ45 のシールドはシャシーグランドに接続する必要があります。内蔵パルストランスの有無を問わず、これには RJ45 コネクタが含まれます。シャシーグランドをデジタル / 信号グランドから作成する方法は、[セクション 8.2](#) を参照してください。

4.3 10/100 MBPS インターフェイス接続

- 10/100 接続のみを必要とする設計の場合、1000 Mbps の機能を取り除く必要があります。以下の手順でオートネゴシエーションの 1000 Mbps アドバタイズを除外します。
 - ポートレジスタ 0x00 / ビット [6] を「0」に設定する事で、1000 Mbps を除外します。
 - ポートレジスタ 0x09 / ビット [9:8] を「00」に設定する事で、オートネゴシエーションの 1000 Mbps アドバタイズを除外します。
 - レジスタ 0x00 / ビット [9] に「1」を書き込む事で、オートネゴシエーションを再開します (このビットは自己クリアビットです)。
- TXRXP_A (ピン 2): このピンは内部 PHY のペア A からの正の送信 / 受信接続です。このピンは 10/100 パルストランスに接続します。外付けのターミネータとバイアスは不要です。
- TXRXM_A (ピン 3): このピンは内部 PHY のペア A からの負の送信 / 受信接続です。このピンは 10/100 パルストランスに接続します。外付けのターミネータとバイアスは不要です。
- TXRXP_B (ピン 5): このピンは内部 PHY のペア B からの正の送信 / 受信接続です。このピンは 10/100 パルストランスに接続します。外付けのターミネータとバイアスは不要です。

- **TXRXM_B**(ピン 6): このピンは内部 PHY のペア B からの負の送信 / 受信接続です。このピンは 10/100 パルストランスに接続します。外付けのターミネータとバイアスは不要です。
 - **TXRXP_C**(ピン 7): このピンは NC(開放) のままかまいません。
 - **TXRXM_C**(ピン 8): このピンは NC(開放) のままかまいません。
 - **TXRXP_D**(ピン 10): このピンは NC(開放) のままかまいません。
 - **TXRXM_D**(ピン 11): このピンは NC(開放) のままかまいません。
- 10/100 Mbps チャンネル接続の詳細は図 4-2 を参照してください。

図 4-2: 10/100 Mbps チャンネル接続



4.4 10/100 パルストランス接続

- ペア A (送信チャンネル) の KSZ9131RNX 側のセンタータップ接続は 0.1 µF のコンデンサのみを介して GND に接続し、バイアスは不要です。
- ペア B (受信チャンネル) の KSZ9131RNX 側のセンタータップ接続は 0.1 µF のコンデンサのみを介して GND に接続し、バイアスは不要です。
- 送信チャンネルと受信チャンネルのパルストランスのセンタータップを互いに接続してはなりません。なぜなら、ペアによってコモンモード電圧が異なる可能性があるためです。
- 受信チャンネルの KSZ9131RNX 側のセンタータップ接続はパルストランス上の送信チャンネル センタータップに接続されます。
- ペア A のケーブル側 (RJ45 側) のセンタータップ接続は 1000 pF、2 KV のコンデンサを介して 75 Ω 抵抗で終端し、シャシーグランドに接続する必要があります。
- ペア B のケーブル側 (RJ45 側) のセンタータップ接続は 1000 pF、2 KV のコンデンサを介して 75 Ω 抵抗で終端し、シャシーグランドに接続する必要があります。
- シャシーグランドとの間に必要な 1000 pF、2 KV のコンデンサは 1 つのみです。ペア A とペア B のセンタータップで共有されます。
- MDI 接続:
 - RJ45 のピン 1 は TX+ で、パルストランスを介して KSZ9131RNX の TXRXP_A(ピン 2) までトレースする必要があります。
 - RJ45 のピン 2 は TX- で、パルストランスを介して KSZ9131RNX の TXRXM_A(ピン 3) までトレースする必要があります。
 - RJ45 のピン 3 は RX+ で、パルストランスを介して KSZ9131RNX の TXRXP_B(ピン 5) までトレースする必要があります。
 - RJ45 のピン 6 は RX- で、パルストランスを介して KSZ9131RNX の TXRXM_B(ピン 6) までトレースする必要があります。
- MDIX 接続:
 - RJ45 のピン 3 は TX+ で、パルストランスを介して KSZ9131RNX の TXRXP_B(ピン 6) までトレースする必要があります。
 - RJ45 のピン 6 は TX- で、パルストランスを介して KSZ9131RNX の TXRXM_B(ピン 5) までトレースする必要があります。
 - RJ45 のピン 1 は RX+ で、パルストランスを介して KSZ9131RNX の TXRXP_A(ピン 2) までトレースする必要があります。

KSZ9131RNX

- RJ45 のピン 2 は RX- で、パルストランスを介して KSZ9131RNX の TXRXP_A(ピン 3) までトレースする必要があります。
- KSZ9131RNX デバイスを Auto MDIX 動作モードで使う場合、Auto MDIX スタイルのパルストランス モジュール (2 つのチャンネルが同一のもの) が必要です。

4.5 10/100 MBPS RJ45 接続

- RJ45 コネクタのピン 4 とピン 5 は CAT-5 ケーブルの 1 対の未使用ワイヤとインターフェイスします。これらは 1000 pF、2 KV の終端コンデンサを介してシャシーグランドに接続されている必要があります。これを行う方法は 2 つあります。
 - ピン 4 とピン 5 は 2 つの 49.9 Ω 抵抗で互いに接続できます。これらの抵抗の共通接続は 3 つ目の 49.9 Ω の抵抗を介して 1000 pF、2 KV のコンデンサに接続する必要があります。
 - 部品点数を少なくするために、抵抗を組み合わせる事ができます。2 つの 49.9 Ω 抵抗を並列に接続すると、1 つの 25 Ω の抵抗のように機能します。25 Ω 抵抗と 49.9 Ω 抵抗を直列に接続すると、回路全体が 75 Ω 抵抗として機能します。そこで、RJ45 のピン 4 とピン 5 間を短絡させ、1000 pF、2 KV のコンデンサと直列に接続された 75 Ω の終端抵抗を使ってシャシーグランドに接続する事で等価な回路ができます。
- RJ45 コネクタのピン 7 とピン 8 は CAT-5 ケーブルの 1 対の未使用ワイヤとインターフェイスします。これらは 1000 pF、2 KV の終端コンデンサを介してシャシーグランドに接続されている必要があります。これを行う方法は 2 つあります。
 - ピン 7 とピン 8 は 2 つの 49.9 Ω 抵抗で互いに接続できます。これらの抵抗の共通接続は 3 つ目の 49.9 Ω の抵抗を介して 1000 pF、2 KV のコンデンサに接続する必要があります。
 - 部品点数を少なくするために、抵抗を組み合わせる事ができます。2 つの 49.9 Ω 抵抗を並列に接続すると、1 つの 25 Ω の抵抗のように機能します。25 Ω 抵抗と 49.9 Ω 抵抗を直列に接続すると、回路全体が 75 Ω 抵抗として機能します。そこで、RJ45 のピン 7 とピン 8 間を短絡させ、1000 pF、2 KV のコンデンサと直列に接続された 75 Ω の終端抵抗を使ってシャシーグランドに接続する事で等価な回路ができます。
- RJ45 のシールドは直接シャシーグランドに取り付ける必要があります。内蔵パルストランスの有無を問わず、これには RJ45 コネクタが含まれます。シャシーグランドをデジタル / 信号グランドから作成する方法は、[セクション 8.2](#) を参照してください。

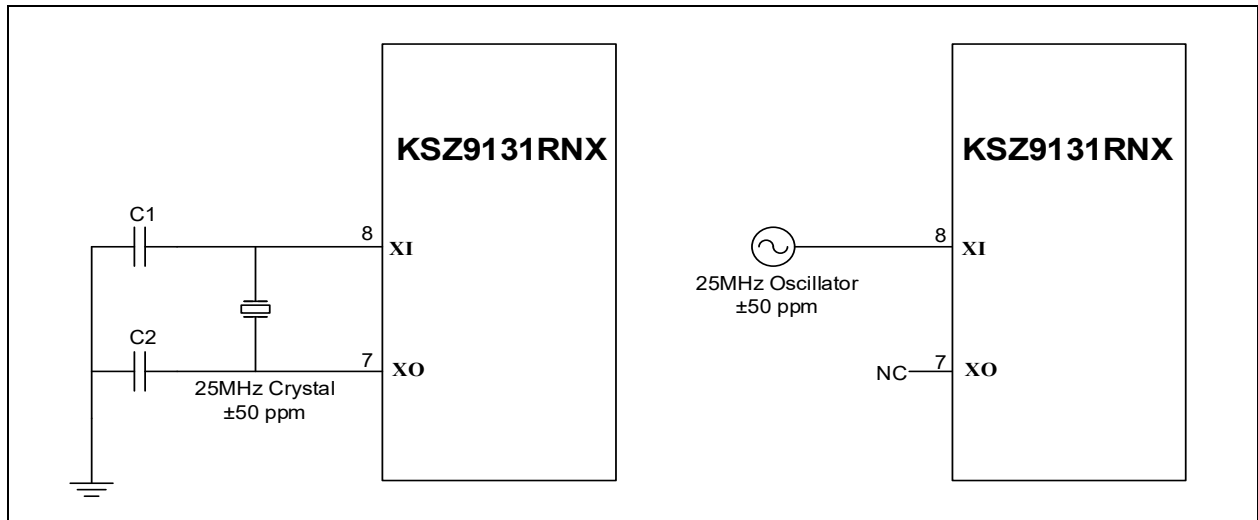
5.0 クロック回路

5.1 MII モード用の水晶振動子および外部オシレータ / クロック接続

- クロック源には 25.000 mhz(± 50 ppm)の 水晶振動子を使う必要があります。水晶振動子の完全な仕様と公差は KSZ9131RNX のデータシートを参照してください。
- XI(ピン 8) は KSZ9131RNX デバイス用のクロック回路入力です。このピンは、コンデンサを介してグランドに接続する必要があります。水晶振動子の一方の側がこのピンに接続します。
- XO(ピン 7) は KSZ9131RNX デバイス用のクロック回路出力です。このピンは、コンデンサを介してグランドに接続する必要があります。水晶振動子の一方の側がこのピンに接続します。
- システム設計に同じものはないため、コンデンサの値は水晶振動子の CL 仕様と浮遊容量値に基づき、システムごとに異なります。PCB 設計、水晶振動子、レイアウトの全てがこの回路の特性に寄与します。

- または、25.000 MHz、3.3 V のクロック オシレータを使って KSZ9131RNX のクロック 源を提供する事も可能です。シングルエンド クロック 源を使う場合、XO(ピン 7) はフロート状態で NC(未接続) にします。図 5-1 を参照してください。

図 5-1: 水晶振動子とオシレータの接続



KSZ9131RNX

6.0 デジタル インターフェイス

6.1 RGMII™ インターフェイス

- KSZ9131RNX は RXD、RX_DV ラインから RX_CLK を遅延させる RGMII™ v2.0 仕様に準拠しています。詳細は KSZ9131RNX のデータシートを参照してください。
- KSZ9131RNX の RXD から RX_CLK への遅延について、MAC を RGMII v2.0 に準拠させる (少なくとも 1.2 ns の RXD から RXCLK への遅延を許容する) か、RX_CLK ラインの遅延を RGMII v2.0 仕様に準拠するように設定する必要があります。MAC が RGMII v2.0 に準拠していない、または RX_CLK に遅延を設定できない場合、トレース遅延と KSZ9131RNX で提供される Pad Skew 設定がタイミングを満たすのに役立ちます。KSZ9131RNX の Pad Skew レジスタを使って十分な遅延に調整するマージンを確保するため、少なくとも 0.3 ns の遅延を設計する (RX_CLK の PCB トレースを RXD、RX_DV/RX_CTL の最も長い PCB トレースよりも 4.5 cm/1.8 インチ長くする) 事を推奨します。外部 RGMII MAC インターフェイスを使う場合、表 6-1 に示す 2 つの管理用ピン (MDC と MDIO) を含む 14 個の信号の正しい接続に従います。

表 6-1: RGMII™ 接続

接続元	接続先
KSZ9131RNX	RMII™ MAC デバイス
RXD0(ピン 32)	RXD<0>
RXD1(ピン 31)	RXD<1>
RXD2(ピン 28)	RXD<2>
RXD3(ピン 27)	RXD<3>
RX_DV/RX_CTL(ピン 33)	RX_DV
RX_CLK(ピン 35)	RX_CLK
TXD0(ピン 19)	TXD<0>
TXD1(ピン 20)	TXD<1>
TXD2(ピン 21)	TXD<2>
TXD3(ピン 22)	TXD3
TXEN(ピン 25)	TX_EN
GTX_CLK(ピン 24)	GTX_CLK
MDIO(ピン 37)	MDIO
MDC(ピン 36)	MDC

- RGMII インターフェイスの全ての出力に直列終端抵抗を設ける必要があります。直列抵抗を使うと、KSZ9131RNX の出力ドライバのインピーダンスと PCB トレースのインピーダンスを正確に整合させ、信号のリングングを最小限に抑えられます。正確な抵抗値はアプリケーションごとに異なるため、インシステムでの分析が必要です。これらの直列抵抗に推奨される初期値は 33 Ω です。

6.2 RGMII™ 直列ソース終端

表 6-2: RGMII™ 直列ソース終端

信号	RGMII™ モード
RXD0	33 Ω
RXD1	33 Ω
RXD2	33 Ω
RXD3	33 Ω
RX_DV/RX_CTL	33 Ω
RX_CLK	33 Ω
TXD0	33 Ω
TXD1	33 Ω
TXD2	33 Ω
TXD3	33 Ω
TX_EN	33 Ω
GTX_CLK	33 Ω

6.3 必要な外付けプルアップ

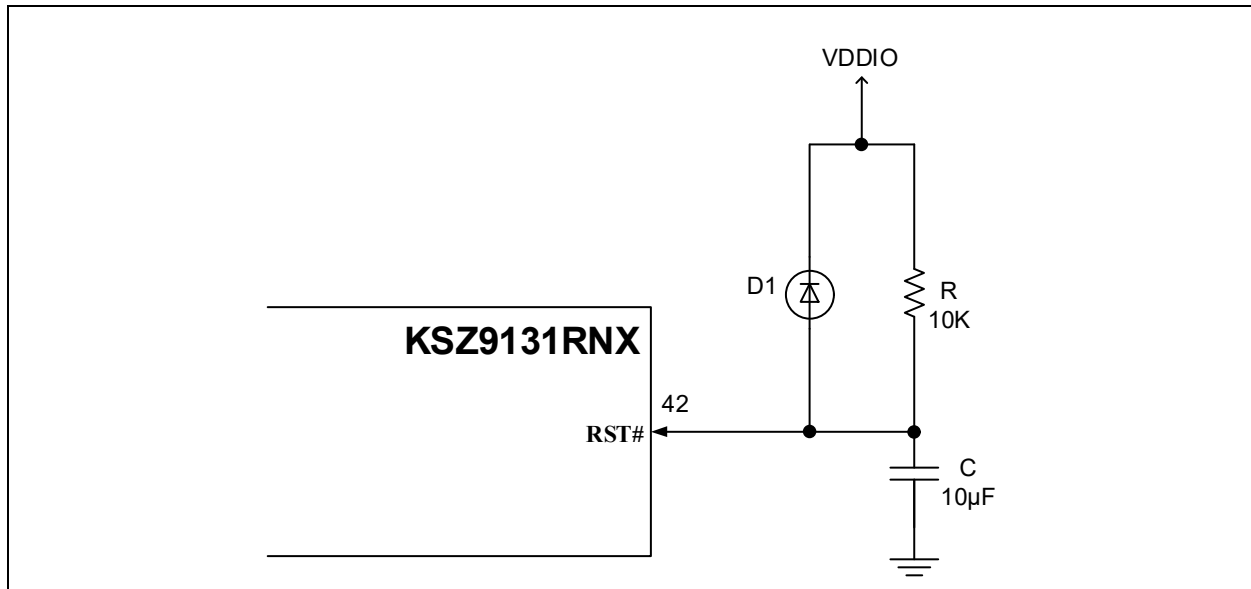
- KSZ9131RNX の MDC/MDIO 管理用ピンを使う場合、MDIO 信号 (ピン 37) に 1 kΩ のプルアップ抵抗が必要です。
- INTRP (ピン 38) を使う場合、この出力はオープンドレインのため、4.7 kΩ の外付けプルアップ抵抗が必要です。INTRP ピンを使わない場合、フローティング状態にする事ができます。

7.0 起動

7.1 リセット回路

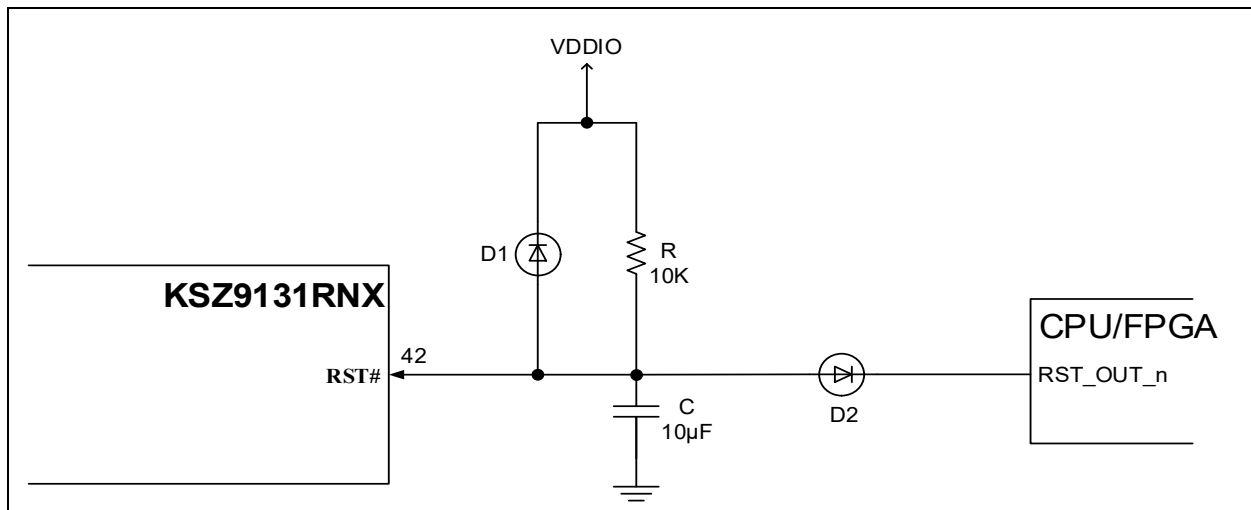
- RST# (ピン 42) はアクティブ Low のリセット入力です。この信号は KSZ9131RNX 内の全ロジックとレジスタをリセットします。起動後にハードウェア リセット (RST# アサート) が必要です。リセット タイミング要件の詳細は最新版の KSZ9131RNX のデータシートを参照してください。図 7-1 に、リセットが電源によってトリガされる場合に KSZ9131RNX を起動するための推奨リセット回路を示します。

図 7-1: 電源によってトリガされるリセット



- 図 7-2 に、リセットが外部 CPU または FPGA によって駆動されるアプリケーション向けの推奨リセット回路を示します。CPU/FPGA からのリセット出力ピン (RST_OUT_n) は電源投入後にウォームリセットを提供します。Ethernet デバイスと CPU/FPGA が同じ VDDIO 電圧を使う場合、D2 を使わずに両方のリセットピンを直接接続できます。

図 7-2: CPU/FPGA のリセット出力とのリセット回路インターフェイス



7.2 コンフィグレーション モードピン (ストラップ オプション)

- KSZ9131RNX のコンフィグレーション モードピン (MODE[3:0]) は 10/100 PHY の既定値コンフィグレーションを制御します。これらのピンにより、速度、半二重 / 全二重、オート ネゴシエーション、パワーダウンの機能を設定できます。これら 3 つのピンの値は電源投入時とリセット時にラッチされます。システムによっては、MAC 受信入力ピンが電源投入 / リセット時に High に駆動され、その結果 RGMII™ 信号で PHY ストラップイン ピンが High にラッチされる可能性があります。この場合、PHY が不適切なモード コンフィグレーションにストラップインしないように、または誤った PHY アドレスに設定されないように、これらの PHY ストラップイン ピンに 1 kΩ のプルダウン抵抗を追加する事を推奨します。これらのピンの動作の詳細は KSZ9131RNX のデータシートを参照してください。

7.3 LED ピン

- KSZ9131RNX は 2 つの LED 信号を提供します。これらのインジケータは PHY の現在の状態について速度、リンク、アクティビティの情報を表示します。LED ピンは Low 駆動で LED インジケータを点灯させます。アノード端は 3.3 V に接続し、カソード端は直列抵抗 (通常 220 ~ 470 Ω) を介して接続する必要があります。正常に動作させるための各ピンの接続方法の詳細は KSZ9131RNX のデータシートを参照してください。
- LED 機能の信号ピンは以下のピンストラップ機能と共用です。
 - LED2 は KSZ9131RNX のピン 15 で PHYAD1 と共有されます。
 - LED1 は KSZ9131RNX のピン 17 で PHYAD0 と PME_N1 と共有されます。

Note 1: 1.8 V VDDIO の場合、低電圧により LED インジケーション対応は推奨されません。LED インジケータを実装しない場合、PHYAD1 と PHYAD0/PME_N1 ストラップピンは、1.8 V VDDIO への 4.7 kΩ プルアップ (またはフロート状態) で値「1」用に、グランドへの 1.0 kΩ プルダウンで値「0」用に機能します。

2: 1.8 V VDDIO の場合、RJ45 ジャックで内蔵 LED を使うには、LED 向けに 3.3 V から 1.8 V へのレベルシフトが必要です。この場合、パイポラ トランジスタまたはレベルシフト デバイスが使えます。

8.0 その他の機能

8.1 REXT 抵抗

- KSZ9131RNX の REXT ピンは公差 1.0% の 6.04 k Ω 抵抗を介してグラウンドに接続する必要があります。これは内蔵された 10/100/1000 Ethernet 物理デバイスの適正バイアス電流を設定するために使います。

8.2 その他の注意事項

- シャシーグラウンドとデジタルグラウンドを接続するために 3225 クラスの SMD 抵抗実装用パターンを設置しておきます。これにより、EMI 試験でより柔軟に各種グラウンド オプションに対応できます。フットプリントを開放のままにすると、2 つのグラウンドは分離されたままになります。これらを 0 Ω 抵抗で短絡させると接続できます。最高の性能を得るには、コンデンサまたはフェライトビーズで短絡します。
- 各電源プレーンに十分なバルクコンデンサ (4.7 μ F ~ 22 μ F) を組み込む必要があります。

9.0 ハードウェア チェックリストの概要

表 9-1: ハードウェア設計のチェックリスト

セクション	チェック項目	説明	✓	Note
セクション 2.0、「その他の機能 (p. 12) 一般的注意事項」	セクション 2.0, 「その他の機能 (p. 12) 一般的注意事項」	必要な文書が全て揃っている事を確認します。		
	セクション 2.2, 「ピンの確認」	ピンがデータシートに一致している事を確認します。		
	セクション 2.3, 「グラウンド」	グラウンドが互いに接続されているか確認します。		
	セクション 3.0, 「電源」	VDDA_3.3 と VDDIO が 3.135 ~ 3.465 V の範囲内にあり、各ピンに 22 µF のコンデンサが接続されている事を確認します。 VDD_1.2 は 0.1 µF のコンデンサを 2 つ必要とします。		
セクション 4.0, 「Ethernet/信号」	セクション 4.1, 「10/100/1000 MBPS インターフェイス接続」	LDO 設計の場合、FET のドレインとソースの容量が 22 µF 以上である事を確認します。		
		LDO 設計の場合、突入電流を防ぐために 100 kΩ 抵抗が挿入されている事を確認します (図 3-2 参照)。		
		送受信端子とパルストランス間の接続が以下のように接続されているかを確認します。 ペア A とパルストランスのペア 1 ペア B とパルストランスのペア 2 ペア C とパルストランスのペア 3 ペア D とパルストランスのペア 4		
		ペア A、ペア B、ペア C、ペア D に接続されたパルストランスのセンタータップが 0.1 µF コンデンサからデジタル/信号 GND 接続されているかを確認します。 これらのコンデンサの前でコモン接続してはなりません。		
セクション 4.3, 「10/100 MBPS インターフェイス接続」 (10/100 のみ)	セクション 4.3, 「10/100 MBPS インターフェイス接続」 (10/100 のみ)	パルストランスのケーブル側センタータップ同士が 75Ω 抵抗を介して接続されているかを確認します。		
		上記 75Ω 抵抗による共通接続点が、1000pF、2kV のコンデンサを経由してシャシーングランドに接続されていることを確認します。		
		送受信端子とパルストランス間の接続が以下のように接続されているかを確認します。 ペア A とパルストランスのペア 1 ペア B とパルストランスのペア 2 ペア C - NC (未接続) ペア D - NC (未接続)		
		ペア A、ペア B に接続されたパルストランスのセンタータップが 0.1 µF コンデンサを経由してデジタル/信号 GND に接続されているかを確認します。これらのコンデンサの手前でコモン接続をしてはなりません。		
セクション 4.4, 「10/100 バルストランス接続」 (10/100 のみ)	セクション 4.4, 「10/100 バルストランス接続」 (10/100 のみ)	パルストランスのケーブル側センタータップ及び、RJ45 コネクタのピン 4/5 及びピン 7/8 は 75Ω の抵抗を経由して接続され 1000pF/2kV コンデンサを経由してシャシーングランド (FG) へと終端されていることを確認します (図 4-2 参照)。		
		RJ45 のピン 4/5 及びピン 7/8 がそれぞれ 75Ω の終端抵抗を経由して接続され、1000pF、2kV のコンデンサを経由してシャシーン GND に接続されていることを確認します。		

表 9-1: ハードウェア設計のチェックリスト (続き)

セクション	チェック項目	説明	✓	Note
セクション 5.0、「クロック回路」	セクション 5.1、「MII モード用の水晶振動子および外部オシレータ / クロック接続」	25 MHz ±50 ppm の水晶振動子または 25 MHz ±50 ppm のクロック源を使っている事を確認します。		
セクション 6.0、「デジタルインターフェイス」	セクション 6.1、「RGMII™ インターフェイス」	表 6-2 に基づき、MAC インターフェイスと PHY インターフェイス間の RMII™ 信号が正しく接続されている事を確認します。		
	セクション 6.2、「RGMII™ 直列ソース終端」	MAC インターフェイスと PHY インターフェイス間の RMII 信号が適切な終端抵抗 (33 Ω) と MDIO 信号用の外付けプルアップに正しく接続されている事を確認します。		
	セクション 6.3、「必要な外付けプルアップ」			
セクション 7.0、「起動」	セクション 7.1、「リセット回路」	適切なリセット回路設計 (スタンダードアロシリセットまたは外部 CPU/FPGA リセット) である事を確認します。		
	セクション 7.2、「コンフィグレーション モードピン (ストラップ オブション)」	モード設定と PHYAD (PHY アドレス) 設定を確認します。		
	セクション 7.3、「LED ピン」	MAC 受信入力ピンがリセット後に High で駆動されるシステムでは PHY ストラップピンに 1 kΩ のプルダウン抵抗を追加する事を推奨します。		
セクション 8.0、「その他の機能」	セクション 8.1、「REXT 抵抗」	使う場合、選択した LED ピンの共有機能を考慮して接続が正しい事を確認します。		
	セクション 8.2、「その他の注意事項」	REXT 抵抗 (6.04 kΩ, 1.0%) が適切な値と精度である事を確認します。		
		EMI 評価用にチップ GND-FG 短絡用抵抗の実装パターン設置 (デジタル GND ではなくチップの GND を引き出すこと)、短絡用抵抗として 3225 クラスのフットプリントを用意しておきます。		
		十分な電源ブレーンバルクコンデンサ (4.7 ~ 22 μF) を組み込みます。		

補遺 A: 改訂履歴

表 A-1: 改訂履歴

リビジョンと日付	改訂箇所	改訂内容
DS00003370A (02-05-2020)	本書は初版です。	

Microchip 社のウェブサイト

Microchip 社は自社が運営する WWW サイト (www.microchip.com) を通してオンライン サポートを提供しています。当ウェブサイトでは、お客様に役立つ情報やファイルを簡単に見つけ出せます。インターネット ブラウザから以下の内容をご覧になれます。

- **製品サポート** - データシートとエラッタ、アプリケーション ノートとサンプル プログラム、設計リソース、ユーザ ガイドとハードウェア サポート文書、最新のソフトウェアと過去のソフトウェア
- **技術サポート** - よく寄せられる質問 (FAQ)、技術サポートのご依頼、オンライン ディスカッション グループ、Microchip 社のコンサルタント プログラムおよびメンバーリスト
- **ご注文とお問い合わせ** - 製品セレクトと注文ガイド、最新プレスリリース、セミナー / イベントの一覧、お問い合わせ先 (営業所 / 正規代理店) の一覧

お客様向け変更通知サービス

Microchip 社のお客様向け変更通知サービスは、お客様に Microchip 社製品の最新情報をお届けするサービスです。ご興味のある製品ファミリまたは開発ツールに関する変更、更新、リビジョン、エラッタ情報をいち早くメールにてお知らせします。

Microchip 社のウェブサイト (www.microchip.com) にアクセスし、[Customer Change Notification] からご登録ください。

お客様サポート

Microchip 社製品をお使いのお客様は、以下のチャンネルからサポートをご利用頂けます。

- 正規代理店
- 技術サポート

サポートは正規代理店にお問い合わせください。本書の最後のページに各国の営業所の一覧を記載しています。

技術サポートは以下のウェブページからもご利用頂けます。 <http://microchip.com/support>

Microchip 社製品のコード保護機能について以下の点にご注意ください。

- Microchip 社製品は、該当する Microchip 社データシートに記載の仕様を満たしています。
- Microchip 社では、通常の条件ならびに動作仕様書の仕様に従って使った場合、Microchip 社製品のセキュリティ レベルは、現在市場に流通している同種製品の中でも最も高度であると考えています。
- Microchip 社はその知的財産権を重視し、積極的に保護しています。Microchip 社製品のコード保護機能の侵害は固く禁じられており、デジタル ミレニアム著作権法に違反します。
- Microchip 社を含む全ての半導体メーカーで、自社のコードのセキュリティを完全に保証できる企業はありません。コード保護機能とは、Microchip 社が製品を「読解不能」として保証するものではありません。コード保護機能は常に進化しています。Microchip 社では、常に製品のコード保護機能の改善に取り組んでいます。

本書および本書に記載されている情報は、Microchip 社製品を設計、テスト、お客様のアプリケーションと統合する目的を含め、Microchip 社製品に対してのみ使う事ができます。それ以外の方法でこの情報を使う事はこれらの条項に違反します。デバイス アプリケーションの情報は、ユーザの便宜のためにのみ提供されるものであり、更新によって変更となる事があります。お客様のアプリケーションが仕様を満たす事を保証する責任は、お客様にあります。その他のサポートは Microchip 社正規代理店にお問い合わせ頂くか、<https://www.microchip.com/en-us/support/design-help/client-support-services> をご覧ください。

Microchip 社は本書の情報を「現状のまま」で提供しています。Microchip 社は明示的、暗黙的、書面、口頭、法定のいずれであるかを問わず、本書に記載されている情報に関して、非侵害性、商品性、特定目的への適合性の暗黙的保証、または状態、品質、性能に関する保証をはじめとするいかなる類の表明も保証も行いません。

いかなる場合も Microchip 社は、本情報またはその使用に関連する間接的、特殊的、懲罰的、偶発的または必然的損失、損害、費用、経費のいかににかかわらず、また Microchip 社がそのような損害が生じる可能性について報告を受けていた場合あるいは損害が予測可能であった場合でも、一切の責任を負いません。法律で認められる最大限の範囲を適用しようとも、本情報またはその使用に関連する一切の申し立てに対する Microchip 社の責任限度額は、使用者が当該情報に関連して Microchip 社に直接支払った額を超えません。

Microchip 社の明示的な書面による承認なしに、生命維持装置あるいは生命安全用途に Microchip 社の製品を使う事は全て購入者のリスクとし、また購入者はこれによって発生したあらゆる損害、クレーム、訴訟、費用に関して、Microchip 社は擁護され、免責され、損害をうけない事に同意するものとします。特に明記しない場合、暗黙的あるいは明示的を問わず、Microchip 社が知的財産権を保有しているライセンスは一切譲渡されません。

Microchip 社の品質管理システムについては www.microchip.com/quality をご覧ください。

商標

Microchip 社の名称とロゴ、Microchip ロゴ、Adaptec、AVR、AVR ロゴ、AVR Freaks、BesTime、BitCloud、CryptoMemory、CryptoRF、dsPIC、flexPWR、HELDO、IGLOO、JukeBlox、Keeloq、Kleer、LANCheck、LinkMD、maxStylus、maxTouch、MediaLB、megaAVR、Microsemi、Microsemi ロゴ、MOST、MOST ロゴ、MPLAB、OptoLyzr、PIC、picoPower、PICSTART、PIC32 ロゴ、PolarFire、Prochip Designer、QTouch、SAM-BA、SenGenuity、SpyNIC、SST、SST ロゴ、SuperFlash、Symmetricom、SyncServer、Tachyon、TimeSource、tinyAVR、UNI/O、Vectron、XMEGA は米国とその他の国における Microchip Technology Incorporated の登録商標です。

AgileSwitch、APT、ClockWorks、The Embedded Control Solutions Company、EtherSynch、Flashtec、Hyper Speed Control、HyperLight Load、Libero、motorBench、mTouch、Powermite 3、Precision Edge、ProASIC、ProASIC Plus、ProASIC Plus ロゴ、Quiet-Wire、SmartFusion、SyncWorld、Temux、TimeCesium、TimeHub、TimePictra、TimeProvider、TrueTime、ZL は米国における Microchip Technology Incorporated の登録商標です。

Adjacent Key Suppression、AKS、Analog-for-the-Digital Age、Any Capacitor、AnyIn、AnyOut、Augmented Switching、BlueSky、BodyCom、Clockstudio、CodeGuard、CryptoAuthentication、CryptoAutomotive、CryptoCompanion、CryptoController、dsPICDEM、dsPICDEM.net、Dynamic Average Matching、DAM、ECAN、Espresso T1S、EtherGREEN、GridTime、IdealBridge、In-Circuit Serial Programming、ICSP、INICnet、Intelligent Paralleling、IntelliMOS、Inter-Chip Connectivity、JitterBlocker、Knob-on-Display、KoD、maxCrypto、maxView、memBrain、Mindi、MiWi、MPASM、MPF、MPLAB Certified ロゴ、MPLIB、MPLINK、MultiTRAK、NetDetach、Omniscient Code Generation、PICDEM、PICDEM.net、PICKit、PiCtail、PowerSmart、PureSilicon、QMatrix、REAL ICE、Ripple Blocker、RTAX、RTG4、SAM-ICE、Serial Quad I/O、simpleMAP、SimpliPHY、SmartBuffer、SmartHLS、SMART-I.S.、storClad、SQL、SuperSwitcher、SuperSwitcher II、Switchtec、SynchroPHY、Total Endurance、Trusted Time、TSHARC、USBCheck、VariSense、VectorBlox、VeriPHY、ViewSpan、WiperLock、XpressConnect、ZENA は米国とその他の国における Microchip Technology Incorporated の商標です。

SQTP は米国における Microchip Technology Incorporated のサービスマークです。

Adaptec ロゴ、Frequency on Demand、Silicon Storage Technology、Symmcom はその他の国における Microchip Technology Incorporated の登録商標です。

GestIC は、その他の国における Microchip Technology Germany II GmbH & Co. KG (Microchip Technology Incorporated の子会社) の登録商標です。

その他の商標は各社に帰属します。

© 2023, Microchip Technology Incorporated and its subsidiaries.

All Rights Reserved.

ISBN: 978-1-6683-1927-7

各国の営業所とサービス

南北アメリカ

本社
2355 West Chandler Blvd.
Chandler, AZ 85224-6199
Tel: 480-792-7200
Fax: 480-792-7277
技術サポート:
<http://www.microchip.com/support>
URL:
www.microchip.com

アトランタ
Duluth, GA
Tel: 678-957-9614
Fax: 678-957-1455

オースティン, TX
Tel: 512-257-3370

ボストン
Westborough, MA
Tel: 774-760-0087
Fax: 774-760-0088

シカゴ
Itasca, IL
Tel: 630-285-0071
Fax: 630-285-0075

ダラス
Addison, TX
Tel: 972-818-7423
Fax: 972-818-2924

デトロイト
Novi, MI
Tel: 248-848-4000

ヒューストン, TX
Tel: 281-894-5983

インディアナポリス
Noblesville, IN
Tel: 317-773-8323
Fax: 317-773-5453
Tel: 317-536-2380

ロサンゼルス
Mission Viejo, CA
Tel: 949-462-9523
Fax: 949-462-9608
Tel: 951-273-7800

ローリー, NC
Tel: 919-844-7510

ニューヨーク, NY
Tel: 631-435-6000

サンノゼ, CA
Tel: 408-735-9110
Tel: 408-436-4270

カナダ - トロント
Tel: 905-695-1980
Fax: 905-695-2078

アジア / 太平洋

オーストラリア - シドニー
Tel: 61-2-9868-6733

中国 - 北京
Tel: 86-10-8569-7000

中国 - 成都
Tel: 86-28-8665-5511

中国 - 重慶
Tel: 86-23-8980-9588

中国 - 東莞
Tel: 86-769-8702-9880

中国 - 広州
Tel: 86-20-8755-8029

中国 - 杭州
Tel: 86-571-8792-8115

中国 - 香港 SAR
Tel: 852-2943-5100

中国 - 南京
Tel: 86-25-8473-2460

中国 - 青島
Tel: 86-532-8502-7355

中国 - 上海
Tel: 86-21-3326-8000

中国 - 瀋陽
Tel: 86-24-2334-2829

中国 - 深圳
Tel: 86-755-8864-2200

中国 - 蘇州
Tel: 86-186-6233-1526

中国 - 武漢
Tel: 86-27-5980-5300

中国 - 西安
Tel: 86-29-8833-7252

中国 - 厦門
Tel: 86-592-2388138

中国 - 珠海
Tel: 86-756-3210040

アジア/太平洋

インド - バンガロール
Tel: 91-80-3090-4444

インド - ニューデリー
Tel: 91-11-4160-8631

インド - プネ
Tel: 91-20-4121-0141

日本 - 大阪
Tel: 81-6-6152-7160

日本 - 東京
Tel: 81-3-6880-3770

韓国 - 大邱
Tel: 82-53-744-4301

韓国 - ソウル
Tel: 82-2-554-7200

マレーシア - クアラルンプール
Tel: 60-3-7651-7906

マレーシア - ペナン
Tel: 60-4-227-8870

フィリピン - マニラ
Tel: 63-2-634-9065

シンガポール
Tel: 65-6334-8870

台湾 - 新竹
Tel: 886-3-577-8366

台湾 - 高雄
Tel: 886-7-213-7830

台湾 - 台北
Tel: 886-2-2508-8600

タイ - バンコク
Tel: 66-2-694-1351

ベトナム - ホーチミン
Tel: 84-28-5448-2100

欧州

オーストリア - ヴェルス
Tel: 43-7242-2244-39
Fax: 43-7242-2244-393

デンマーク - コペンハーゲン
Tel: 45-4485-5910
Fax: 45-4485-2829

フィンランド - エスポー
Tel: 358-9-4520-820

フランス - パリ
Tel: 33-1-69-53-63-20
Fax: 33-1-69-30-90-79

ドイツ - ガーヒンク
Tel: 49-8931-9700

ドイツ - ハーン
Tel: 49-2129-3766400

ドイツ - ハイムロン
Tel: 49-7131-72400

ドイツ - カールスルーエ
Tel: 49-721-625370

ドイツ - ミュンヘン
Tel: 49-89-627-144-0
Fax: 49-89-627-144-44

ドイツ - ローゼンハイム
Tel: 49-8031-354-560

イスラエル - ラーナナ
Tel: 972-9-744-7705

イタリア - ミラノ
Tel: 39-0331-742611
Fax: 39-0331-466781

イタリア - バドヴァ
Tel: 39-049-7625286

オランダ - ドリュエネン
Tel: 31-416-690399
Fax: 31-416-690340

ノルウェー - トロンハイム
Tel: 47-7288-4388

ポーランド - ワルシャワ
Tel: 48-22-3325737

ルーマニア - ブカレスト
Tel: 40-21-407-87-50

スペイン - マドリッド
Tel: 34-91-708-08-90
Fax: 34-91-708-08-91

スウェーデン - ヨーテボリ
Tel: 46-31-704-60-40

スウェーデン - ストックホルム
Tel: 46-8-5090-4654

イギリス - ウォーキンガム
Tel: 44-118-921-5800
Fax: 44-118-921-5820