



注意：この日本語版文書は参考資料としてご利用ください。
最新情報は必ずオリジナルの英語版をご参照願います。

PolarFire® FPGA および PolarFire SoC FPGA トランシーバ

はじめに

Microchip 社の PolarFire® FPGA は、不揮発性 FPGA の第 5 世代ファミリであり、最新の 28 nm 不揮発性プロセスを基に構築されています。PolarFire FPGA は、ミッドレンジの集積度でトップレベルの低消費電力性能を提供します。PolarFire FPGA は業界トップレベルの低消費電力 FPG ファブリック、超低消費電力 12.7 Gb/s トランシーバ レーン、低消費電力デュアル PCI Express Gen2 (EP/RP) を内蔵する事によりミッドレンジ FPGA のコストを低減します。また、データセキュリティ デバイス(「S」オプション付きデバイス)は低消費電力暗号コプロセッサも内蔵しています。

Microchip 社の PolarFire SoC FPGA は、不揮発性 SoC FPGA デバイスの第 5 世代ファミリであり、最新の 28 nm 不揮発性プロセスを基に構築されています。PolarFire SoC ファミリは、Linux をサポートする業界初の RISC-V ベース SoC FPGA を提供します。PolarFire SoC ファミリのデバイスは、SiFive 社の U54-MC に基づく高性能 64 ビット 5x コア RISC-V マイクロプロセッサ サブシステム(MSS)と PolarFire FPGA ファブリックを 1 つのデバイスに実装しています。

PolarFire FPGA および PolarFire SoC FPGA ファミリは、性能が最適化された低消費電力トランシーバを複数個内蔵しています。各トランシーバは、PMA (Physical Medium Attachment) とプロトコル PCS (Physical Coding Sub-layer) ロジックの両方を備え、FPGA ファブリックと連携します。トランシーバはマルチレーン アーキテクチャを採用し、各レーンは 500 Mb/s ~ 12.7 Gb/s をネイティブにサポートします。

表 1 に、PolarFire FPGA および PolarFire SoC FPGA ファミリが提供するトランシーバ コンポーネントの概要を示します。

表 1. トランシーバ コンポーネント

コンポーネント	PolarFire FPGA (MPF)	PolarFire SoC FPGA (MPFS)
PMA/PCS	✓	✓
TXPLL	✓	✓
REF_CLK	✓	✓

トランシーバは、プリント基板(PCB)と高品質ケーブルを介するデバイス間の高速データ転送に必要な全てのアナログ機能を備えています。トランシーバは、表 2 に示す各種のデバイス間通信プロトコルをサポートします。

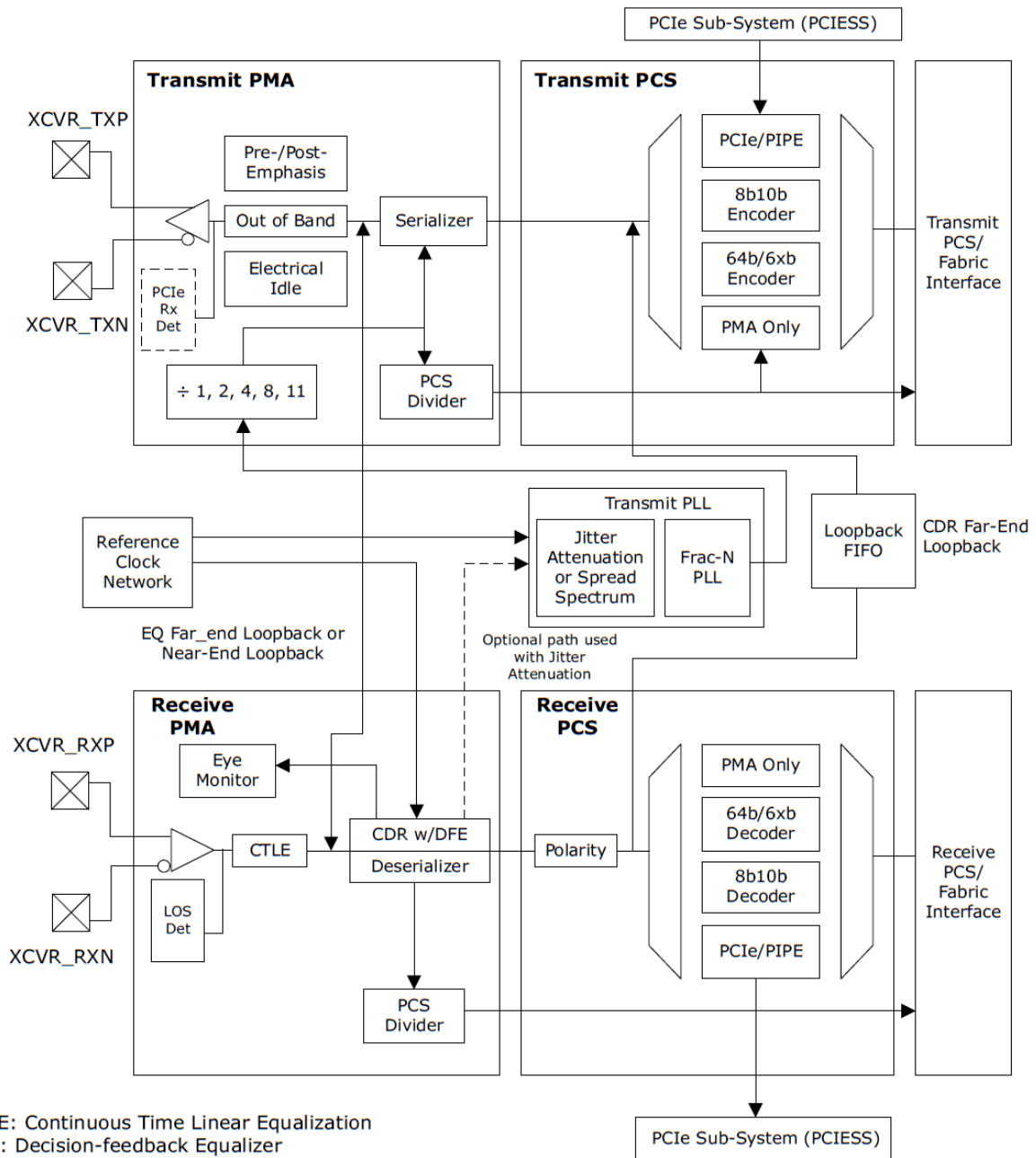
表 2. サポートするシリアル プロトコル

プロトコル	規格/バージョン	プロトコル	規格/バージョン
PCIe	Gen1	CPRI ¹	CPRI-1, 2, 3, 4, 5, 6, 7, 7A, 8, 9
PCIe	Gen2	SATA ²	1.0a
XAUI	IEEE® 802.3	SATA ²	2.0
Interlaken ³	10.3125	SATA ²	3.0
Interlaken ³	6.375	SDI-SD	SMPTE 259M
10GBASE-R	IEEE 802.3	SDI-HD	SMPTE 292M
10GBASE-KR ⁴	IEEE 802.3	SDI-3G	SMPTE 424M
Fibre Channel	1GFC	SGMII	—
Fibre Channel	2GFC	1000BASE-X	IEEE 802.3
Fibre Channel	4GFC	LiteFast	独自の軽量シリアル プロトコル インターフェイス (最大 12.7 Gbps、8b10b モードのみ)
Fibre Channel	8GFC	RXAUI	N/A
JESD204B	LV-OIF-SxI5	QSGMII	—
JESD204B	LV-OIF-6G-SR	SLVS-EC	—
JESD204B	LV-OIF-11G-SR	DisplayPort	—
USXGMII	—	CoaXPress	—

Note:

1. CPRI (Common Public Radio Interface) 仕様 V7.0 (2015-10-09)
2. SATA は、PMA Only モード(ユーザが RTL IP を提供)を使ってサポートされます。
3. Interlaken プロトコル仕様 v1.2
4. PMA は-1 SPD のみの 10GBASE-KR 動作をサポートします。

図 1. トランシーバレーンの概要



Note: 送信/受信ファブリック インターフェイスは、対応する PCS ピンリスト内で 8b10b、64b6xb、PIPE、PMA Only のいずれかに指定されます。PCIESS の詳細は、[『PolarFire FPGA and PolarFire SoC FPGA PCI Express User Guide』](#) を参照してください。

特長

以下の特長を備えたトランシーバを使う事で、ユーザは各種の標準プロトコルをサポートする高速リンクを容易に構築できます。

- データレート: 500 Mbps ~12.7 Gbps
- FPGA ファブリック インターフェイスでのシリアルライズ/デシリアルライズ幅: 8、10、16、20、32、40、64、80 ビット
- 差動出力終端抵抗: 85 Ω 、100 Ω 、150 Ω
- 各種の低消費電力モード
- レシーバは CML および LVDS I/O 規格と互換
- トランスミッタは CML、LVDS、LVPECL I/O 規格と互換
- 設定可能な送信プリタップ/ポストタップ ディエンファシス制御
- 設定可能な振幅制御(差動 250 mV~1 V)
- PCIe 向けのレシーバ検出回路
- OOB (Out-Of-Band) - 以下のインターフェイスに電氣的アイドル(EI) 信号を提供
 - SAS (Serial-Attached SCSI): 小型コンピュータ システム用インターフェイス
 - SATA (Serial Advanced Technology Attachment)
 - PCIe (Peripheral Component Interconnect express)
- スペクトラム拡散生成機能を送信位相ロックループ(PLL)に内蔵
- ループタイミング アプリケーション向けに送信 PLL 内で 1 Gb および 10 Gb SyncE 互換ジッタ減衰器が利用可能
- 自動校正機能(オブション)を備えた CTLE (Continuous Time Linear Equalizer) による受信シグナル インテグリティの向上
- 自動校正機能を備えた 5 タップ DFE (Decision Feedback Equalizer) による高周波成分損失の補償
- 受信データ アイパターン モニタによるリンク品質解析
- 設定可能なピーク検出/信号検出
- 極性反転(レシーバ)
- 解析用ループバック モード
- 組み込み PRBS (Pseudo-Random Binary Sequence)テストパターン ジェネレータ/チェッカー
 - PRBS 多項式(2^n 、 $n = 7、9、15、23、31$)が利用可能
- AC JTAG (IEEE 1149.6)および DC JTAG (IEEE 1149.1) トランスミッタ/レシーバ
- トランシーバ入出力データの IBIS-AMI サポート
- 送信コモンモード電圧が設定可能な AC および DC 結合モードをサポート
- 以下を提供する組み込み PCS:
 - 8b10b - エンコード/デコード
 - 64b64b6xb - ギャボックス ロジックを備えた 64b/66b または 64/67b エンコード/デコード
 - PIPE - PCIe Gen1/2 をサポートする PCI Express Rev 3.0 向け PHY インターフェイス
 - PMA Only - エンコードしない PMA への直接アクセス
 - PCIe - DMA 内蔵 AXI4 ユーザ インターフェイスを備えた 組み込み PCIe Gen1/Gen2 ルートポートまたは エンドポイント サブシステム(PCIESS)
組み込み PCIe コントローラ サブシステムは Quad0 内でのみ利用可能です。組み込み PCIe の機能と使用法の詳細は、[『PolarFire FPGA and PolarFire SoC FPGA PCI Express User Guide』](#)を参照してください。

Microchip Libero[®] SoC ソフトウェアは、各種トランシーバ動作モード向けの設定をサポートします。表 2 に、これらの設定がサポートする業界標準プロトコルとユーザ定義カスタム プロトコルの一覧を示します。Libero SoC ソフトウェア ツールを使うと、各トランシーバ レーンを特定の動作向けに容易に設定できます。このソフトウェアは、トランシーバを初期化して動作可能とするために必要な全ての設定データをセットアップして生成します。トランシーバ コンフィグレーション レジスタは、Libero SoC Transceiver Configurator によって自動的に設定されます。設定の変更が明らかに必要な場合を除き、これらのレジスタの値をコンフィグレータが設定した既定値から変更してはいけません。

参考資料

- PCIeSS に関する情報: [PolarFire FPGA and PolarFire SoC FPGA PCI Express User Guide](#)
- リージョナル クロックリソースおよびトランシーバからグローバル クロック ネットワークへの接続に関する情報: [PolarFire FPGA and PolarFire SoC FPGA Clocking Resources User Guide](#)
- サポートする I/O 規格に関する情報: [PolarFire FPGA and PolarFire SoC FPGA User I/O User Guide](#)
- 最適化済み DFE 機能に関する情報: [UG0773: PolarFire FPGA SmartDebug User Guide](#)
- プリント基板上のトランシーバ回路の実装に関する情報: [UG0726: PolarFire FPGA Board Design User Guide](#) または [PolarFire SoC FPGA Board Design Guidelines User Guide](#)

目次

はじめに.....	1
特長.....	4
参考資料.....	5
1. 機能説明.....	8
1.1. PMA.....	8
1.2. ERM (Enhanced Receiver Management).....	16
1.3. トランシーバ PCS インターフェイス モード.....	23
1.4. PCS/FPGA ファブリック インターフェイス.....	43
1.5. トランシーバ用クロック.....	53
1.6. PMA と PCS のリセット.....	73
1.7. CPRI の 8b10b モードと 64b66b モードの間の PCS レート切り換え.....	75
2. 実装.....	81
2.1. Libero コンフィグレータ.....	81
2.2. トランシーバ モード.....	100
2.3. Libero が生成するファイル.....	102
2.4. 回路制約.....	102
2.5. Libero を使って物理的制約を追加する.....	105
2.6. トランシーバの初期化.....	107
3. シグナル インテグリティ コンディショニング.....	109
3.1. トランスミッタ.....	110
3.2. レシーバ.....	110
3.3. I/O Editor によるシグナル インテグリティ パラメータの設定.....	112
3.4. SmartDebug Signal Integrity.....	115
4. シミュレーション.....	121
4.1. RTL シミュレーション モード.....	121
5. デバッグとテスト.....	123
5.1. PRBS ジェネレータ/チェッカー.....	123
5.2. ループバック.....	123
5.3. DRI (Dynamic Reconfiguration Interface).....	125
6. 基板設計に関する推奨事項.....	126
6.1. トランシーバのトップレベルピン配置.....	126
6.2. プロトコル向けの設計.....	127
6.3. 10G インターフェイス.....	129
6.4. トランシーバ挿入損失.....	129
7. 改訂履歴.....	131
Microchip 社ウェブサイト.....	135
製品変更通知サービス.....	135
カスタマサポート.....	135

Microchip 社のデバイスコード保護機能.....	135
法律上の注意点	136
商標.....	136
品質管理システム	137
各国の営業所とサービス.....	138

機能説明

トランシーバは以下の 4 つのブロックに分割されます(図 1 参照)。

- PMA
- PCS インターフェイス(専用 PCIe PCS を含む)
- 送信 PLL (Tx PLL)
- 参照クロック入力

高速 PMA ブロックは、PCS ブロックを経由して FPGA ファブリックに接続されます。PMA はクロックを生成し、送信データの並列からシリアルへの変換と受信データのシリアルから並列への変換を行います。各 PMA ブロックは、PCS ブロックと FPGA ファブリックへのインターフェイスに接続され、トランシーバ レーンを構成します。PCS インターフェイス ブロックは、プロトコル専用回路向けに各種の業界標準インターフェイスを提供します。

4 つのトランシーバ レーンで構成された 1 つのグループをクワッドと呼びます。各クワッドは 1 つのローカル送信 PLL を備えており、これはそのクワッド内の 4 つのトランシーバ レーン向けにのみ使われます。これらに加えて、複数のクワッド間で共有可能な PLL も提供されます。

各デバイスは 8b10b、64b6xb、PIPE、PMA only ブロックに加えて、2 つの PCIe PCS ロジックブロックを備えています。これらのブロックは、フル機能の PCIe エンドポイントルートポート サブシステムを提供するハードウェア組み込みロジックを含みます。これらの PCIe サブシステム(PCIESS) は複数トランシーバ レーンへのハードウェア接続を備えており、x1、x2、x4 幅のリンクに柔軟に対応可能です。PCIe の詳細は、『[PolarFire FPGA and PolarFire SoC FPGA PCI Express User Guide](#)』を参照してください。

1.1 PMA

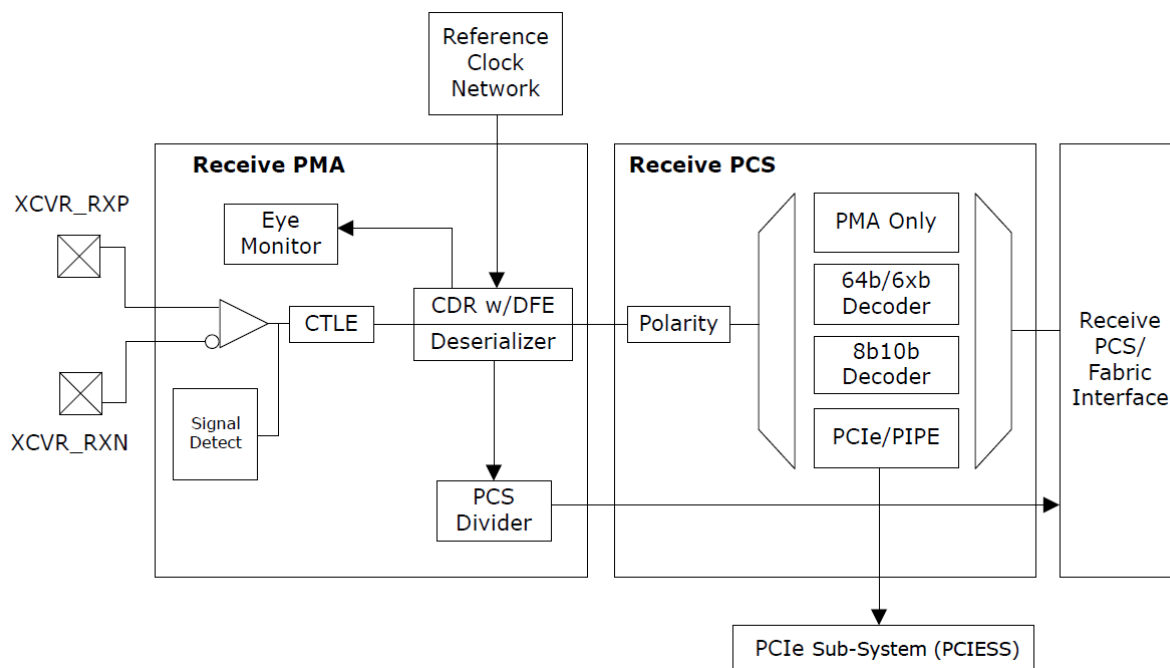
トランシーバ レーンは PMA レシーバおよび PMA トランスミッタ サブモジュールを含みます。これらの PMA サブモジュールには入力バッファ、出力バッファ、信号コンディショニング回路、CDR、トランシーバが含まれます。このような PMA アーキテクチャにより、各レーンの受信部と送信部は独立して動作可能です。PMA 機能は電源投入時に初期化され、APB DRI (Dynamic Reconfiguration Interface) を使ってデバイスの動作中に変更可能です。

SmartDebug ツールセットを使う事で、PMA 機能の動的な変更(送信/受信のチューニングを含む)と受信アイパターンの監視が可能です。

1.1.1 レシーバ

レシーバは入力バッファを介して受信した高速シリアルデータをデシリアライズする事で、FPGA ファブリック向けの並列 データストリームを生成すると共に、受信データからクロック情報を再生します。PMA のレシーバ部は受信バッファ、CDR (Clock and Data Recovery)ユニット、デシリアライザを含みます。受信 PMA 内でデシリアライズされたデータは、データバス(最大 40 ビット幅の PMA-PCS インターフェイス)を介して PCS ブロックに渡され、ギアリング ロジックを経由した後に FPGA ファブリックに渡されます。

図 2. トランシーバのレシーバ

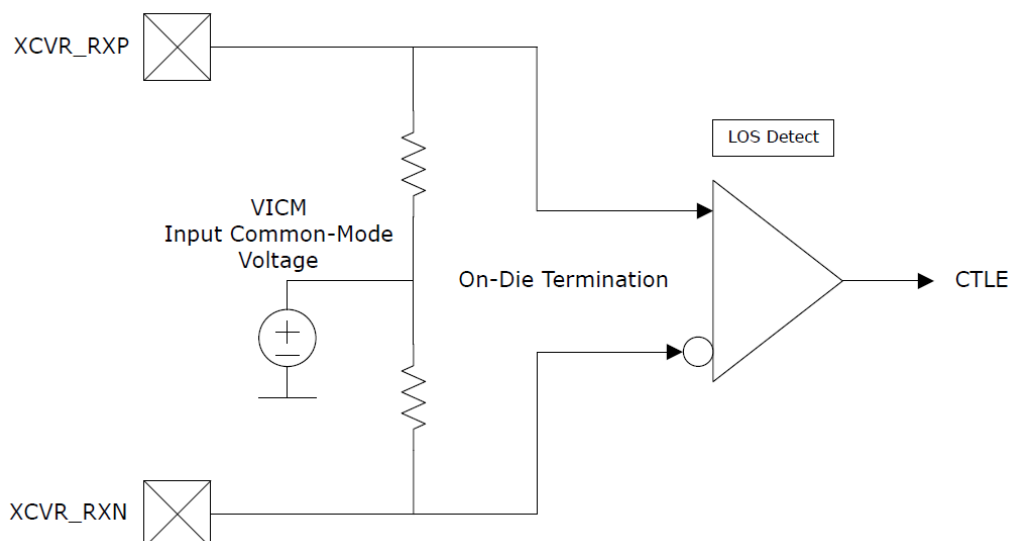


1.1.1.1 受信入力バッファ

レシーバは、差動ピン(XCVR_RXP/N)を介して外部入カインターフェイスを提供します(図 3 参照)。レシーバは CML (Current Mode Logic)入力バッファを含みます。入力バッファは、AC または DC 結合アプリケーションで使われる設定可能な DC 成分復元機能を備えています。

受信バッファは、内部差動終端抵抗(85、100、150 Ω に設定可能)を提供します。受信バッファは、デバイス電源遮断時のホットスワップ機能向けにハイインピーダンス(Hi-Z)モードも備えています。加えて、レシーバ入力 P ピンと N ピンの極性を反転する論理スワップ機能もサポートします。

図 3. レシーバ入力バッファ



Note: AC 結合リンクが設定された場合、VICM は VDDA に接続されます。DC 結合リンクが設定された場合、VICM ソースは切り離されます。3.2.4. 「AC/DC 結合接続」を参照してください。

各レシーバレーンには、プロトコルまたはアプリケーション要件に応じて選択可能な信号しきい値検出回路を備えています。この機能は、レシーバ入力バッファでの信号レベルがレシーバ入力をトリップまたはアクティブにするために必要なしきい値電圧を超えているかどうかを判別する事で、レシーバ信号経路上の誤動作を防ぎます。信号検出回路は、High 検出器と Low 検出器の両方を備えています。Libero SoC ソフトウェア コンフィグレータは、プロトコルまたはカスタマイズに基づいて正しい設定を提供します。

Note: SmartDebug から JTAG ベース インターフェイスを使う事で、レシーバ設定をテストする事もできます。

1.1.1.2 LOS (Loss Of Signal)検出

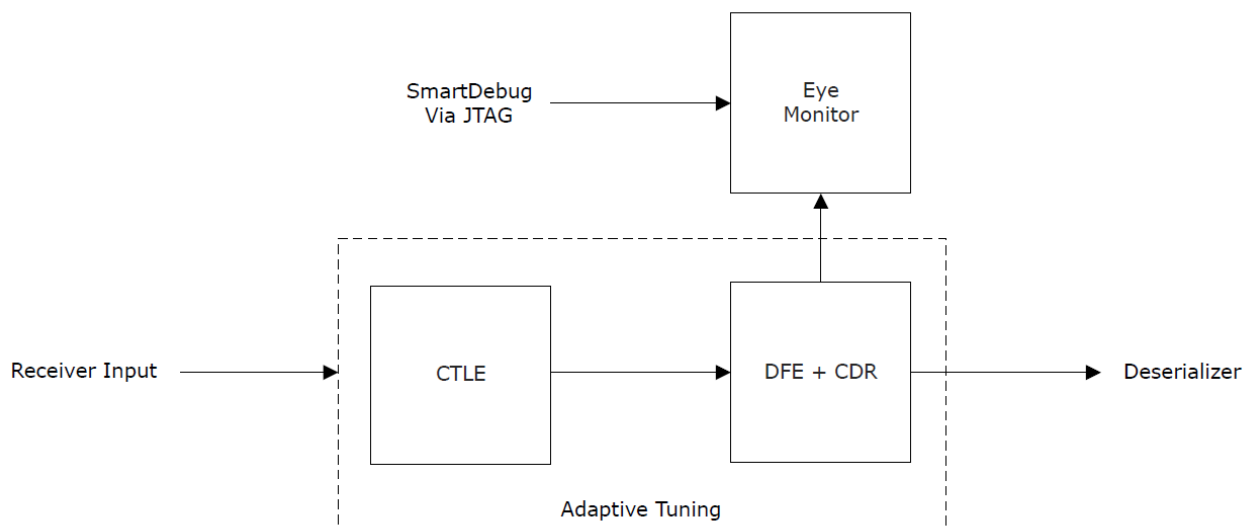
レシーバ信号パスは LOS (Loss Of Signal) 検出機能を備えています。LOS 回路は初期の受信信号を検出してクロック-データ リカバリ動作向けに入力信号が有効なレベルである(電氣的に RX_IDLE=0)かどうかを判別します。LOS ピーク検出機能は入力信号の正極性と負極性のピーク値をキャプチャし、その振幅をユーザが設定した制限値と比較します(3.2.5. 「LOS (Loss-Of-Signa)検出回路」参照)。このピーク検出回路の性能は、入力信号の帯域幅によって制限されます。LOS 検出回路は 5 Gbps 以下のレートでサポートされ、一部のプロトコルまたはデータパターンには適さない場合があります。LOS 動作のレンジ外の条件については、1.2. 「ERM (Enhanced Receiver Management)」を参照してください。

1.1.1.3 CTLE (Continuous-Time Linear Equalizer)

CTLE はレーンの高周波成分損失を補償し、周波数応答を平坦化する事で、受信信号の品質を向上させます。CTLE 回路は、レーンの物理的な不整合を補償するよう調整できます。

CTLE の 2 つの透過的ステージと、DFE (Decision Feedback Equalizer)/アイパターン モニタ受信パス向けに 2 つの分離したステージが存在します。入力信号パス(図 4)は、受信信号をチューニングする事によりコンディショニングされ、ユーザはチューニングの効果を観察できます。各ステージの DC ゲインとピーク帯域幅は、Libero を使って選択します。CTLE の設定は DC ゲイン、ピーク周波数、AC ゲインに基づいて選択するか、Libero トランシーバ インターフェイス コンフィグレータを使って自動/適応モードで設定できます。自動/適応モードは、内部生成された設定を物理チャンネルに対して用いる事でレーンを最適化します。

図 4. 入力信号パス



1.1.1.4 DFE (Decision Feedback Equalizer)

レシーバ フロントエンドでは、オプションの 5 タップ DFE (Decision Feedback Equalizer)を有効にして CTLE と一緒に使う事で、レーン応答を平坦化できます。DFE を使うと、CTLE のリニアイコライザよりも細かくフィルタ パラメータを調整できるため、送信チャンネル損失をより良好に補償できます。DFE のタップ値(このフィルタの係数)は、適応型アルゴリズムにより設定されます。

DFE は、データ内の高周波ノイズを増幅させずに反射またはクロストークによるレーンノイズまたは ISI (Inter-Symbol Interference)を緩和します。DFE は、現在のビット情報を使ってフィードバック方式で次のビットの ISI をキャンセルする事により、後続ビットの正確なサンプリングを可能にします。DFE はタップを使ってシンボル値を遅延および乗算する事で、アナログ信号上の干渉を効果的にキャンセルします。CTLE 動作と同様に、DFE も自動モードを備えています。DFE を自動モードで使う場合、CTLE も自動モードにできます。

DFE の動作は非線形であり、CTLE では不可能なノッチ応答への対処が可能です。DFE は自動キャリブレーション機能も備えており、トランシーバ レーンをシステム チャンネルに対して自動的に適合させる事ができます。

1.1.1.5 アイパターン モニタ

アイパターン モニタは、システム内でデータパスを動作させたまま受信パス内のイコライザ後の信号の監視を可能にするデバイス内部回路です。アイパターン モニタは CDR および DFE データサンプラと並列に配置された別のサンプラを使うため、システムを動作させた状態で同時にアイパターンを監視できます。

アイパターン モニタは 1 UI (Unit Interval)内でオフセットを段階的に調整して各オフセットでの BER (Bit-Error Rate) を計算し、その結果をアイパターン図として表示します。Libero SmartDebug ツールを使って JTAG インターフェイス経由でトランシーバのデバッグ/テスト機能にアクセスし、アイパターンの統計値を読み出して再構成できます。

振幅とディエンファシスは、さまざまな組み合わせで設定できます。しかし、これらのパラメータを調整してトランシーバ入力を最適化するの是非常に面倒です。アイパターン モニタ機能を使うと、手動による調整が容易に行えます。これは CTLE/DFE 自動校正の一部として使われます。アイパターン モニタのフィードバック メカニズムは、二重化した DFE 回路を使って受信データストリームを監視および調整する事により、DFE 設定を最適化します。

1.1.1.6 受信クロック/データ リカバリ

受信 CDR (Clock and Data Recovery) 回路は、CTLET の後段で DFE と連携して動作します。受信 CDR PLL は、入力参照クロックに対してロックするか、受信データストリームに対してロックできます。後者の場合、受信データのタイミングを再調整できます。デシリアライザは CDR と密結合され、データをシリアルからパラレル ストリームへと変換します。

1.1.1.6.1 CDR オプション

各レーンの PMA は、レシーバ CDR 向けに使われる PLL を含みます。CDR PLL は Lock to Reference モードと Lock to Data モードをサポートします。これらのモードにより、CDR オプションをアプリケーション要件に応じてカスタマイズできます。加えて、Burst Mode Receiver (BMR)オプションを選択する事で、Libero Transceiver Configurator で選択可能な両方のオプションの間で切り換える事ができます。

Lock to Reference: CDR 内の PFD (Phase Frequency Detector) はレシーバ入力参照クロックを追跡します。このモードでは、PFD がチャージポンプを制御する事により CDR 内の VCO が調整されます。CDR がレシーバ入力参照クロックの位相と周波数に対してロックすると、データ位相検出器(PD)とは無関係に LOCK ステータス信号がアサートされます。このモードは、レシーバがシンプルなオーバーサンプラとして使われる場合または CDR をローカル オシレータに対してロックする必要がある場合に使われます。

Lock to Data: 受信シリアルデータからクロックとデータを再生する場合、このモードで使う必要があります。このモードでは、CDR のデータ位相検出器(PD)がレシーバ入力での受信シリアルデータを追跡します。受信データと CDR 出力クロックの間の位相差に応じて PD が CDR チャージポンプを制御する事により VCO が調整されます。LOCK ステータス信号は、CDR が有効なデータを検出した時にアサートされます。実際のロック時間は、受信データストリームの遷移発生頻度によって決まります。

BMR (Burst Mode Receiver): トランシーバ CDR 回路は、BMR (Burst Mode Receiver)をサポートする拡張機能を備えています。BMR は NGPON2 および 10GEPON 受動光ネットワーク(PON)アプリケーション向けに、高速なロック時間要件を満たすために使われます。BMR オプションは、従来のバンバン(bang-bang)位相検出方式の PLL では PON アプリケーションの厳しいロック時間要件を満たせない場合に、高速なクロック/データ リカバリを実装するために使われます。

Note: トランシーバを BMR モードに設定した場合、DFE 自動キャリブレーションは使えません。

BMR モードを選択した場合、LANE_X_CDR_LOCKMODE[1:0]が CDR モード制御向けに利用可能となります。表 3 に、CDR ロックモード ビットの一覧を示します。

表 3. CDR ロックモード ビット

LANE_X_CDR_LOCKMODE[1:0]値	モード
2'b00	未使用
2'b01	高ゲイン ¹
2'b10	Lock to Reference
2'b11	通常モード ²

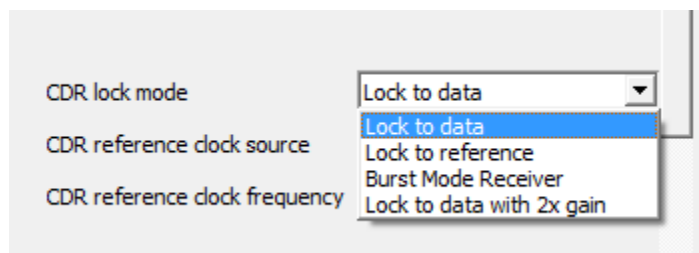
- (1) 高ゲインモードは、プリアンプ/デリミタ検出フェイズ中に受信データに対して高速に位相ロックするために使われます。このモードでは、再生クロックのジッタが増加する可能性があります。このため、プリアンプ/デリミタが検出された後は通常モードに切り換える事を推奨します。
- (2) 通常モードは、バーストモード レシーバからペイロードを受信する場合に使います。

CDR の詳細な仕様については、『[PolarFire FPGA Datasheet](#)』または『[PolarFire SoC Advance Datasheet](#)』を参照してください。応用例と詳細な実装方法については、『[DG0841: PolarFire Burst Mode Receiver Demo Guide](#)』を参照してください。

Lock to Data with 2X Gain: このトランシーバ オプションは、高ゲインによる高速な位相ロックを要求する受信データストリーム(SDI パターン等) 向けに、高速なクロック/データ リカバリを提供します。このモードは、通常の Lock to Data モードよりも高速なロックを可能にします。

図 5 に、CDR ロックモード オプションの選択メニューを示します。

図 5. CDR ロックモード オプション



1.1.1.7 ビットスリップ

デシリアライザは、ワード アライメント用のビットスリップ機能を備えています。このモードでは、CDR はデシリアライザから次のビットヘスリップします。この機能は、ファブリック内でワード アライメント ロジックを構成する場合に役立ちます。この機能は内部 8b10b PCS コアでは使われませんが、ファブリック ベースのアライメントを使う PMA Only アプリケーション向けに利用できます。ビットスリップ機能はデシリアライズされたワードのアライメントをどちらかの方向に 1 ビットずつ調整する事で、確定的レイテンシを確保する事により不確実性を低減します。この機能は Transceiver Configurator によってサポートされます。コンフィグレータはこの RX_SLIP 入力ポートを有効にします。このポートは、トランシーバ CDR レーンに、パラレル境界を 1 ビットスリップする事を要求します。

PMA モードのアプリケーションでは、ファブリックからのアクセス用にブロック上で RX_BIT_SLIP ポートが提供されます。RX_BIT_SLIP の立ち上がりエッジは、RX_BIT_SLIP と RX_VAL の間のハンドシェイクを使って、RX_CLK に対して相対的な 1 ビット(UI) の Rx データパス スリップを要求します。ハンドシェイクは以下の通りに動作します。

1. ファブリックは RX_VAL = 1 を待機します。RX_VAL = 1 の後に、RX_BIT_SLIP をアサートしてスリップを開始します。
2. XCVR は RX_VAL を 0 に設定する事により応答します。
3. この後にファブリックは RX_BIT_SLIP を 0 に設定します。
4. XCVR はスリップを完了し、RX_CLK の立ち上がりエッジに同期して RX_VAL が 1 に設定されます。

1.1.1.8 受信 PCS 分周器

PCS 分周器は、CDR PLL からのビットレート クロックを受信 PCS 向けの低レートクロックへと分周します。PMA は、デシリアライザから最大 40 ビット幅でパラレルデータを送信します。この分周器は、PCS へ提供されるパラレルデータの幅(8/10/16/20/32/40/64/80 ビット)も設定します。Libero Transceiver Configurator は、データレートと最終的なファブリック インターフェイス幅に基づいて分周器を設定します。

1.1.1.9 レシーバのキャリブレーション

XCVR レシーバはアナログブロックとデジタルブロックを含みます。これらのブロックは、シグナル インテグリティに対する PVT (プロセス/電圧/温度)変動の影響を補償するためにキャリブレーションする必要があります。トランシーバの組み込みキャリブレーション ブロックは、トランシーバの相互接続の性能を最適化するためにキャリブレーションを実行します。キャリブレーション ブロックは、チャンネルの損失を補正する適応型デシリアライザ キャリブレーション アルゴリズムを含みます。

Libero は、システムのデータレートとチャンネル損失補正の必要性に応じて CTLE Only モードまたは CTLE/DFE モードを選択します。定義済みの設定が初期値として使われます。これらの設定は、目標要件に基づいて適切に設定されます。Rx 内では以下の 3 タイプのキャリブレーションが実行されます。

- CTLE DC オフセット

- CTLE 周波数応答
- DFE

1.1.1.9.1 CTLE DC オフセット キャリブレーション

PVT (プロセス/電圧/温度) 変動により、レシーバ フロントエンド アンプで DC オフセット(入力が 0 の時に出力が 0 とならない現象)が生じます。これによりレシーバの感度が制限されるため、信号/ノイズ比(SNR)が制限されます。さらに、DC オフセット以外のキャリブレーション機能の性能も制限されます。

CTLE DC オフセット キャリブレーション回路は、入力を 0 にした時に出力が 0 になるようにオフセットを追加します。このオフセットは、アンプのロジック出力に応じてバイナリサーチ(二分探索)により決定されます。

1.1.1.9.2 CTLE 周波数応答キャリブレーション

CTLE 周波数応答はいくつかの個別の値を設定する事で決まります。従ってキャリブレーションは、最大のアイエリアが得られる設定値を探すために行います。

CTLE DC オフセット キャリブレーション と CTLE 周波数応答キャリブレーションを組み合わせ、CTLE ソリューションを構成します。非常に損失が大きい悪条件のチャンネルでは、CTLE 設定値の組み合わせを多数試してもアイが開かない場合もあります。そのような場合、DFE キャリブレーションを使う事で CTLE 設定だけでは開かなかったアイが開いてくる場合があります。

1.1.1.9.3 DFE キャリブレーション

DFE キャリブレーションは、ローカルミニマムの回避、予測可能な結果の生成、低アイエリアでの高速クロック動作が可能となるよう最適化された組み込みシーケンス関数によって実行されます。このキャリブレーションにより、アイエリアに対応してフィードバック係数が調整されます。このシーケンス機能は、アイパターン開口部の幅、高さ、中心を特定するために使われます。DFE キャリブレーションのアルゴリズムは、アイパターン モニタからのアイパターン面積に応じてフィードバック係数(H1~H5)をトライアンドエラーで調整します。このアルゴリズムは、1 度に 1 つの次元(1 つの係数)に対して実行されます。調整のステップサイズは 1 とされ、最初に正方向に 1(H1+1)、次に負方向(H1-1)で実行されます。どちらかの方向でアイパターン面積が増加した場合、次のステップは同じ方向で実行されます。どちらの方向でも面積が減少した場合、同じステップサイズで次の係数の調整を続けます。全ての係数で面積の増加が得られなかった場合、ステップサイズを大きくしてシーケンスを繰り返します。面積が増加した場合、ステップサイズは即座に 1 に戻されます。詳細は『[AC468: PolarFire FPGA Transceiver Decision Feedback Equalization Application Note](#)』を参照してください。

Libero で選択された設計目標に応じて、レシーバのキャリブレーション方法を以下の 2 通りのモードに設定できます。

CTLE Only モードの場合、CTLE ソリューション(周波数応答キャリブレーションと DC オフセット キャリブレーション)を使ってゲイン/周波数設定を最適化します。

CTLE/DEF モードの場合、最初に CTLE ソリューション(周波数応答キャリブレーションと DC オフセット キャリブレーション)を実行してゲイン/周波数設定を最適化した後に、DFE キャリブレーションを実行する事でアイパターンのセンタリング(係数の調整)を実行します。

オプションにより各種の DFE 動作を設定できます。フル DFE キャリブレーションは、アイパターンを最適にセンタリングする DFE 係数を自動的に見つけます。これらは Libero 内で指定されたオプションにより制御されます。

DFE を Static モードに設定する事で、ユーザが手動で DEF 係数を指定する事もできます。DFE 係数は、PDC コマンド(2.4.2.1. 「[DFE 係数](#)」参照)により設定されます。これらのコマンドはキャリブレーション機能からではなくレジスタを介して使えます。Static モードでは、CALIB_REQ ピン(または自動キャリブレーションまたはインクリメンタルキャリブレーションをトリガするためのピン)を使いません。

インクリメンタル DFE は、DFE パスの性能をインクリメンタルに改善するための再キャリブレーション オプションです。専用の PF_XCVR_ERM コアが Libero により生成され、インクリメンタル キャリブレーションをトリガするためのピンが利用可能となります。

インクリメンタル キャリブレーション向けには以下の 2 つのアルゴリズムが利用できます。

- アイパターン クロック センタリング再キャリブレーション
- DFE 係数再キャリブレーション

どちらのアルゴリズムもアイパターンのセンタリングを行います。これらは互いに独立した動作です。フル キャリブレーションと Static キャリブレーションは互いに排他的であり、インクリメンタル(再)キャリブレーションの 2 つのアルゴリズムは、少なくとも 1 回の「フル キャリブレーション」の後でのみ適用可能です。

動作モードとレシーバ キャリブレーション オプションの選択に応じて、PF_XCVR_ERM コンフィグレータ内でどちらか 1 つのアルゴリズムまたは両方のアルゴリズムを有効にできます。

キャリブレーション ブロックは、電源投入時のキャリブレーションとユーザが要求するインクリメンタル(再)キャリブレーションで使われます。これらは Libero により設定されます。表 4 に、動作モードの一覧を示します。

表 4. 動作モード

CDR モード (データレート ≤ 10312.5 Mbps)	アイパターン クロック センタリング 再キャリブレーション	DFE 係数再キャリブレーション
None_CDR	非サポート	非サポート
On Demand	サポート	非サポート
On Demand and First Lock	サポート	非サポート
None_DFE	非サポート	非サポート

以下では、各キャリブレーション タイプの例を示します。

On-Demand

レシーバは自動的にキャリブレートされません。ユーザは XCVR インターフェイスまたは DRI を介してオンデマンドキャリブレーションを開始する必要があります。DRI を使って動的コンフィギュレーションを実行する場合、XCVR が新しいデータレートおよび/またはデータパターンに対してロックするたびに、ユーザーチンは再キャリブレーションを実行する必要があります。

CDR モード (データレート ≤ 10312.5 Mbps) の場合、ユーザが CALIB_REQ ポートをトグルした時にデバイスは CDR の DC オフセット キャリブレーションと CTLE キャリブレーションを実行します。キャリブレーションが完了した時点で、最適な DC オフセット設定と RX CTLE 設定がレシーバに適用されます。

DFE モード(データレート > 10312.5 Mbps) の場合、デバイスは CDR モードと同じ最適化に加えて、DFE 係数のフル DEF キャリブレーションを実行します。キャリブレーションが完了した時点で、最適な DC オフセット設定、RX CTLE 設定、DFE 係数設定がレシーバに適用されます。

RX (CTLE)キャリブレーションを正常に実行するには、デバイスの電源投入時に参照クロックが安定してフリーランニング中である事と、有効なデータがトランシーバ Rx 入力バッファに提供される事が必要です。データには、実際の受信データと同等の任意のデータパターンが使えます(特定のデータパターンである必要はありません)。しかし DFE の場合、キャリブレーションの結果は使用するデータパターンの影響を受けます。例えば、JESD204B は連続する K28.5 ストリームで始まり、その後実際の 8b10b データへとシフトします。このデータパターンの変化は、キャリブレーション後の DFE 係数に影響を及ぼす可能性があります。

レシーバのキャリブレーションを適正に制御するため、Libero ソフトウェアは ERM (Enhanced Receiver Management)ロジックを含めてトランシーバ コンポーネントを生成します(1.2. 「ERM (Enhanced Receiver Management)」を参照してください)。ERM は、ファブリック インターフェイスからキャリブレーションを開始および監視するための合理的な手順をユーザ回路に提供します。これらのキャリブレーション モードを選択した場合、アイパターン監視回路が動作するため、「None」を選択した場合よりも消費電力が増加します。

Incrementally Recalibrate Data Eye

初期キャリブレーションの実行後に、この再キャリブレーションを実行する事により DFE パスの性能が向上します。この再キャリブレーションは、システム内の温度または電圧変動によって生じた変化に対してデータ アイパターンを最適化する事を目的とします。

この再キャリブレーションは、直前のオフセット キャリブレーションによって決定された DFE パスの DC オフセット値を初期値としてクロック位相センタリング機能を実行します。アイパターン面積計算がシリコン/FPGA 内で完了した時点で、出力信号 LANE#_DATA_EYE_CALIBRATION_DONE が High に駆動される事により、キャリブレーションが完了した事が示されます。

Incrementally Recalibrate DFE Coefficient

初期キャリブレーションが(電源投入時またはオンデマンドで)実行された時に、この再キャリブレーションによってインクリメンタル方式で DFE 係数が再計算されます。

この再キャリブレーションでは、直前のオフセット キャリブレーション時に決定された DFE パスの DC オフセット値が初期値として使われます。直前の DFE キャリブレーション時に計算された DFE 係数(H1~H5)を開始値として使う事で、DFE 計算時間が短縮されます。DFE キャリブレーションがシリコン/FPGA 内で完了した時点で、出力信号 LANE#_DFE_COEFF_RECALIBRATION_DONE が High に駆動される事により、キャリブレーションが完了した事が示されます。

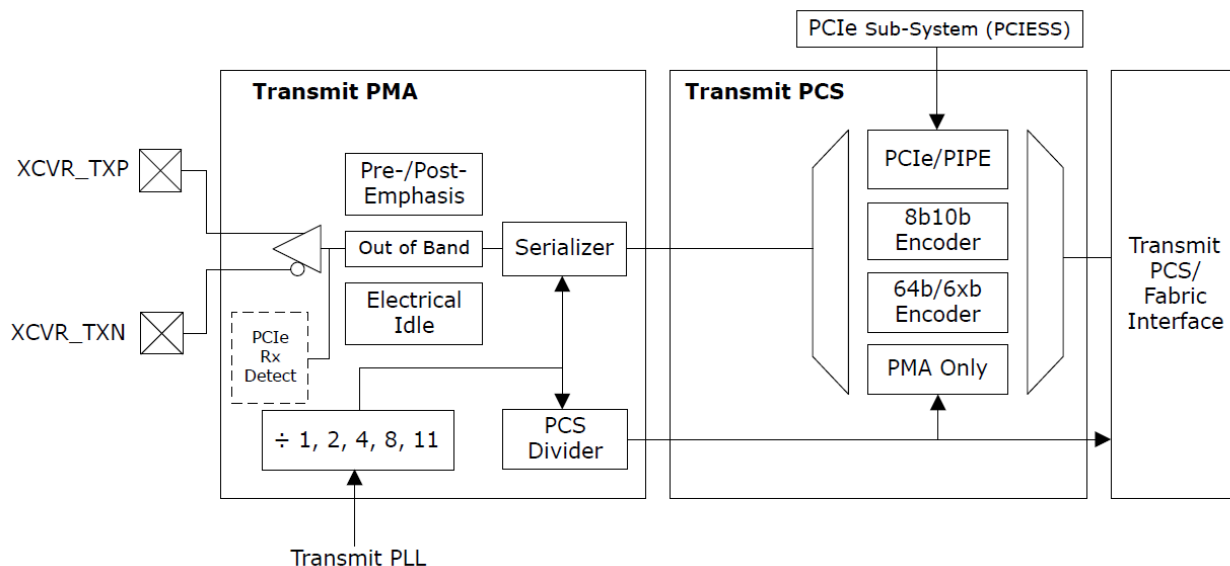
On-Demand and First Lock

On-Demand モードに自動キャリブレーションを追加します。自動キャリブレーションは、最初に CDR がデータに対してロックした時に自動的に発生します。ユーザは XCVR インターフェイスまたは DRI を介してオンデマンドでキャリブレーション イベントを開始する事もできます。

1.1.2 トランスミッタ

トランスミッタは、FPGA ファブリックから PCS ファブリック インターフェイス ブロックとギアリング ブロックを介してパラレルデータを取得します。データは PMA-PCS インターフェイスを介してシリアライザに渡され、送信 PLL から提供されるシリアルクロックを使って高速シリアルデータ ストリームが生成されます。図 6 に示す通り、PMA のトランスミッタ部は、トランスミッタ シリアライザとトランスミッタ バッファを含みます。

図 6. トランシーバ トランスミッタ



1.1.2.1 シリアライザ

シリアライザは、パラレル-シリアル変換を実行する事により、高速インターフェイスと送信 PCS の間のリンクを提供します。各レーンは、送信 PCS ブロックへのデータパス(最大 40 ビット)と専用の後置分周器(分周比: 1、2、4、8、11)を備えます。後置分周器は、Tx PLL からの高速クロックをシリアライザが要求するデータレートへと正確に分周します。これによりトランシーバ レーン内のローカル データレートを調整する事で、高速 TxPLL を共有できます。グリッチフリーの後置分周器により、APB DRI を使って分周比とデータレートを動的に変更する事も可能です。

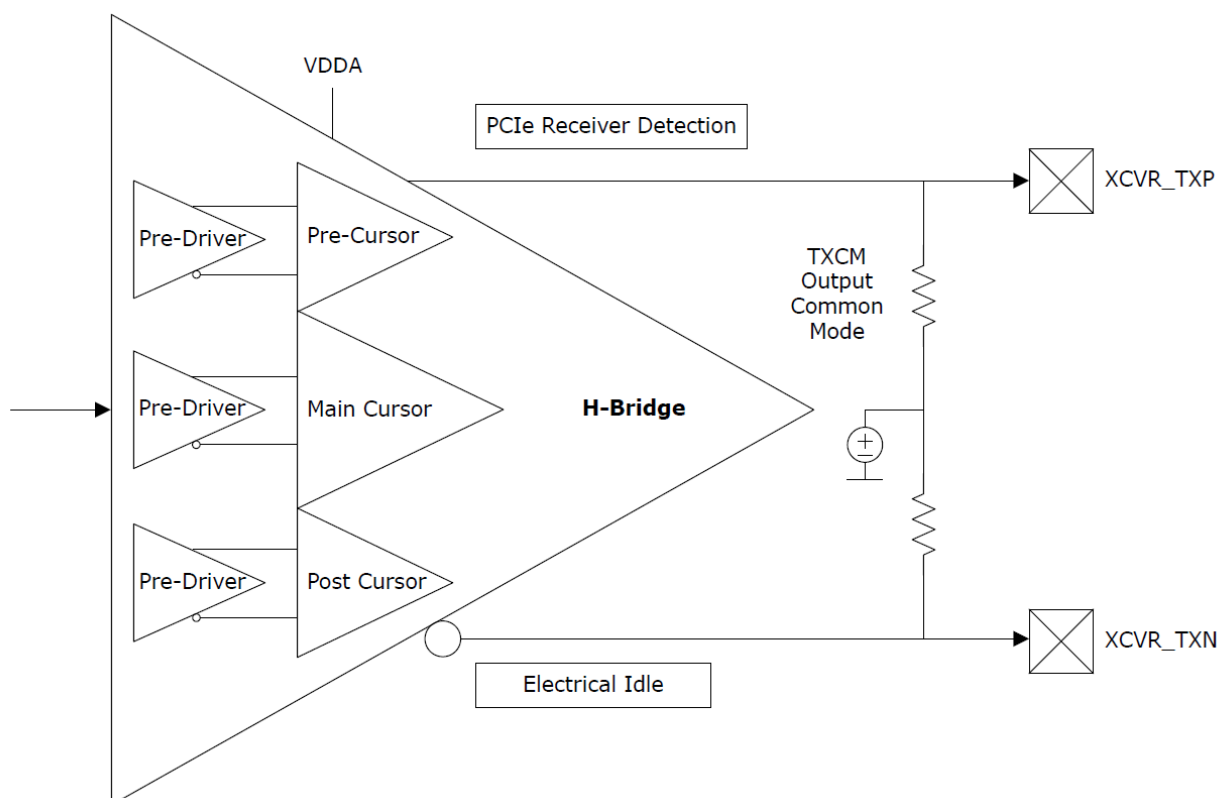
1.1.2.2 送信 PCS 分周器

PCS 分周器は、送信 PLL からのビットレート クロックをファブリック内で使われる低速の TX_CLK クロックへと分周します。PMA は、シリアライザでパラレルデータ(最大 40 ビット幅)を受け取ります。この分周器は、PCS から受け取るパラレルデータの幅(8/10/16/20/32/40/64/80 ビット)も設定します。分周比は、PMA 内のパラレル-シリアルまたはシリアル-パラレル変換比に応じて決まります。

1.1.2.3 送信出力バッファ

図 7 に、トランシーバ レーンの送信出力バッファを示します。このバッファは、XCVR_TXP/N 出力ピンを介してプリント基板上の回路に接続されます。低消費電力 H ブリッジ差動出力バッファは設定可能なドライバを含みます(100 Ω 差動負荷に対して振幅を最大 1 V p-p に設定可能)。出力ドライバ セグメントの振幅制御に加えて、エンファシス量を制御するために送信コモンモード電圧(Tx VCM)レベルの選択が可能です。送信出力バッファの設定は、SmartDebug を使って JTAG インターフェイス経由でリアルタイムに調整できます。これには物理リンクの存在を認識するためのレシーバ検出機能も含まれます。出力バッファは、リンク トランスミッタを順序正しく休止させる電氣的アイドル機能も備えています。

図 7. 送信出力ドライバ



Libero ソフトウェア内のトランシーバ設定を使う場合、ドライバの送信コモンモード電圧レベルは PMA の設定中にユーザが選択します。送信出力振幅を低減すると、トランシーバの総消費電力は減少します。

Note: ユーザは SmartDebug から JTAG ベース インターフェイスを使う事で、送信設定をテストできます。

1.2 ERM (Enhanced Receiver Management)

ERM (Enhanced Receiver Management) は、XCVR コンポーネント内の FPGA ロジックに実装されます。ERM は、DFE/CDR キャリブレーション管理機能と、PF_XCVR のデータに対するロックの検出機能を追加します。RTL は Libero ソフトウェアにより自動的に生成されます。生成されたブロックは、起動時およびオンデマンドの CDR/DFE キャリブレーションと、PF_XCVR の PMA/ 8b10b/ 64b6xb モードによる細粒度ロック検出器(以後 Fine Lock と呼ぶ)を管理します。ERM により、受信ロック検出ロジックは、他のユーザロジックからの相互作用を必要とせずに、Delayed Traffic および Cable Pull の先進機能を動作中に処理可能となります。

ERM は以下の機能を提供します。

- PF_XCVR のレシーバロック動作モード(Lock to reference、Lock to data) の管理
- レシーバ キャリブレーションの管理(1.1.1.9. 「レシーバのキャリブレーション」 参照)。
 - 最初の有効レシーバ ビットロック検出時の自動キャリブレーション(オプション)
 - オンデマンド キャリブレーションのサポート(オプション)
 - データ アイバターンのクロック センタリング再キャリブレーションのサポート(オプション)
 - DFE 係数再キャリブレーションのサポート(オプション)
- レシーバのキャリブレーション完了を示すインジケータ
- LANEx_LOS 入力の提供
この入力アサートする事で、ロック管理モードを Lock to reference に保持できます。この入力は、LOS (Loss Of Signal) インジケータを提供する光インターフェイス(SFP 等) へ接続する場合に使えます。

ERM はデータレートが 5 Gbps を超える場合にリンク管理を改善するためのオプションとして推奨しますが、これより低速のデータレートであっても ERM の自動キャリブレーション機能を使う事でリンクの信頼性を向上させる事ができます。Libero ソフトウェアは PCI Express、PIPE、PF_XCVR の Burst Mode Receiver ソリューション向けに ERM を含めません(ERM の先進機能は、これらのプロトコル レイヤによる管理に既に含まれているため)。

ERM は、Rx_IDLE ピーク検出ロジックを補強するために使われます。この機能は、Rx データの最小遷移頻度(またはビットレート)要件により制限されます。低遷移頻度のパターン(SDI @270 Mb/s または 10G-KR オートネゴシエーション データ等) はピーク検出器を使う事ができないため、入力データが存在しない時に Rx PLL を Lock to Reference モードに保持するために他のシステム依存手段が必要です。

例えば、PCI-Express 等のプロトコルは、対応するリンクを確立およびチューニングするために特別なトレーニングパターンを交換します。これらのプロトコルは、この種のネゴシエーション動作と連携可能であるため、ERM を使いません。CPRI 等のアプリケーションは、起動時にデータレートを段階的に変化させる複雑なプロセスを使用するため、ERM を使ってはいけません。ERM は Rx-only モード(RxPLL が低データレート ストリームにロックされる DisplayPort 等)で使ってもいけません。

ERM は JESD204b、Interlaken、固定レート CPRI アプリケーションで使えます。データレートが 6 Gbps 以下の 8b10b DC 平衡型データストリーム向けに ERM を使わない事を推奨します。これらのデータレートは内蔵信号検出回路を使ってネイティブにサポートされるため、ERM は不要です。ERM を必要としない低データレート向けに ERM を使った場合、トランシーバのネイティブなクロック/データ リカバリ機能の動作が妨げられる可能性があります。

ERM 機能は、両デバイスファミリ(MPF300XT を除く)のトランシーバ アプリケーション向け機能を拡張します。ERM は最小限のロジックリソースしか使いませんが、ERM が含まれない場合に比べて CDR のロック時間は約 3 倍に増加します。

Transceiver Configurator の GUI (図 8 参照)で[Enhanced receiver management] が有効(既定値) に設定されている場合、[Receiver calibration] ドロップダウンで選択されたキャリブレーション モードに応じて ERM ポートが利用可能となります。Libero SoC コンフィグレータ内で ERM オプションが選択されずに XCVR モジュールが生成された場合、モジュールのコンポーネント名に「ERM」は含まれますが、ERM 機能は削減されます。表 5 に、ERM モジュールで必要となるポートの一覧を示します。

表 5. ERM ポート

名称	方向	概要
CTRL_CLK	入力	ERM ロジック向けの 40 MHz クロックです。CTRL_CLK 入力クロックは、PF_OSC の分周済み出力(RCOSC_160MHZ_CLK_DIV)から供給できます。
CTRL_ARST_N	入力	ERM をリセットするために必要な信号です。ユーザは、PF_INIT_MONITOR コンポーネントの XCVR_INIT_DONE 信号からこの入力を駆動する必要があります。
LANE#_LOS	入力	この入力は、無信号条件時に Lock to Data モードへの移行を防ぐために、外部ソース(SFP 等)からアサートできます。受信データストリームが LANE#_RX_IDLE をトリガするのに十分なアクティビティを有していても、RXPLL をロックするのに十分な遷移を有さない場合、この入力を使ってアプリケーションの動作を制御する必要があります。有効なシリアルデータがレシーバの RxP/N 入力に印加された時に LOS はディアサート(=0)されます。LOS は、ERM が Lock to Data モードに移行する前にアサート(=1)される必要があります。移行後のアサートは効果を有しません。
LANE#_CALIB_REQ	入力	オンデマンドキャリブレーションを要求するためのアクティブ High 入力信号です。LANE#_CALIB_REQ はエッジトリガ型です(レベルトリガ型ではありません)。オンデマンドキャリブレーション要求をトリガするには、CALIB_REQ をクリアしてから再アサートする必要があります。
LANE#_CALIBRATING	出力	DFE/CDR がキャリブレーション中であることを示す出力信号です(キャリブレーション中に High)。
LANE#_RX_VAL	出力	CDR の Fine Lock と ERM 動作が完了した事を示す出力信号です。詳細は 1.3. 「トランシーバ PCS インターフェイス モード」を参照してください。 1: Fine Lock がアサートされた(再生されたデータは有効) 0: Fine Lock がディアサートされた(再生されたデータは無効)
LANE#_RX_IDLE	出力	レシーバ入力(RXD[P:N])でのアクティビティを示すアクティブ Low 出力です。データレートが 5 Gbps 以下の場合、RX_IDLE = 0 (Low)の時にレシーバ入力はアクティブです。データレートが 5 Gbps を超える場合、RX_IDLE はデータのアクティビティを正確に示さない(有効な信号がレシーバに印加されていても High を示す)可能性があります。この信号はデバッグ用にのみ提供されます(例: RxPLL が Lock to Reference モードである時の信号検出用)。図 12、図 13、図 14、図 15 を参照してください。
LANE#_RX_READY	出力	CDR の Fine Lock の完了を示します。詳細は 1.3. 「トランシーバ PCS インターフェイス モード」を参照してください。 1: Fine Loc がアサートされた(RxPLL が LANE#_TX_CLK_{G,R}周波数の±4000 ppm 以内で受信データにロックされた) 0: Fine Lock がディアサートされた(再生されたクロックが REFCLK 周波数の± 4000 ppm 以内ではない)
LANE#_RXD[P:N]	入力	シリアルデータ入力の差動ペアです。

.....続き		
名称	方向	概要
LANE#_DATA_EYE_CALIBRATION	入力	データ アイバターンのクロック センタリング再キャリブレーションを要求するためのアクティブ High 入力信号(非同期)です。
LANE#_DFE_COEFF_CALIBRATION	入力	インクリメンタル DFE 係数再キャリブレーションを要求するためのアクティブ High 入力信号(非同期)です。
LANE#_DATA_EYE_CALIBRATION_DONE	出力	データ アイバターンのクロック センタリング再キャリブレーション要求のハンドシェイク信号です。この信号は、データ アイバターン クロック センタリング キャリブレーションの完了時に High へ遷移します。
LANE#_DFE_COEFF_CALIBRATION_DONE	出力	インクリメンタル DFE 係数再キャリブレーション要求のハンドシェイク信号です。この信号は、インクリメンタル DFE 係数再キャリブレーションの完了時に High へ遷移します。

図 8. XCVR コンフィグレータ内の ERM (Enhanced Receiver Management) オプション

The screenshot shows the 'General' tab of the XCVR Configurator. The 'Transceiver mode' is set to 'Tx and Rx (Full Duplex)' and 'Number of lanes' is '1'. The 'Enhanced receiver management' checkbox is checked and highlighted with a red box. The 'Receiver calibration' dropdown is set to 'On-Demand and First Lock'.

ERM の動作は、Transceiver Configurator 内のキャリブレーション要件の選択に応じて異なります。トランシーバ レーン キャリブレーション オプションは、Transceiver Configurator を使って選択します。詳細は [1.1.1.9. 「レシーバのキャリブレーション」](#) を参照してください。

図 9. ERM 動作向けのキャリブレーション オプション

The screenshot shows the 'General' tab of the XCVR Configurator. The 'Transceiver mode' is 'Tx and Rx (Full Duplex)' and 'Number of lanes' is '1'. The 'Enhanced receiver management' checkbox is checked. The 'Receiver calibration' dropdown is open, showing options: 'None (CDR)', 'None (DFE)', 'On-Demand', and 'On-Demand and First Lock'. The 'On-Demand and First Lock' option is highlighted with a red box. Below this, there are checkboxes for 'Incrementally recalibrate'.

ERM 動作向けに以下のレシーバ キャリブレーション オプションが選択可能です。

- **None (CDR):** XCVR を CDR として設定し、CTLE 自動キャリブレーションを実行しない場合、このオプションを選択します。静的設定は、データレートとバックプレーン モデルに基づいて Libero により設定されます。このレシーバ キャリブレーション モードは Rx PLL の Lock to Reference モードを使います。
- **On-Demand and First Lock:** POR 後の最初のロック時に加えてオンデマンドでキャリブレーションを実行する場合、このオプションを選択します。このオプションは、XCVR の CDR 設定と DFE 設定の両方で利用できます。ユーザは、CALIB_REQ ポートを使ってオンデマンドでキャリブレーションをトリガできます。CALIBRATING 信号は CALIB_REQ のアサート時にアサートされ、キャリブレーションの完了時にディアサートされます。
- **On-Demand:** キャリブレーションをオンデマンドで実行する場合に選択します。このオプションは、XCVR の CDR 設定と DFE 設定の両方で利用できます。ユーザは、CALIB_REQ ポートを使ってオンデマンドでキャリブレーションをトリガできます。CALIBRATING 信号は CALIB_REQ のアサート時にアサートされ、キャリブレーションの完了時にディアサートされます。
- **None (DFE):** CDR の DC オフセット キャリブレーションは実行し、DFE 係数は自動 DFE キャリブレーションからではなくレジスタから PDC コマンドを使って設定する場合、このオプションを選択します。
2.4.2. 「物理的制約」を参照してください。Static_DFE は DFE キャリブレーション ルーチンを使わないため、ユーザが正しく DFE 係数値を選択する必要があります。これらの係数値は、SmartDebug ツールまたはシミュレーションにより推定できます。

初期キャリブレーションの完了後に以下の 2 通りの再キャリブレーションを実行する事で、DFE パスの性能を向上させる事ができます。

- **Incrementally Recalibrate Data Eye:** この再キャリブレーションは、システム内の温度または電圧変動によって生じた変化に対してデータ アイパターンを最適化します。
- **Incrementally Recalibrate DFE Coefficient:** この再キャリブレーションは、インクリメンタル方式で DFE キャリブレーションを実行します。初期に計算された DFE 係数値がこのアルゴリズムの開始値として使われるため、キャリブレーションに要する計算時間が短縮されます。

Note: DFE に対しては常にフル キャリブレーションが実行されます。トランシーバを DFE モードに設定した場合、2 つのオプション(On-Demand and First Lock または On-Demand) のどちらかを選択する必要があります。

[Eable RX_READY_CDR and RX_VAL_CDR ports]オプションは、ERM ソリューション向けの対応するチェックボックスを選択する事により利用可能となります(図 10 参照)。このオプションを有効にした場合、XCVR コンポーネントは RX_READY_CDR および RX_VAL_CDR ポートを提供します。これらの追加ポートを使ってデータパスおよび LANE#_RX_READY/LANE#_RX_VAL ポート(ERM で常時提供) の変化を監視する事で、CDR ロック信号を検出できます。これらのポートは、>5G から<5G へのレート変更用および 10GBASE-KR オート ネゴシエーションのサポート用に使えます。

オート ネゴシエーション ロジックを備えたプロトコルを実装する XCVR 回路は、通常 DRI を介してリンクレートをネゴシエートします。そのような場合、ERM がオート ネゴシエーションと干渉して不正な挙動が生じる可能性があります。

図 10. RX_READY_CDR および RX_VAL_CDR ピンの有効化

ERM は、最初の電源投入時およびデバイスリセット(DEVRSTn)からの解除時にデバイスの挙動を管理します。ERM が管理するキャリブレーションは、デバイスが起動時の初期設定を完了して XCVR_INIT_DONE がアサート /CTRL_ARST_N がディアサートされた後に開始されます。キャリブレーションを開始するには、CTRL_ARST_N 信号のディアサート時に RXD 入力ピンに有効なシリアルデータ ストリームが印加される必要があります。キャリブレーションが開始されると、ERM はユーザが選択したキャリブレーション動作(図 11 参照)を実行します。LANE#_RX_IDLE = 0 によって受信データが検出された事が示されると、ERM はキャリブレーションと Fine Lock 動作が完了するまで CDR を Lock to Data モードに設定します。これらの動作は、LANE#_CALIBRATING および RX_READY ステータス信号により示されます。LANE#_RX_VAL は、キャリブレーションおよびロック動作が完了した時に High に遷移します。

表 6 に、DEF オプションに基づいて提供されるポートの一覧を示します。

表 6. DFE オプション

オプション	入力ポート	出力ポート
Incrementally recalibrate data eye	LANE#_DATA_EYE_CALIBRATION	LANE#_DATA_EYE_CALIBRATION_DONE
Incrementally recalibrate DFE coefficients	LANE#_DFE_COEFF_CALIBRATION	LANE#_DFE_COEFF_CALIBRATION_DONE

図 11. DFE オプション

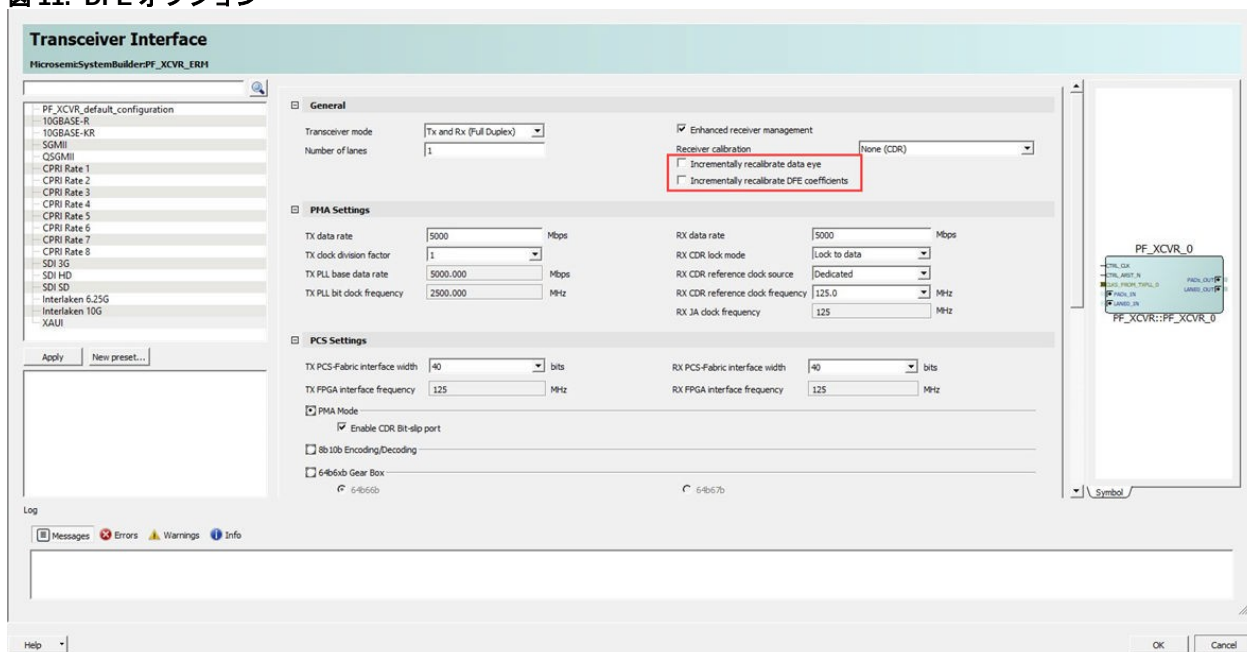
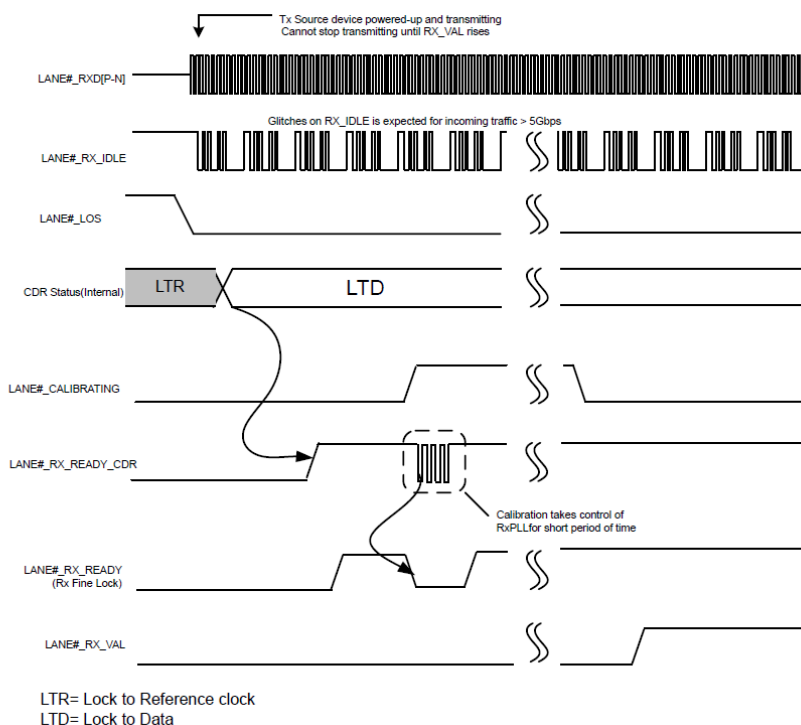


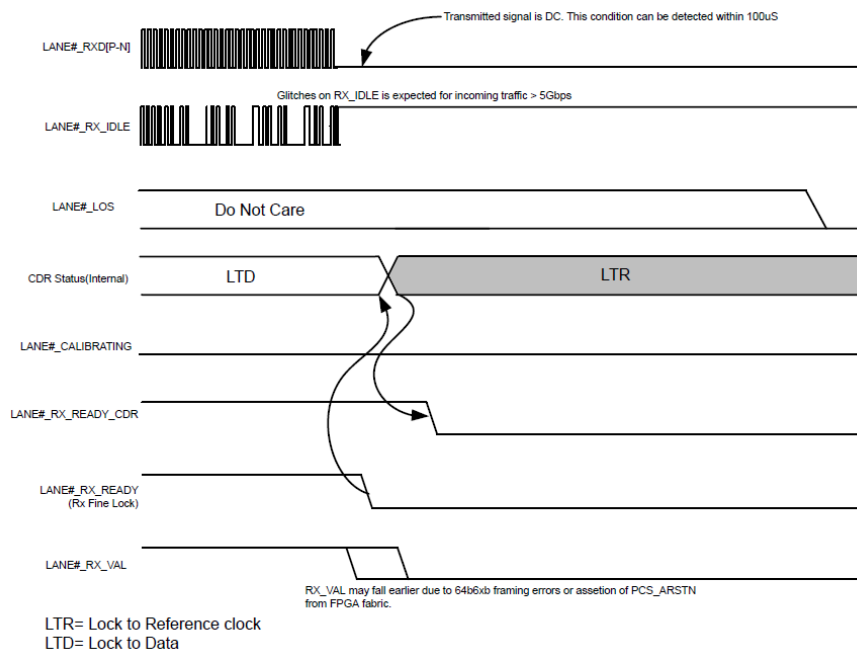
図 12 に、Libero によって生成されたコンポーネント内に ERM が含まれる場合の XCVR の挙動を示します。ERM が含まれない場合、機能は制限される (ERM はレーンを管理しない) ため、LANE#_RX_READY の波形は LANE#_RX_READY_CDR と同じになります。

図 12. 初期ロック/キャリブレーション波形



データ伝送中、Fine Lock $\text{LANE\#_RX_READY} = 0$ と $\text{LANE\#_RX_IDLE}$ 出力信号のトグルによって検出されるアクティビティ欠落によってシリアルリンクが中断された場合、ERM は図 13 のように CDR を Lock to Data から Lock to Reference へ切り換えます。ERM は、データストリームが再確立されるまで、またはトランシーバがリセットされるまで、このモードを管理します。

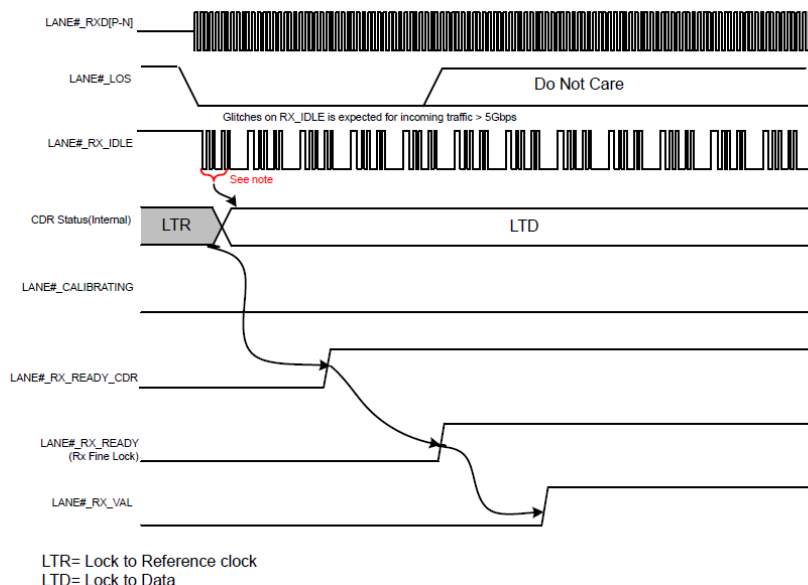
図 13. シリアル Rx データストリームの中断



ERM は、データストリームの中断後に、リンクの再確立を管理します。レシーバ入力に有効なデータストリームが再び印加されると転送が再開され、ERM は CDR を制御してリンクを再初期化するための動作を開始します。図 14 に示す通り、ERM はリンクが安定した事を確認した後に、CDR Fine Lock を再確立します。

リンクのポーリングが完了した時点で、ERM はトランシーバを正常動作へ戻します。これらの動作によって CDR または DFE キャリブレーション設定は変更されず、シリアル データストリームの中断前に使われていた設定に戻されます。

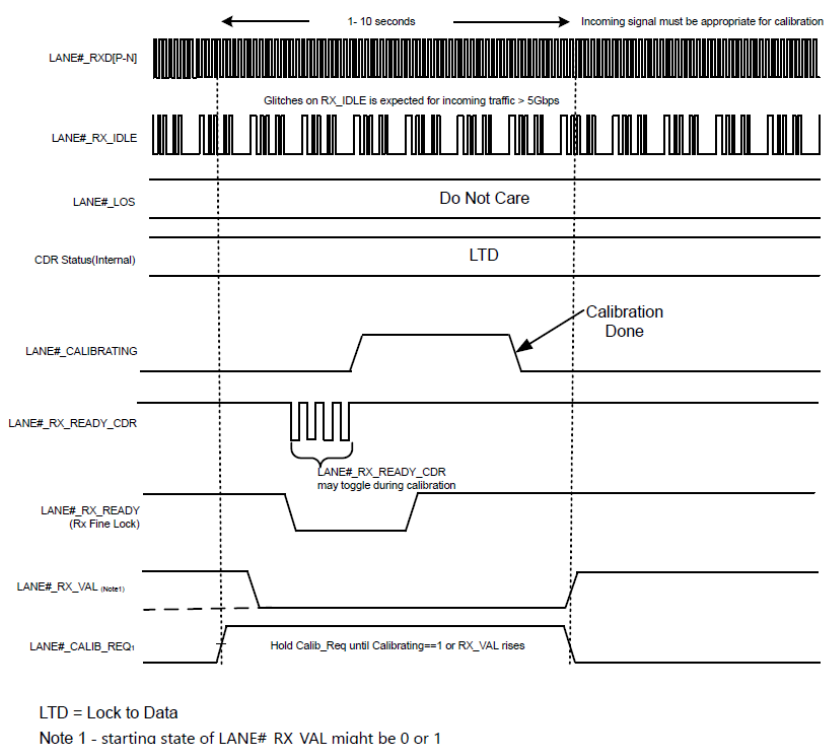
図 14. 初期化後の再開



Note: RX_IDLE 積分器は、信号の存在を示すしきい値で検出します。

ユーザはオンデマンド キャリブレーションを呼び出す事もできます。これは、ケーブルのスワップまたはインターフェイス媒体の変更等によって相互接続が変更された場合に必要です。この場合、ユーザは RXD 入力に有効なデータストリームが印加された後にキャリブレーションを要求できます。図 15 に示す通り、LANE#_CALIB_REQ がアサートされると ERM は CDR/DFE キャリブレーションを開始します。キャリブレーション中に CDR は Lock to Data モードに保持されます。LANE#_CALIBRATING が High に遷移するまで、ユーザロジックは LANE#_CALIB_REQ をアサートし続ける必要があります。

図 15. オンデマンド キャリブレーションの波形



Note: Rx PLL がロックされていない時は常に以下が適用されます:

Rx データストリームが 25 μ s より長く持続した後、LANE#_RX_VAL = 1 になるまで、送信データに 5000 UI を超える規格に非準拠のデータギャップが存在してはいけません。LANE#_RX_VAL = 1 になるまで、長さに関係なく全ての非準拠データギャップの後に 5000 UI の準拠データが持続する必要があります。この要件が満たされない場合、レシーバ キャリブレーションは正しく発生しません。この場合、正常動作を継続するために DRI バスからレジスタアクセスを指令して PMA_LANE\DES_RSTPDIRXPD = 1'b1 とした後に 1'b0 に戻す必要があります。DRI を介して RXPD = 1 が書き込まれたのとほぼ同時に PMA_ARST がアサートされます。RXPD = 1 を 5 μ s 保持した後 RXPD = 0 を書き込むと、PMA_ARST はディアサートされます。DRI の詳細は、[『PolarFire Device Register Map』](#) または [『PolarFire SoC Register Map』](#) を参照してください。この状況は、Rx データストリームが適正に安定するまで LANE#_LOS 入力を使って ERM の起動を阻止する事によって制御する事もできます。

Libero Transceiver Configurator を使って回路を設定する際に ERM を含めない事もできます。ERM を含めないトランシーバ回路は、前述の問題に対処するため、システム要件をよく理解して慎重に使う必要があります。ERM を使わない場合、トランシーバの LANE#_RX_READY ピンは、Rx 信号が切断された時またはレンジ外の条件が発生した時にトグルする可能性があります。例えば、Rx シリアル データレートが 1.17% を超えて逸脱した場合、レンジ外の条件となります。

Rx CDR は存在しないデータストリームまたは不正なデータストリームに対してロックできません。以下の条件により不正な挙動を防ぐ事ができます。

- Rx データレートが Libero で設定されたレートの ± 300 ppm 以内である事
- PMA_ARST がディアサートされた時に Rx データが存在する事
- ロック後にデータストリームが中断しない事(中断すると、CDR ロック回路は CDR のステータスを正しく示せない可能性があります)
- 中断したデータストリームは、PMA_ARST を使って再開できます。

1.3 トランシーバ PCS インターフェイス モード

トランシーバ PMA とファブリックの間の接続には、4 通りの PCS インターフェイス モードが使えます。PMA-PCS ギャリングにはインターフェイス クロックが使われます。TX_CLK と RX_CLK の周波数は FPGA インターフェイスと同じであり、データレート $\div$ (PMA-PCS 幅 $\times$ PCS ギャリング) に基づきます。ユーザがブロックをカスタマイズして生成する場合、PCS インターフェイスは組み込みトランシーバと RTL ブロックをインスタンス化します。

これらの定義済みプロトコル インターフェイスはデータ、制御信号、ステータス信号を FPGA ファブリック内のユーザロジックに提供します。これには以下のモードに対するサポートが含まれます。

- 8b10b: エンコード/デコード、ワードアライン
- 64b66b: 64b/66b または 64/67b エンコード/デコード (ギアボックス ロジックを使用)
- PIPE: PCIe Gen2 をサポートする PCI Express 向け PHY インターフェイス
これは組み込み PCIe コアまたはファブリック内の soft-IP で使われます。組み込み PCIe コア ソリューションの詳細は、『[PolarFire FPGA and PolarFire SoC FPGA PCI Express User Guide](#)』を参照してください。このインターフェイスは、PCIE (PCIESS) コアに対して透過的です。
- PMA Only: エンコード/デコードしない PMA への直接アクセス

1.3.1 8b10b

8b10b モードは、PMA において 16/32/64 ビットのインターフェイス幅に対してのみエンコード/デコードをサポートします。8b10b では以下の機能がサポートされます。

- 送信エンコード
- 送信ディスパリティの強制
- 送信ディスパリティの適応(2つのサブモード(1Gbps IEEE 802.3 モード、Fiber Channel モード)で動作)
- CDR スリッパ機能を使ったレシーバシンボル アライメント
- 8B10B トランスミッタ/レシーバ データパスでの確定的レイテンシ
- 受信デコード
- 選択可能なファブリック幅(トランシーバ レベルでクロックビートあたり 2/4/8 オクテット)

8b10b トランスコーダはプロトコルに非依存です。すなわち、プロトコルに固有のワードアライナまたはワード アライメント ステートマシンを含みません。このモードでは、Comma 検出がサポートされます。シリアルデータは、パラレルデータとして使われる前に、Comma アライメント境界に対してアライメントされる必要があります。正しくアライメントされないと、受信 8b10b データは正しくデコードされません。Comma キャラクタ(K28.5) の 10 ビットコードはエンコードされたビットストリーム内で決して発生しない事が保証されるため、通常は Comma キャラクタ(K28.5)がアライメント用に使われます。

1.3.1.1 ワード アライメント (バイト境界または Comma 検出)

8b10b PCS ブロックは、Comma コード-ワード検出とアライメント動作を実行します。受信ロジックは、Comma キャラクタを使って受信データストリームを 10 ビットワードへとアライメントします。Comma (K28.1、K28.5、K28.7)を使ったアライメントは、IEEE 802.3.2002 のセクション 36.2.4.9 で定義されています。

パターン{001111110} または {110000001} と一致する 8 個の連続するビットが存在すると、Comma が検出されます。これらの連続するビットを含む有効な 10b キャラクタは K28.1、K28.5、K28.7 のみです。802.3 仕様の定義によると、Comma パターンを含む 1つのシーケンス内で 2つの有効な 10b キャラクタが送信される事は決してありません。このため、シンボルアライナによる誤ったロックが発生する可能性は大幅に低下します。レーンごとのアライメント ステータスは LANE#_RX_VAL 出力ピンにより示されます。このピンは、PMA CDR が受信データストリームに対してロックした後のみ High に遷移します。

ワードアラインは不正なアライメントに対してロックする可能性があり、その場合 8b10b デコードからディスパリティ エラーまたはコード違反(もしくはその両方)が発生します。この場合、新しいアライメントを見つけるためにワードアライナをリセットする必要があります。これには PCS_ARST_N リセットが使えます。ファブリック ロジックは、PCS_ARST_N を発行するタイミングを決定するために、LANE#_RX_CODE_VIOLATION および LANE#_RX_DISPERROR を監視する必要があります。

Note: 全てのシリアル プロトコルは、ディスパリティ エラーとコード違反を使ってワードアライナをリセットする方法を指定しています。ソフト IP を使わない XCVR 8b10b モードの場合、ユーザは不正なアライメントを検出可能な監視スキームを実装する必要があります。

1.3.1.2 8b10b データパス インターフェイス

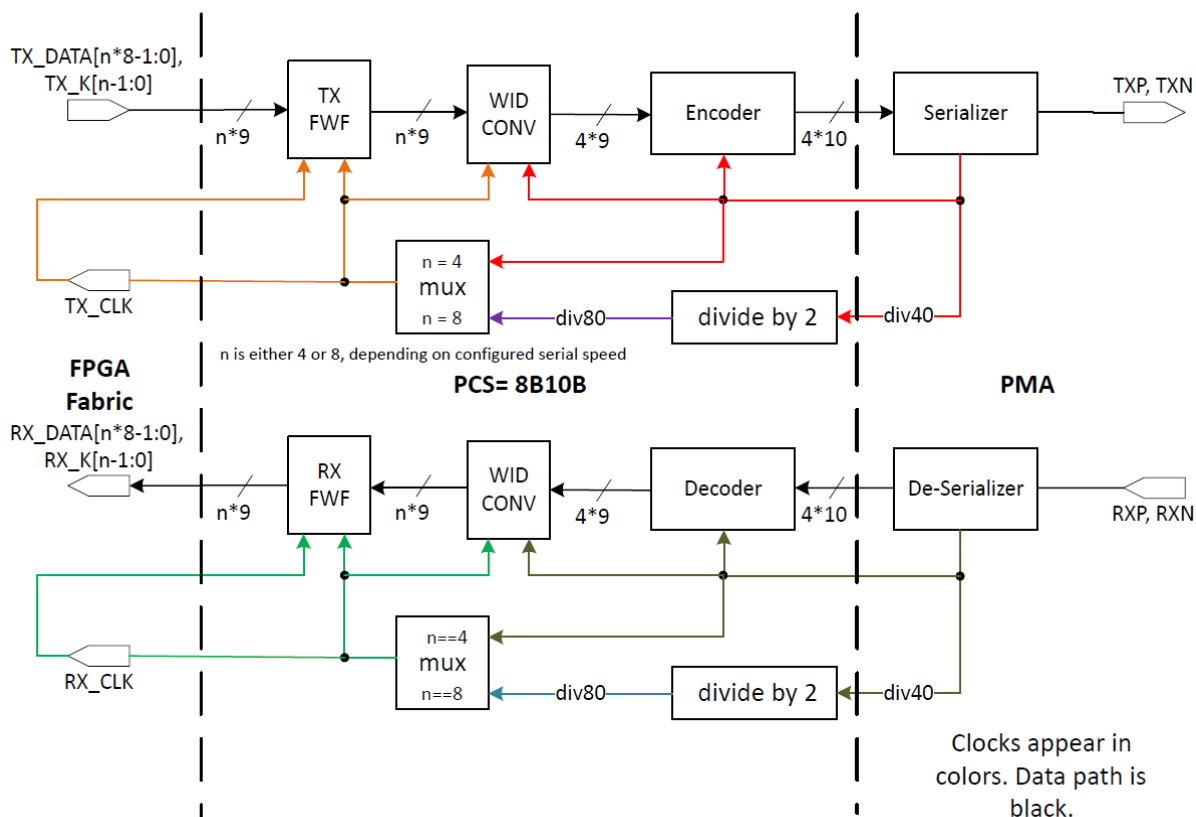
8b10b レーン データパスは以下のインターフェイスを備えています。

- ファブリック インターフェイス – ソフトロジックを使うデータパス インターフェイス
- 内部クロックおよびリセット インターフェイス
- PMA インターフェイス
 - シリアライザへのパラレル送信データ
 - デシリアライザからのパラレル受信データ
- Tx および Rx フライホイール FIFO (FWF)
- システムレジスタ インターフェイス – モードとオプションを制御

図 16 に、8b10b レーン内の 8b10b データパスの概要を示します。この図は、シリアル インターフェイスからファブリック インターフェイス(およびその逆) のデータおよびクロック パスを示す物であり、各種の 8b10b 機能ブロック(エンコーダ、アライナ、デコーダ等) は示していません。

ファブリック TX_DATA および RX_DATA ポートは、表 8 の通りにピン機能に割り当てられます。8B10B モードの場合、ファブリック インターフェイスには、ファブリック データピンに加えて 8b10b ポート一覧(表 8) に示した信号が含まれます。

図 16. 8b10b データパス



1.3.1.3 8b10b のビット/オクテットシーケンス

ファブリック オクテットのビット順は、Tx および Rx インターフェイスと同様の方法で定義されます。8b10b 表記法では、デコードされた 8 ビットオクテットの各ビットに A~H の大文字アルファベットが割り当てられます。ファブリック バス定義は $tx_data[7:0] = \{H, G, F, E, D, C, B, A\}$ です。従って、通常の Dx.y (および Kx.y) キャラクタ表記法では、 $x = tx_data[4:0]$ および $y = tx_data[7:5]$ です。

ファブリック オクテットのシーケンスはリトル エンディアンです。つまり、ファブリック クロックに同期してエンコードされる最初のオクテットは $tx_data[7:0]$ です。同様に、レシーバシリアル入力でエンコードされるストリームの最初のオクテットは $rx_data[7:0]$ です。

8b10b レーンによって PMA へ送信されるデータは、XCVR モジュールの標準表記法に従います。

- bit 0 は、シリアライザが出力する 40 ビットワード $pma_txdata[39:0]$ の最初のビットです。
- 同様に、bit 0 は SerDes 内のデシリアライザがシリアル入力で受け取る 40 ビットワード $pma_rxdata[39:0]$ の最初のビットです。

8b10b の 10 ビット コードグループ表記法では、エンコードされたキャラクタの各ビットを小文字アルファベット(a~j)で表します($tx_data[9:0] = \{j, h, g, f, i, e, d, c, b, a\}$)。各コードグループの「a」ビットは、8b10b プロトコル規格に従って最初に送信/受信されるビットです。

8b10b トランスミッタは、設定に応じてファブリックからクロックビートあたり 2/4/8 オクテットを転送できます。この可変転送レートにより、内部 PCS クロックドメインの周波数は以下のいずれかとなります。

- pcs_tx_clk の 2 倍の周波数
- pcs_tx_clk と同じ周波数
- pcs_tx_clk の 1/2 の周波数

ドメイン間で周波数が異なっても、それらのドメインは常に同期します。

1.3.1.4 8b10b のシステムレジスタ

8b10b のレーン機能オプションを設定するために各種のレジスタを使います。これらのレジスタについては、『[PolarFire Device Register Map](#)』または『[PolarFire SoC Register Map](#)』を参照してください。クロック、リセット、XCVR、レーン オーバーレイ ブロック、データバス ステアリングを正しく設定するには、その他にもレジスタ フィールドが必要となります。8b10b レーンの使用を有効にするには、システムレジスタ フィールドを正しい組み合わせで設定する必要があります。

表 7. 8b10b データバスに影響を及ぼすシステムレジスタ

レジスタ ページ	レジスタ名	フィールド名	概要	要求値
pcslane	L8_R0	L8_TXENCSWAPSEL	オクテット スワッピング モード (1000BASE-X/T または Fibre Channel) を選択します。	オプション: 0=1000BASE-X/T、1=Fibre Channel
		L8_GEARMODE[1:0]	FWF インターフェイスのデータバス幅を設定します。	txfwf_rclk および rxfwf_wclk のクロック選択と矛盾しない必要があります。
	LOVR_R0	FAB_IFC_MODE[3:0]	ファブリックおよび FWF オーバーレイ ブロックを介するバスを選択します。	8b10b 値(3'd4)に設定する必要があります。
		PCSPMA_IFC_MODE[3:0]	SerDes シリアライザ内ヘデータを駆動するためのレーンモードを選択します。	
	LCLK_R0	LCLK_EPCS_RX_CLK_SEL [1:0]	epcs_rx_clk ポート上でファブリックに対して送信するクロックを指定します。	通常、これは 2'd1 (ファブリックの周波数は FWF の内部周波数と同じ)に設定します。しかし、Rx FWF の同期を有効にする場合、値を変更できます。詳細は FWF の説明を参照してください。
pcslane	LCLK_R0	LCLK_EPCS_TX_CLK_SEL [1:0]	epcs_tx_clk ポート上でファブリックに対して送信するクロックを選択します。	8B10B 機能を使う全てのアプリケーションで 2'd3 に設定する必要があります。
		LCLK_PCS_RX_CLK_SEL [1:0]	pcs_rx_clk 向けのクロック モジュールのソースを定義します。	
		LCLK_PCS_TX_CLK_SEL [1:0]	pcs_rx_clk 向けのクロック モジュールのソースを定義します。	
		LCLK_RXFWF_WCLK_SEL [1:0]	rxfwf_wclk 向けのクロック モジュールのソースを定義します。	L8_GEARMODE 設定と矛盾しない必要があります。
		LCLK_TXFWF_RCLK_SEL [1:0]	txfwf_rclk 向けのクロック モジュールのソースを定義します。	
		LCLK_RXFWF_WCLK_PIPE	Rx FWF 向けに Tx 側クロックと Rx 側クロックのどちらを使うのか定義します。	8B10B 機能向けには 1'd0 に設定する必要があります。
	LCLK_R1	LCLK_ENA_8B10B_RX_CLK	クロック モジュールによって 8B10B pcs_rx_clk を駆動するように指定します。	8B10B 動作向けには 1'd1 に設定する必要があります。
		LCLK_ENA_8B10B_RXFWF_WCLK	クロック モジュールによって 8B10B rxfwf_wclk を駆動するように指定します。	
		LCLK_ENA_8B10B_TX_CLK	クロック モジュールによって 8B10B pcs_tx_clk を駆動するように指定します。	
		LCLK_ENA_8B10B_TXFWF_WCLK	クロック モジュールによって 8B10B txfwf_rclk を駆動するように指定します。	
pma_lane	DES_CLK_CTRL	DESMODE[2:0]	デシリアライザ インターフェイスの平行バス幅を選択します。	8b10b 機能向けには 40 ビット幅バスモード(3'd7)を選択する必要があります。
	SER_CLK_CTRL	SERMODE[2:0]	シリアライザ インターフェイスの平行バス幅を選択します。	
	DES_CDR_CTRL3	SLIP_DES_CDR_SEL	CDR スリップ制御のソースを選択します。	ファブリックがシンボル アライメントを制御できるよう、1'd0 に設定する必要があります。
		SLIP_DES_CDR_EN	必要に応じてスリップ制御を無効にします。	1'd1 に設定する必要があります。

表 8 に、PCS モジュールの 8b10b モード向けポートの一覧を示します。

表 8.8b10b ポート一覧

ポート名	方向	クロック	概要
LANE#_CDR_REF_CLK_#/LANE#_CDR_REF_CLK_FAB	入力	—	レーン CDR に対する参照クロックです。FPGA クロックまたは XCVR_#[A,B,C]REFCLK_P/N ピンから供給できます。
LANE#_CLK_REF	入力	—	このポートは、半重オブションを選択した場合にユーザに提供されます。LANE#_REF_CLK は、再生されたクロック(ローカルクロック)と同じ周波数を持つ安定したクロックに接続する必要があります。
LANE#_TX_PLL_REF_CLK_#	入力	—	TX_PLL REF_CLK_TO_LANE 出力ピンからの入力クロックです。CLKS_FROM_TXPLL_# BIF (バスインターフェイス)に含まれます。
LANE#_TX_BIT_CLK_0	入力	—	XCVR TxPLL の BIT_CLK からのクロックです。CLKS_FROM_TXPLL_# BIF (バスインターフェイス)に含まれます。
LANE#_TX_PLL_LOCK_#	入力	—	TX_PLL LOCK 出力ピンからのロックステータス入力です。CLKS_FROM_TXPLL_# BIF (バスインターフェイス)に含まれます。
LANE#_TX_DISPFNC[N:0] ¹	入力	TX_CLK_[R:G]	TX_DISPFNC は、オクテット単位のサイズを 2 ビットにエンコードした設定です(bit[1:0]が最下位オクテット)。TX_DISPFNC ポートのサイズは、PCS ファブリック インターフェイスの幅(16/32/64 ビット)に応じて 4/8/16 ビットとなります。 各オクテット向けの TX_DISPFNC のエンコードは、以下の通りに IEEE 仕様 Clause 36 (802.3)に従います。 オクテット スワップ機能は、インターフェイスの全てのオクテットに対してファブリックがスワップインジケータを示すように設計されています。K28.5 をオクテット 0 またはオクテット 2 へ揃える必要はありません None - 2'b00: エンコーダの現在のランニング ディスパリティを使ってオクテットを通常の方法でエンコードします。 Swap - 2'b01: tx_dispfnc = 1 を検出し、オーダーセットの直前のランニング ディスパリティが「+」である時に次のオクテットをスワップします。 ForcePlus - 2'b11: 対応するオクテットをエンコードする時に、エンコーダからのランニング ディスパリティを「+」で置き換えます。この tx_dispfnc は全てのオクテットで発生します。 ForceMinus - 2'b10: 対応するオクテットをエンコードする時に、エンコーダからのランニング ディスパリティを「-」で置き換えます。この tx_dispfnc は全てのオクテットで発生します。
LANE#_8B10B_TX_K[N:0]2	入力	TX_CLK_[R:G]	TX_DATA が K キャラクタ情報を含んでいる事を示すアクティブ High 信号です。これは、入力がデータバイトではなく K キャラクタバイトである事を示します。
LANE#_TX_DATA[N:0]	入力	TX_CLK_[R:G]	ファブリックからのエンコードされたユーザデータです。最下位バイトから順番に送受信されます。
LANE#_PCS_ARST_N	入力	—	PCS レーン向けの非同期アクティブ Low リセット信号です。このリセット信号は、8b10b ロジックと Comma ワードアライナをリセットします。ファブリック インターフェイスでパラレルワードをアライメントするために内部で RX_SLIP が使われますが、RX_SLIP はワードアライナをリセットしません。
LANE#_PMA_ARST_N	入力	—	PMA レーン向けの非同期アクティブ Low リセット信号です。
LANE#_RXD_N	入力	—	トランシーバレシーバの差動入力です。
LANE#_RXD_P	入力	—	トランシーバレシーバの差動入力です。
LANE#_8B10B_RX_K[N:0] ²	出力	RX_CLK_[R:G]	デコーダからレシーバへのアクティブ High 信号です。この信号は受信データが K キャラクタである事を示します。8b10b モードにおけるオクテット内のキャラクタビットは LSB (最下位ビット)を先頭にして転送されます(8b10b コード表記法に従う)。 [0]: RX_DATA[7:0]上の K デコードデータ [1]: RX_DATA[15:8]上の K デコードデータ
LANE#_RX_DISPARITY_2 ERROR[N:0] ²	出力	RX_CLK_[R:G]	このアクティブ High 出力は、受信したコードグループが 8b10b デコーディング テーブル内に存在するが、現在のランニング ディスパリティに従う正しいコラム内で見つからない事を示します。
LANE#_RX_CODE_VIOLATION[N:0] ²	出力	RX_CLK_[R:G]	このアクティブ High 信号は、デコーダが受信データ内でエラーを検出した事を示します。
LANE#_RX_DATA[N:0] ³	出力	RX_CLK_[R:G]	ファブリックへのデコード済みユーザデータです。データは最下位バイトから順番に送受信されます(従ってオクテットの転送 順も最下位が先頭)。 Data[7:0] = First octet Data[15:8] = Second octet

.....続き			
ポート名	方向	クロック	概要
LANE#_RX_VAL	出力	非同期	LANE#_RX_VAL は、XCVR データバスが初期化された事を示します。 LANE#_RX_VAL = 1 の時、LANE#_RX_DATA[N:0]のパラレルバスはシリアルストリームから再生された実際のデータを格納しています。 8b10b モードでは、CDR がロックされていない時に Rx PCS ロジックは自己リセットします。 このモードでは、LANE#_RX_READY の立ち上がりの直後に LANE#_RX_VAL が立ち上がります。常に LANE#_PCS_ARST_N=0 パルスは LANE#_RX_CLK_R トランシーバ出力から独立したクロックを使います。LANE#_PCS_ARST_N=0 をアサートして保持する事により、LANE#_PCS_RX_READY の立ち上がりを防いで LANE#_RX_CLK_R を静止レベルに保持できます。 8b10b モードでは、XCVR レシーバのキャリブレーション(ERM を含む)が完了した時点で LANE#_RX_VAL が意味を持ち、CDR がロックして初期コマンド/ワードアライメントが発生します。
LANE#_RX_READY	出力	非同期	この出力は、ERM と CDR が受信データの遷移に対する Fine Lock 検出を完了してデシリアライザが起動した時に立ち上がります。CDR への入力データが存在しない場合、RX_READY は Low です。このピンの主目的は、CDR がシリアル入力データに対してロックされて有効なクロックを生成している事をファブリックに知らせる事です。 Note: ローカル トランスミッタ出力をレシーバ入力ヘルプさせるループバック状態では、有効なシリアル遷移を生じさせて Rx CDR がロックできるようにするために、Tx をリセットから解除する必要があります。Tx をリセットから解除せずに Rx CDR のロックを待機すると、システムはデッドロック状態となります。
LANE#_RX_IDLE	出力	非同期	受信 EI (Electrical Idle) 検出フラグです。EI が有効である場合、このフラグの値は「1」です。LANE#_RX_IDLE ピーク検出ロジックは、Rx データの最小遷移頻度要件により制限され、5 Gbps を上回るアプリケーションで使ってはけません。
LANE#_TX_CLK_STABLE	出力	—	トランシーバ/PCS レーンのレディフラグを送信します。送信 PLL が参照クロックに対してロックされている時に、このフラグの値は「1」です。
LANE#_RX_CLK_[R:G]	出力	—	ファブリックへのグローバルまたはリージョナル受信クロックです。⁴
LANE#_TX_CLK_[R:G] ⁵	出力	—	ファブリックへのグローバルまたはリージョナル送信クロックです。⁴
LANE#_TXD_N	出力	—	トランシーバトランスミッタの差動出力です。
LANE#_TXD_P	出力	—	トランシーバトランスミッタの差動出力です。

(1) N = 1/3/7/15

(2) N = 1/3/7

(3) N = 15/31/63

(4) [R:G]に付けられる名称は、Libero で選択されたリージョナルまたはグローバル リソースに基づきます。
Note: LANE#の「#」は 0/1/2/3 のいずれかです。

(5) PolarFire FPGA MPF500 および PolarFire SoC FPGA デバイスでは、PCISS1 (Q0)および GPSS1 (Q1)クワッド内に配置された XCVR レーンの TX_CLK_R および RX_CLK_R ピンは I/O を駆動できません。

1.3.2 64b66b/64b67b

64b66b/64b67b (64b6xb)インターフェイス モードは主に 10 Gbps ベースプロトコル、Ethernet を介する 10G ベースインターフェイス (10GBASE-R/KR)、9.830 Gbps の CPRI (Common Public Radio Interface)、40GBASE-R 規格向けに使われます。64b/66b エンコーダは、DC 平衡とクロックリカバリ用に必要なデータ遷移を付与するために使われます。これは、64 ビット XGMII データと 8 ビット XGMII 制御信号を、[IEEE802.3-2008 仕様の](#) Clause 49 に従って、10GBASE-R 66 ビット制御またはデータ ブロックへとエンコードします。

64b6xb では以下の機能がサポートされます。

- ファブリック幅は 4 バイトまたは 8 バイトに選択可能
- ギャボックス機能は 67 ビットまたは 66 ビットのブロックサイズ向けに設定可能(ギャボックス機能はバイパス可能)
- スクランブラおよびデスクランブラ 64b66b データ(オプション)
- テストパターン生成/比較モード(オプション)
- PRBS 生成/比較モード(オプション)
- ディスパリティ生成/チェック(64b67b データに適用、オプション)

- 同期ヘッダ境界の追跡を制御するために 2 通りのレシーバ ブロック ロック ステートマシンが利用可能
 - IEEE 802.3 Clause 49 に従うステートマシン: 連続する 64 個のヘッダの中に 16 個の無効なヘッダが見つかりとロックを喪失します。
 - IEEE 802.3 Clause 82 に従うステートマシン: 連続する 1024 個のヘッダの中に 65 個の無効なヘッダが見つかりとロックを喪失します。
 どちらのブロック ロック ステートマシンでも、ブロック ロックを達成するには最初に 64 個の連続した有効ヘッダが必要です。Clause 82 に従うステートマシンは、40 G および 100 G リンク向けに指定されています。レシーバでブロック境界を検出してロックするには、これらのステートマシンのどちらかを有効にする必要があります。
- レシーバ IEEE 802.3 ビットエラー レート監視機能(オプション)
- 送信および受信向けのデータパス遅延ステータス監視機能(オプション)

Note: 64b6xb PCS は、IEEE 802.3 10GBASE-KR の FEC (Forward Error Correction) オプションをサポートしません。

エンコーダは、ファブリック インターフェイスと一緒にレーン別のブロック インターフェイスを使ってエンコード済みデータを送受信し、PMA インターフェイスを使ってパラレルデータをトランシーバへ送信します。このモードは、オプションの組み込みギアリング ロジックを備えた 64b67b を提供する事により、Interlaken プロトコルもサポートします。

1.3.2.1 64b6xb データパス インターフェイス

64b6xb レーン データパスは以下のインターフェイスを備えています。

- ファブリック インターフェイス – ソフトロジックを備えたデータパス インターフェイス
- 内部クロックおよびリセット インターフェイス
- PMA インターフェイス
 - シリアルライザへのパラレル送信データ
 - デシリアルライザからのパラレル受信データ
- Tx および Rx フライホイール FIFO (FWF)
- 64b6xb 送信データパス ブロック、ファブリックから PMA への順番
- 64b6xb 受信データパス ブロック、PMA からファブリックへの順番
- システムレジスタ インターフェイス – モードとオプションの制御用

図 17 に、64b6xb レーン内の 64b6xb データパスの概要を示します。この図は、シリアル インターフェイスからファブリック インターフェイス(およびその逆) のデータおよびクロック パスを示しています。

ファブリック TX_DATA および RX_DATA ポートは、表 12 の通りにピン機能に割り当てられます。64B6xB モードの場合、ファブリック インターフェイスには、ファブリック データピンに加えて 64B6xB ポート一覧(表 12)に示した信号が含まれます。

表 9. 64b6xb 送信データパス ブロック (ファブリック側から PMA 側へ順番に記載)

Tx ブロック	目的
8B_to_4B	送信バス幅を 64 ビットから 32 ビットに圧縮します(オプション)。
Tx Scrambler	IEEE 802.3 Clause 49 に従うデータ スキャンブルを実装します。同じスキャンブルが Interlaken 向けにも指定されます。
Tx Disparity	67 ビットシンボルの反転を実装します。Interlaken でのみ使われます。
Tx Gearbox	クロックビートごとに周期的なギャップがある場合、64 ビットブロックシンボルが入力されると、クロック ビートあたり 32 ビットの連続ストリームを PMA に出力します。このブロックは、2 または 3 ビットのヘッダを各ブロックに挿入します。
Tx Test Gen	出力ストリームを PRBS または矩形波パターン(1111_0000)で置き換えます(オプション)。

表 10. 64b6xb 受信データパス ブロック (PMA 側からファブリック側へ順番に記載)

Rx ブロック	目的
Rx Gearbox	PMA からのクロックビートあたり 32 ビットの連続ストリームからブロック境界(66 ビットまたは 67 ビットに設定可能)を特定します。このブロックから 2 または 3 ビットのヘッダを取り除き、64 ビットのデータブロックを 32 ビットのクロックビートによる周期的なパターンに変換します。
Rx Disparity	Interlaken で使われるヘッダビットに基づいてブロックを反転します。

Figure 10: PCS=64B6xB Block Diagram. This diagram illustrates the PCS=64B6xB architecture, divided into two main domains: FPGA Fabric and PMA.

FPGA Fabric:

- TX Path:** TX_DATA, HDR, SOS, etc. (n*8+) enters the TX_FWF block. The output goes through an 8B to 4B converter, a multiplexer (n=4, n=8), a Scrambler, a Disparity block, a Gearbox, a PRBS Test Gen, and finally a Serializer to TXP, TXN.
- RX Path:** RXP, RXN enters the De-Serializer. The output goes through a Gearbox, a Disparity block, a Descrambler, a 4B to 8B converter, a multiplexer (n=4, n=8), and an RX_FWF block to RX_DATA, HDR, SOS, etc. (n*8+).
- Clocks:** TX_CLK and RX_CLK are distributed to the multiplexers and FWF blocks.
- System Registers (Blue Labels):** L64_R0/L64_CFG_BYPASS_SCRAMBLER, L64_R0/L64_CFG_BYPASS_8B_MODE, L64_R0/L64_CFG_BYPASS_DISPARITY, L64_R0/L64_CFG_BYPASS_GEARBOX, L64_R1/L64_BYPASS_TEST.

PMA:

- TX Path:** The TX path continues from the FPGA Fabric through the Scrambler, Disparity, Gearbox, and PRBS Test Gen blocks.
- RX Path:** The RX path continues from the PMA through the De-Serializer, Gearbox, Disparity, and Descrambler blocks.
- Clocks:** The TX and RX paths are clocked by TX_CLK and RX_CLK, respectively.
- System Registers (Blue Labels):** L64_R0/L64_CFG_BYPASS_SCRAMBLER, L64_R0/L64_CFG_BYPASS_8B_MODE, L64_R0/L64_CFG_BYPASS_DISPARITY, L64_R0/L64_CFG_BYPASS_GEARBOX, L64_R1/L64_BYPASS_TEST.

PCS=64B6xB

Clocks wires are colored per domain. Data path is black. Blue labels are used for system registers.

64b6xb レーン機能オプションを設定するために各種のレジスタを使います。これらのレジスタについては、『[PolarFire Device Register Map](#)』または『[PolarFire SoC Register Map](#)』を参照してください。クロック、リセット、XCVR、レーン オーバーレイ ブロック、データパス ステアリングを正しく設定するには、その他のレジスタ フィールドが必要です。64b6xb レーンの使用を有効にするには、システムレジスタ フィールドを正しい組み合わせで設定する必要があります。

表 11. 64b6xb データパスに影響を及ぼすシステムレジスタ

レジスタページ	レジスタ名	フィールド名	概要
pcslane	L64_R0	L64_CFG_BYPASS_GEARBOX	1: 送信と受信の両方のギアボックス機能をバイパスします。
		L64_CFG_BYPASS_SCRAMBLER	1: スクランプラとデスクランブラの両方をバイパスします。
		L64_CFG_BYPASS_DISPARITY	0: Interlaken ブロック ディスパリティの生成とブロックのチェックを有効にします。
		L64_CFG_BYPASS_8B_MOD	0: 64 ビット ファブリック インターフェイス 1: 32 ビット ファブリック インターフェイス
		L64_CFG_GRBX_64B67B	1: 67 ビットブロック (Interlaken)
		L64_CFG_GRBX_SM_C49	1: IEEE 802.3 Clause 49 に従うレシーバロック ステートマシンを有効にします。 L64_CFG_GRBX_SM_C82 は、このビットを反転した値に設定する必要があります。
		L64_CFG_GRBX_SM_C82	1: IEEE 802.2 Clause 82 に従うレシーバロック ステートマシン(40G リンク パージョン)を有効にします。 L64_CFG_GRBX_SM_C49 は、このビットを反転したに設定する必要があります。
		L64_CFG_BER_MON_EN.	1: レシーバ内で BER モニタを有効にします。 BER モニタは CPRI アプリケーションで役立ちます。
		L64_CFG_BER_1US_TIMER_VAL	このレジスタは、1 μ s に最も近くなるクロックビット数に設定します。BER モニタは、125 μ s のインターバルを計時するためにこのフィールドを使います。 例: CPRI Rate-7A の場合は 0x18B、CPRI Rate-8 の場合は 0x140、CPRI Rate-9 の場合は 0x107 に設定します。

1.3.2.3 64b66b レシーバ

レシーバは、各クロックビットで PMA の CDR から 32 ビットまたは 64 ビットのデータをギアボックスに取り込みます。ギアボックスは、IEEE 802.3 Clause 49 に従って同期ヘッダビットで有効な値を検出する事により、データを 66 ビットシンボル内へとフレーミングします。

図 18. 32 ビット インターフェイス向け 64b66b 受信シーケンス

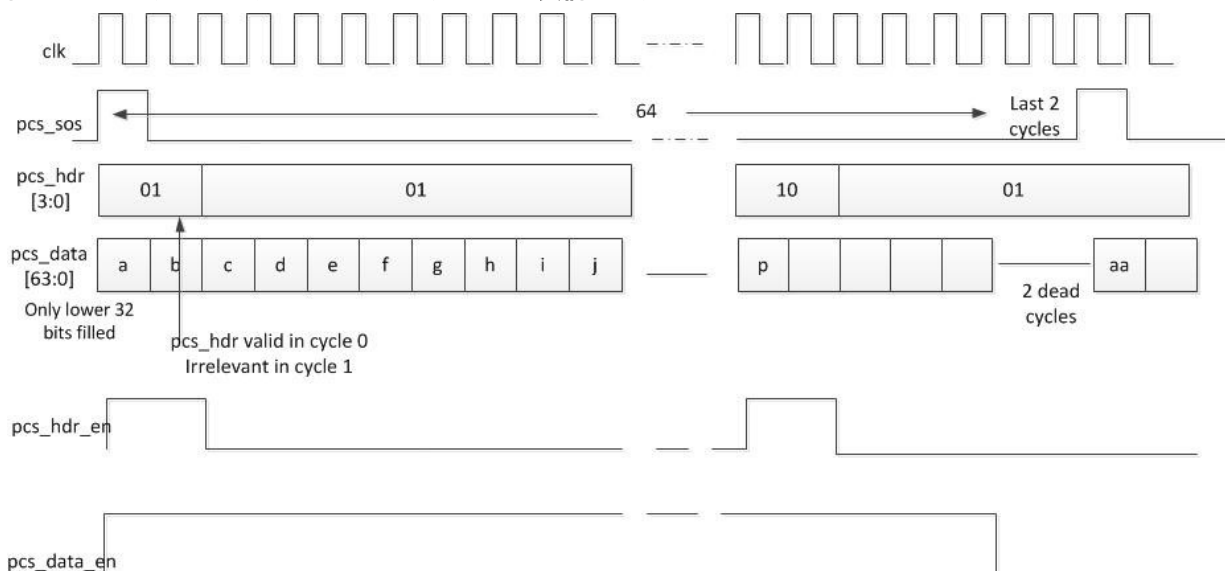
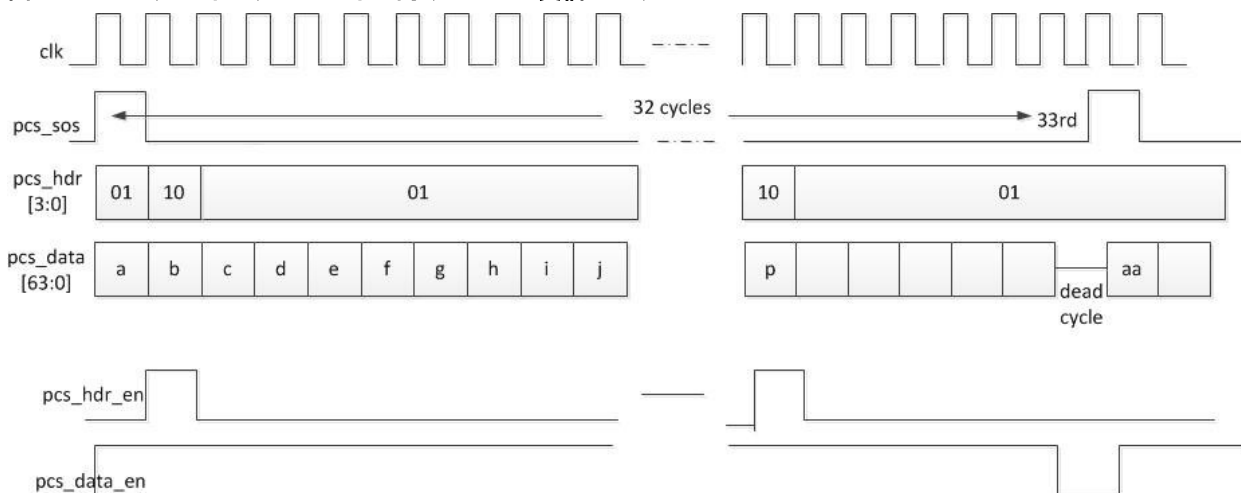


図 19. 64 ビット インターフェイス向け 64b66b 受信シーケンス



1.3.2.4 64b66b 送信

送信方向では、ファブリックからの PCS データに対してエンコード済み 64 ビットブロックが同期ヘッダと一緒に適用されます。64 ビットシンボルが制御ブロック (Idle、Start、Terminate 等) である場合、pcs_hdr[1:0]=0b10 です。それ以外の場合、pcs_hdr[1:0]=0b01 です。タイミング信号 pcs_sos は、シーケンス境界を示します。シーケンス境界は、32 ビット インターフェイスと 64 ビット インターフェイスで異なります (図 20 と図 21 参照)。\$\$設定は、64 ビットブロック内のデータのスクランブルを含みます。スクランブルは、IEEE 802.3 に従って実行されます。

送信ギアボックスは各クロックビートで PMA に対して 32 ビットを生成します。これにより、データはシリアル形式へ変換されてリンク パートナーへ送信されます。

図 20. 64 ビット インターフェイス向け 64b66b 送信シーケンス

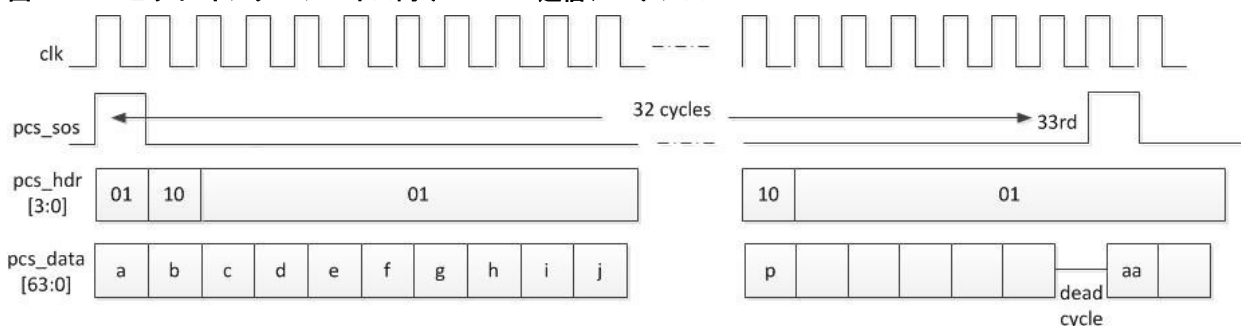
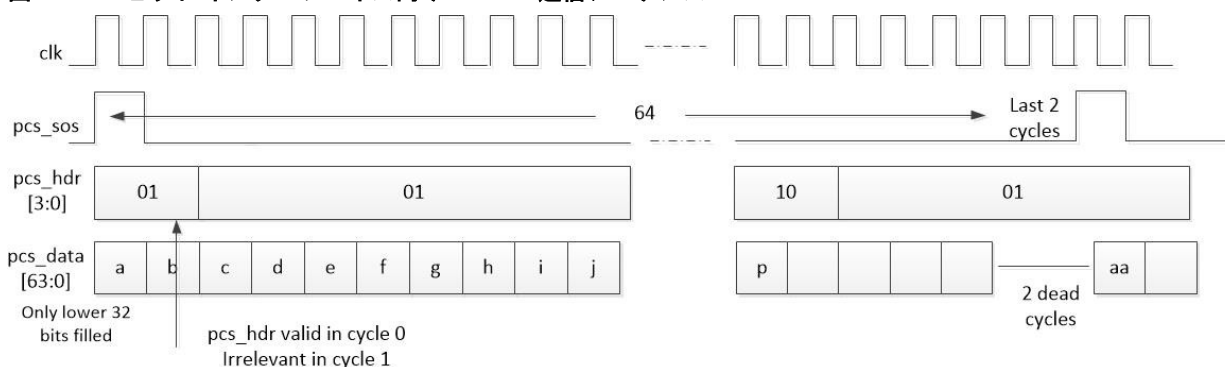


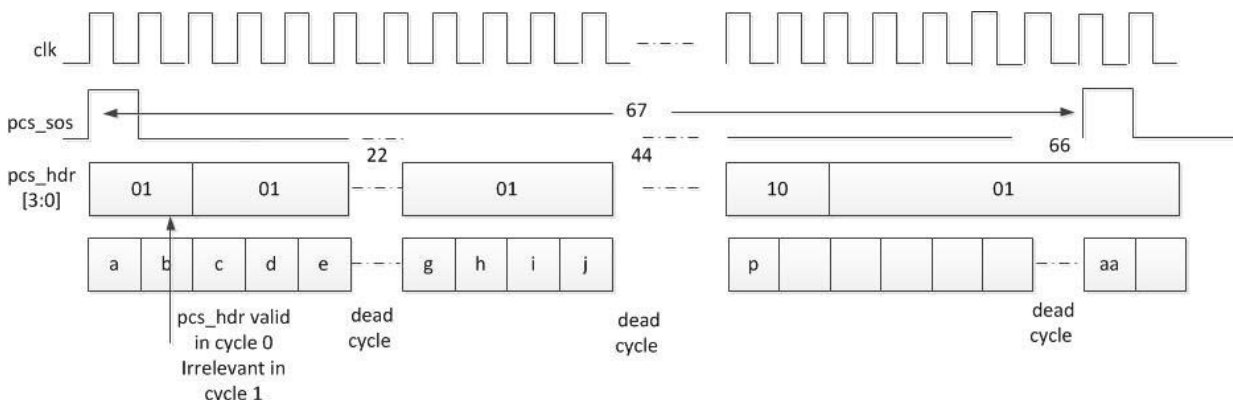
図 21. 32 ビット インターフェイス向け 64b66b 送信シーケンス



1.3.2.5 64b67b 送信

64b67b 向けの推奨設定では、エンコードおよびスクランブル済みデータはファブリックから TX_DATA へ TX_HDR[3:0]上の同期ヘッダと一緒に提供されます。ファブリックからのデータは、ファブリック インターフェイスの幅に対応したクロックビートのシーケンスに従う必要があります。

図 22. 32 ビット インターフェイス向け 64b67b 送信シーケンス



64 ビット インターフェイス オプションの場合、クロックビート 44/45/88/89/132/133 ではデッドサイクルとなります。

送信データは最初に PCS タイミング制御ブロックに入り、そこで 64b67b ブロック向けの適切なマーカが生成されます。次にデータはディスパリティ計算ブロックに入ります。必要に応じてブロックを反転する事により、1 と 0 の総数の釣り合いが保たれます。ブロックが反転された場合、同期ヘッダの bit 2 がセットされます。同期ヘッダの bit [1:0]の持つ意味は、64b66b ブロック内と同じです。

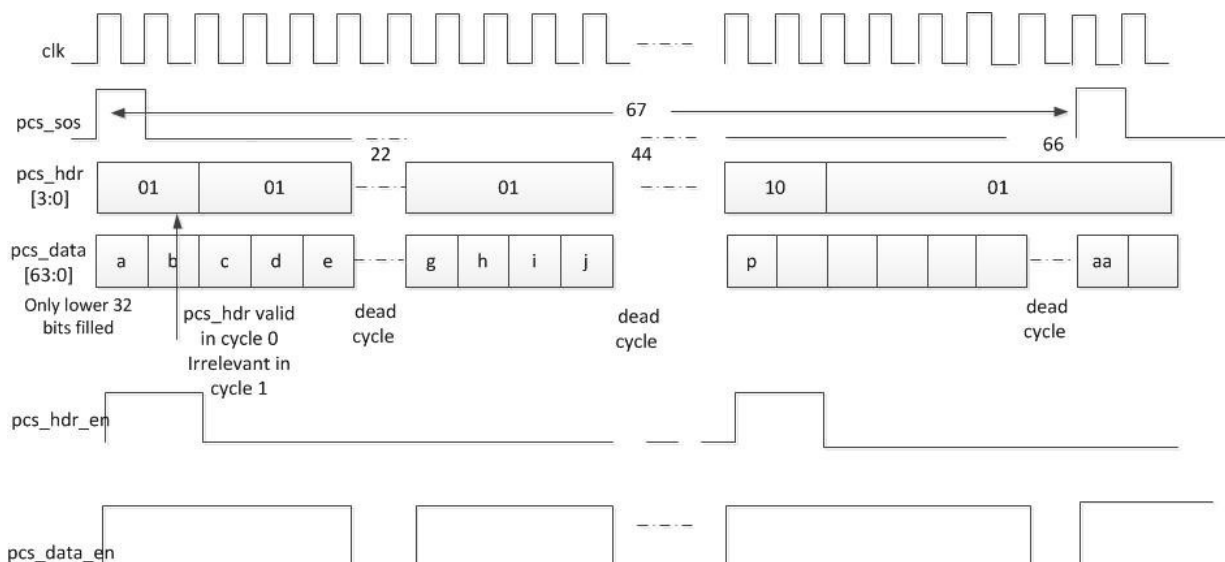
ディスパリティ ブロックからのデータは次に送信ギアボックスに入り、クロックビートあたり 32 ビットのチャンクで出力されて PMA シリアライザへ送信されます。

1.3.2.6 64b67b 受信

デシリアライザからのクロックビートあたり 32 ビットのデータが PMA から 64b67b レシーバに入力されます。データは RX_READY=1 により承認されます。RX_READY は、CDR がビットロックを達成して安定したクロックを生成している時にセットされます。

レシーバ ギアボックスは、同期ヘッダの bit[1:0]を確認する事により、67 ビットブロックをフレーミングします。これは 64b66b の場合と同じですが、同期ヘッダと同期ヘッダの間のビットのスパンが異なります。受信ディスパリティ ブロックは、同期ヘッダの bit 2 の値に応じてブロックを反転します。その後、受信データは 64 ビットまたは 32 ビット クロックビート シーケンスでファブリックへ送信されます。32 ビット シーケンスを図 32 に示します。この場合、2 クロックビートで 1 つのシンボルが転送されます。32 ビット幅の場合、シーケンスの長さは 134 クロックであり、クロックビート 44~45/88~89/132~133 ではブランクシンボルが転送されます。

図 23. 32 ビット インターフェイス向け 64b67b 受信シーケンス



64 ビット インターフェイスのシーケンス タイミングは 67 クロックビットを含み、その内のビット 22/44/66 はデッドサイクルです。

表 12 に、PCS モジュールの 64b66b/64b67b モード向けのポート一覧を示します。

49.2.4 詳細は『IEEE 802.3ae specification』を参照してください。

表 12. 64b66b/64b67b ポート一覧

ポート名	方向	クロック	概要
LANE#_CDR_REF_CLK_#/LANE#_CDR_REF_CLK_FAB	入力	—	レーン CDR に対する参照クロックです。FPGA クロックまたは XCVR_#[A,B,C]REFCLK_P/N ピンから供給できます。
LANE#_CLK_REF	入力	—	このポートは、半重オプシオンを選択した場合にユーザに提供されます。LANE#_REF_CLK は、再生されたクロック(ローカルクロック)と同じ周波数を持つ安定したクロックに接続する必要があります。
LANE#_TX_PLL_REF_CLK_#	入力	—	TX_PLL_REF_CLK_TO_LANE 出力ピンからの入力クロックです。CLKS_FROM_TXPLL_# BIF (バスインターフェイス)に含まれます。
LANE#_TX_BIT_CLK_0	入力	—	XCVR TxPLL の BIT_CLK からのクロックです。CLKS_FROM_TXPLL_# BIF (バスインターフェイス)に含まれます。
LANE#_TX_PLL_LOCK_#	入力	—	TX_PLL LOCK 出力ピンからのロックステータス入力です。CLKS_FROM_TXPLL_# BIF (バスインターフェイス)に含まれます。
LANE#_TX_SOS	入力	TX_CLK_[R:G]	スーパーフレームのシーケンス開始パルスです。フレームの長さはモードに応じて異なります。
LANE#_TX_HDR[3:0]	入力	TX_CLK_[R:G]	各種エンコードタイプに対応する同期ヘッダです。
LANE#_TX_DATA[63:0]	入力	TX_CLK_[R:G]	ファブリックからのエンコード済みデータ入力です。PF_XCVR は、64B6xB モードでのみ最上位バイトを先頭にしてバイトを送受信します。
LANE#_PCS_ARST_N	入力	TX_CLK_[R:G]	PCS レーン向けの非同期アクティブ Low リセット信号です。
LANE#_PMA_ARST_N	入力	TX_CLK_[R:G]	PMA レーン向けの非同期アクティブ Low リセット信号です。
LANE#_TX_ELEC_IDLE	入力	非同期	このピンは、Transceiver Configurator によりコンポーネント上で利用可能となります。この入力により、XCVR_P/N 送信出力ペアはコンモンモード電圧に固定されます。これは、低周波の帯域外シグナリング、またはリンク パートナーに対する低消費電力状態への移行のシグナリング用に使われます。
LANE#_TX_BYPASS_DATA	入力	非同期	このピンは、Transceiver Configurator によりコンポーネント上で利用可能となります。LANE#_TX_BYPASS_DATA=1 の場合、データを直接(シリアライザをバイパスして)送信ピンへ出力できます。このバイパスは非同期であり、この信号は FWF を経由しません。この信号をピンに割り当てた場合、未使用時には Low に固定する必要があります。
LANE#_RXD_N	入力	—	トランシーバ レシーバの差動入力です。
LANE#_RXD_P	入力	—	トランシーバ レシーバの差動入力です。
LANE#_RX_HDR_VAL	出力	RX_CLK_[R:G]	ヘッダデータ入力を有効にします。
LANE#_RX_SOS	出力	RX_CLK_[R:G]	スーパーフレームのシーケンス開始パルスです。フレームの長さはモードに応じて異なります。High 出力がシーケンスの開始を示します。
LANE#_RX_DATA_VAL	出力	RX_CLK_[R:G]	RX_DATA 上にデータが存在する時に有効となります。
LANE#_RX_HDR[3:0]	出力	RX_CLK_[R:G]	各種エンコードタイプに対応する同期ヘッダです。
LANE#_RX_DATA[63:0]	出力	RX_CLK_[R:G]	64b6b からファブリックへのエンコード済み受信データです。PF_XCVR は、64B6xB モードでのみ最上位バイトを先頭にしてバイトを送受信します。bit 31 または bit 63 がシリアルデータ内で最初に到着します。
LANE#_RX_VAL	出力	RX_CLK_[R:G]	LANE#_RX_VAL は、XCVR データパスが初期化された事を示します。 LANE#_RX_VAL = 1 の時、LANE#_RX_DATA[N:0]のパラレルバスはシリアルストリームから再生された実際のデータを格納しています。 64b66b/64b67b モードでは、CDR がロックされていない時に Rx PCS ロジックは自己リセットします。このモードでは、LANE#_RX_READY の立ち上がり直後に LANE#_RX_VAL が立ち上がります。Rx PCS リセットを制御する必要がある場合、LANE#_RX_READY が Low の時に LANE#_PCS_ARST_N をリセットに保持し、LANE#_RX_READY が High に遷移した時にリセットから解除します。LANE#_PCS_ARST_N がリセットから解除されると、LANE#_RX_VAL が立ち上がって Rx パラレルデータが有効である事が示されます。64b6xb モードでは、XCVR キャリブレーション(ERM を含む)が完了した時に RX_VAL が意味を持ち、CDR がロックします。

.....続き

ポート名	方向	クロック	概要
LANE#_RX_READY	出力	—	この出力は、ERM と CDR が受信データの遷移に対する Fine Lock 検出を完了してデシリアライザが起動した時に立ち上がります。CDR への入力データが存在しない場合、RX_READY は Low です。このピンの主目的は、CDR がシリアル入力データに対してロックされて有効なクロックを生成している事をファブリックに知らせる事です。 Note: ローカル トランスミッタをレシーバ入力ヘルプさせるループバック状態では、有効なシリアル遷移を生じさせて Rx CDR がロックできるようにするために、Tx をリセットから解除する必要があります。Tx がリセットから解除される前にユーザが Rx CDR のロックを待機した場合、システムはデッドロック状態となります。
LANE#_RX_IDLE	出力	—	受信 EI (Electrical Idle)検出フラグです。LANE#_Rx_IDLE ピーク検出ロジックは、Rx データの最小遷移頻度要件により制限され、5 Gbps を上回るアプリケーションで使ってはいけません。
LANE#_TX_CLK_STABLE	出力	—	トランシーバ/PCS レーンのレディフラグを送信します。
LANE#_RX_CLK_[R:G]	出力	—	ファブリックに対するグローバルまたはリージョナル受信クロックです(レシーバ用)。
LANE#_TX_CLK_[R:G] ¹	出力	—	ファブリックに対するグローバルまたはリージョナル送信クロックです(トランスミッタ用)。
LANE#_STATUS_HI_BER	出力	RX_CLK_[R:G]	ビットエラー レート モニタからの出力です。これは無効な同期ヘッダ値(0b00 または 0b11)をカウントします。125 μ s 以上の間隔で発生します。
LANE#_STATUS_LOCK	出力	RX_CLK_[R:G]	選択された受信同期ロック ステートマシン(Clause 49 または Clause 82 に準拠)からの出力です。 0: 同期ヘッダ境界はロックされていない 1: 同期ロックが達成された ブロックロック ステートマシンの詳細は IEEE 802.3 の Clause 49 と Clause 82 を参照してください。
LANE#_TXD_N	出力	—	トランシーバ トランスミッタの差動出力です。
LANE#_TXD_P	出力	—	トランシーバ トランスミッタの差動出力です。

Note:

1. PolarFire FPGA MPF500 および PolarFire SoC FPGA デバイスでは、PCIESS (Q0)および GPSS1(Q1)クワッドに配置された XCVR レーンの TX_CLK_R および RX_CLK_R ピンは I/O を駆動できません。
2. LANE# = 0/1/2/3[R:G] の名称は、Libero で選択されたリージョナルまたはグローバル リソースに基づきます。

1.3.3 PIPE

PCIe に対するトランシーバ PMA インターフェイスは、標準 PIPE インターフェイス ロジックに基づきます。PIPE インターフェイス ロジックは、PMA レーンと PHY の上位リンクレベルの間の標準インターフェイスを提供します。このロジックは以下の機能を処理します。

- 8b10b エンコード/デコード ロジック
- レーン極性要件
- エラスティック FIFO と SKP キャラクタ ロジック
- ホットプラグ挿入ロジック
- PCIe 規格が要求する PMA 制御
- PCIe によるリモートレシーバ、電源ステートの変更などの検出(MAC LTSSM ステートと PMA パワーステートの変換を提供)

PIPE インターフェイスは組み込み PCIESS によって使われます。あるいは、FPGA ファブリック内のソフト PCIe IP で使う事も可能です。組み込み PCIESS は、PIPE インターフェイス モードに対する専用インターフェイスを介してアクセスされます。これにより、PCIESS は追加のファブリック ロジックを必要とせずに PIPE に結び付けられます。全ての PHY インターフェイス信号は、PIPE クロックに同期します。PIPE PCS は、組み込み PCIe ブロック間の相互接続として使われる他、トランシーバ PMA に接続したファブリックベースのソフト IP で使われます。PIPE インターフェイスが PCIe モードに設定されているかどうかに応じてポートの割り当ては少し異なります。『[PHY Interface for the PCI Express](#)』を参照してください。

表 13. PIPE ポート一覧

ポート名	方向	クロック	概要
LANE#_CDR_REF_CLK_#/LANE#_CDR_REF_CLK_FAB	入力	—	レーン CDR に対する参照クロックです。FPGA クロックまたは XCVR_#[A,B,C]REFCLK_P/N ピンから供給できます。

.....続き

ポート名	方向	クロック	概要
LANE#_CLK_REF	入力	—	このポートは、半二重オプシオンを選択した場合にユーザに提供されます。LANE#_REF_CLK は、再生されたクロック(ローカルクロック)と同じ周波数を持つ安定したクロックに接続する必要があります。
LANE#_TX_PLL_REF_CLK_#	入力	—	TX_PLL_REF_CLK_TO_LANE 出力ピンからの入力クロックです。CLKS_FROM_TXPLL_# BIF (バス インターフェイス)に含まれます。
LANE#_TX_PLL_LOCK_#	入力	—	TX_PLL LOCK 出力ピンからのロックステータス入力です。CLKS_FROM_TXPLL_# BIF (バス インターフェイス)に含まれます。
LANE#_TX_BIT_CLK_#	入力	—	XCVR TXPLL の BIT_CLK からクロックです。CLKS_FROM_TXPLL_# BIF (バス インターフェイス)に含まれます。
LANE#_TX_DATA[39:0]	入力	—	ファブリックから PCS へのパラレル データバスです。PF_XCVR は最下位バイトを先頭にして送受信されます。 ハード PCIeSS を使う場合、受信データは常に 32 バイト幅です。上位の bit [39:32]は無視されます。 ソフト PCIe IP を使う場合の TXDATA は 40 ビット幅です。その他の場合は 32 ビット幅です(上位バイトは無視)。
LANE#_TXDATAK[3:0]	入力	TX_CLK_[R:G]	TXDATA バス上のキャラクタのタイプを示します(0: データ キャラクタ、1: 制御キャラクタ)。ソフト PCIe IP を使う場合、この信号は無視されます。
LANE#_TXDETECTRX_LOOPBACK	入力	TX_CLK_[R:G]	High は、受信検出処理または外部ループバック(PCI Express 仕様に従う)を開始するよう PHY に指示します。多くの PIPE 信号と同様に、この信号の意味は PHY の電源ステートに応じて異なります。P1 ステートである場合、この信号は受信検出を実行するよう PHY に指示します。P0 ステートである場合、この信号はループバック モードへ移行するようデバイスに指示します。
TXCOMPLIANCE	入力	TX_CLK_[R:G]	通常、この信号のアサートによって現在実行中のディスパリティを反転させます。名称が示す通り、この信号は規格に準拠したテストパターンの送信用にテストデータを生成するために使われます。 あるいは、マルチレーン実装において未使用レーンを OFF にするために使われます(例: x4 リンクが x1 リンクとして動作する必要がある場合)。 TXCOMPLIANCE と TXELECIDLE の両方をアサートする事により対応するレーンを OFF にする事で、消費電力を可能な限り削減できます。
POWERDOWN[1:0]	入力	TX_CLK_[R:G]	これらの入力は、トランシーバを以下の 4 通りの電源ステートのいずれかに設定します。 P0: 通常動作ステート P0s: PCLK は ON まま、レシーバは電力を消費します。レシーバは EI (Electrical Idle)を検出した時にこのステートに移行します。これはリンクステートの L0s に対応します。 P1: PCLK は ON のまま、レシーバとトランスミッタの両方が EI 状態となります。これはリンクステートに L1 に対応します。 P2: PCLK は OFF になります。PHY は消費電力を最小化して VAUX の制限内で動作する必要があります。これはリンクステートの L2 に対応します。 PHY の電源管理の詳細は、『PHY Interface for the PCI Express』を参照してください。
PCIE_RATE[1:0]	入力	TX_CLK_[R:G]	リンクの信号レートを制御します。 PCIe モードの場合: 00: Gen1 (2.5 Gbps) 01: Gen2 (5.0 Gbps)
TXMARGIN[2:0]	入力	TX_CLK_[R:G]	トランスミッタの電圧レベルを以下の通りに選択します。 000: TxMargin 値 0、通常動作レンジ 001: TxMargin 値 1、800~1200 mV (フル振幅)または 400~700 mV (ハーフ振幅) 010: TxMargin 値 2 (必須)、ベンダー定義 011: TxMargin 値 3 (必須)、ベンダー定義 100: TxMargin 値 4 (必須)、200~400 mV (フル振幅)または 100~200 mV (ハーフ振幅) 101: TxMargin 値 5 (オプション)、200~400 mV (フル振幅)または 100~200 mV (ハーフ振幅) 110: TxMargin 値 6 (オプション)、200~400 mV (フル振幅)または 100~200 mV (ハーフ振幅) 111: TxMargin 値 7 (オプション)、200~400 mV (フル振幅)または 100~200 mV (ハーフ振幅)

.....続き

ポート名	方向	クロック	概要
TXDEEMPH	入力	TX_CLK_[R:G]	トランスミッタのディエンファシスを以下の通りに選択します。 0: 6 dB ディエンファシス @ 5 Gbps 1: 3.5 dB ディエンファシス @ 5 Gbps 2.5 Gbps 信号レートのみをサポートする PIPE は、この信号を実装しません。
TXSWING	入力	TX_CLK_[R:G]	トランスミッタの電圧振幅を以下の通りに制御します。 0: フル振幅 1: ハーフ振幅
LANE#_RXPOLARITY	入力	TX_CLK_[R:G]	このアクティブ High 信号は、受信データの極性を反転するよう PHY に指示します。
LANE#_RXSTANDBY	入力	TX_CLK_[R:G]	RxStandby ステートを以下の通りに設定します。 0: アクティブ 1: スタンバイ
LANE#_TXELECIDLE	入力	TX_CLK_[R:G]	この信号が High にアサートされると、電源の状態に関係なくトランスミッタは EI (Electrical Idle) 状態に設定されます。この信号がディアサートされると、TXDATA および TXDATAK からの有効データは P0 ステートで送信されます。PHY が P2 ステートである場合、TXELECIDLE がディアサートされた時にビーコンが送信される必要があります。P0s および P1 ステートである場合、TXELECIDLE がアサートされる必要があります。この信号の使用は、PHY 電源ステートの影響も受けず(一部のステートでは、トランスミッタは EI 状態である事が必要であるため)。詳細は、『PHY Interface for the PCI Express』を参照してください。
LANE#_PCS_ARST_N	入力	—	PCS レーン向けの非同期アクティブ Low リセット信号です。
LANE#_PMA_ARST_N	入力	—	PMA レーン向けの非同期アクティブ Low リセット信号です。
LANE#_RXD_N	入力	—	トランシーバ レシーバの差動入力です。
LANE#_RXD_P	入力	—	トランシーバ レシーバの差動入力です。
LANE#_RXELECIDLE	出力	RX_CLK_[R:G]	PCIe レシーバピンはリンク上の EI (Electrical Idle) 状態を検出します。High はレシーバが EI を検出した事を示し、Low は P2 時のビーコン信号送信を示します。
LANE#_RXSTANDBYSTATUS	出力	RX_CLK_[R:G]	PHY はこの信号を使って Rx スタンバイ ステートを示します。 0: アクティブ 1: スタンバイ
LANE#_RX_DATA[39:0]	出力	RX_CLK_[R:G]	PCS からファブリックへのパラレル データバスです。PF_XCVR は最下位バイトを先頭にして送受信されます。ソフト PCIe IP を使う場合の RXDATA は 40 ビット幅です。その他の場合は 32 ビット幅です(上位バイトは無視)。
LANE#_RXDATAK[3:0]	出力	RX_CLK_[R:G]	RXDATA バス上の受信シンボル向けのデータ/制御インジケータです。 0: RXDATA はデータを格納している 1: RXDATA はオーダーセットを格納している ソフト PCIe IP を使う場合、RXDATAK は無視されます。
LANE#_RXVALID	出力	RX_CLK_[R:G]	RXDATA および RXDATAK 上のデータを承認します。この信号がアサートされた場合、受信データバス上のデータは有効であり、PHY はシンボルロックを達成済みです。
LANE#_RXSTATUS[2:0]	出力	RX_CLK_[R:G]	レシーバステータス、受信データのエラーコード、レシーバ検出ステータス情報を PHY から MAC へ提供します(例: SKP シンボルの追加/削除、ディスパリティ エラー、エラスティック バッファのオーバーフロー/アンダーフロー、8b10b デコードエラー等)。 0 0 0: 受信データは有効 0 0 1 1: SKP が追加された 0 1 0 1: SKP が削除された 0 1 1: レシーバが検出された 1 0 0: コードエラー 1 0 1: エラスティック バッファがオーバーフローした 1 1 0: エラスティック バッファがアンダーフローした 1 1 1: 受信ディスパリティ エラー
LANE#_RX_BYPASS_DATA	出力	非同期	RX_BYPASS_DATA 出力は、受信ピン向けに使われる差動レシーバの低速バイパスです。これは、低周波の帯域外デバッグ信号です。

.....続き

ポート名	方向	クロック	概要
LANE#_PHYSTATUS	出力	RX_CLK_[R:G]	この信号は、PHYのセットアップが完了してデータ トラフィックの準備が完了した事を示します。この信号は電源管理ステートからの移行、レート変更、受信検出が正常に完了した事を示すためにも使われます。
LANE#_RX_VAL	出力	RX_CLK_[R:G]	LANE#_RX_VAL は、XCVR データバスが初期化された事を示します。 LANE#_RX_VAL = 1 の時、LANE#_RX_DATA[N:0]のパラレルバスはシリアルストリームから再生された実際のデータを格納しています。 PIPE モードでは、CDR がロックされていない時に Rx PCS ロジックは自己リセットします。このモードでは、LANE#_RX_READY の立ち上がり直後に LANE#_RX_VAL が立ち上がります。 Rx PCS リセットを制御する必要がある場合、LANE#_RX_READY が Low の時に Rx PCS をリセットに保持し、LANE#_RX_READY が High に遷移した時にリセットから解除します。 Rx PCS がリセットから解除されると、LANE#_RX_VAL が立ち上がって Rx パラレルデータが有効である事が示されます。 PIPE モードでは、CDR がロックして初期の Comma/ワード アライメントが発生した時に LANE#_RX_VAL が意味を持ちます。
LANE#_RX_READY	出力	—	この出力は、CDR が受信データの遷移に対して位相ロックされてデシライザが起動した時に立ち上がります。CDR への入力データが存在しない時に RX_READY は Low です。このピンの主目的は、CDR がシリアル入力データに対してロックされて有効なクロックを生成している事をファブリックに知らせる事です。 Note: ローカル トランスミッタをレシーバ入力ヘルプさせるループバック状態では、有効なシリアル遷移を生じさせて Rx CDR がロックできるようにするために、Tx をリセットから解除する必要があります。Tx がリセットから解除される前にユーザが Rx CDR のロックを待機した場合、システムはデッドロック状態となります。
LANE#_RX_IDLE	出力	—	受信 EI (Electrical Idle)検出フラグです。アサートは非同期ですが、デアサートは RX_CLK_OUT の立ち上がりエッジに同期します。
LANE#_TX_CLK_STABLE	出力	—	トランシーバ/PCS レーンのレディフラグを送信します。送信 PLL が参照クロックに対してロックされている時に、このフラグの値は「1」です。
LANE#_TX_CLK_[R:G] ¹	出力	—	ファブリックに対するグローバルまたはリージョナル送信クロックです。
PIPE_CLOCK	出力	—	ソフト PIPE PCS 設定の PCIe Gen1/Gen2 モードでは、1 つの XCVR コンフィグレータ インスタンス内で設定可能な 4 つのレーンの全てに対して 1 つの TX_CLK_[R:G] (LANE0_TX_CLK_[R:G])のみが存在します。これは PIPE_CLOCK という名前で示され、全てのレーンで共有されます。内部では、各レーンの RX_FWF_CLK と TX_FWF_CLK (XCVR マクロ上の内部ポート)は、どちらも RCLKINT/CLKINT を介して PIPE_CLOCK (LANE0_TX_CLK_[R:G])に接続されます。
LANE#_TXD_N	出力	—	トランシーバトランスミッタの差動出力です。
LANE#_TXD_P	出力	—	トランシーバトランスミッタの差動出力です。

(1) PolarFire FPGA MPF500 および PolarFire SoC FPGA では、PCIESS (Q0)および GPSS1(Q1)クワッドに配置された XCVR レーンの TX_CLK_R および RX_CLK_R ピンは I/O を駆動できません。

Note: LANE#の「#」は 0/1/2/3 のいずれかです。[R:G] に付けられる名称は、Libero で選択されたリージョナルまたはグローバル リソースに基づきます。

1.3.4 PIPE インターフェイス規格への準拠に関する例外事項

PIPE インターフェイスは、以下の事項を除き Intel 社の仕様バージョン 4.0 に準拠します。

- P1 から P0 への電源ステートの移行において、PhyStatus パルス応答は P0 への移行要求から約 30 μ s 遅延します。この長い遅延は、Rx PLL が起動して安定するまでに必要な時間です。P0 への移行は、トレーニング パターンを送信する前の長い遅延として外部から観測されます。トレーニング パターン遅延は例外であっても重大なブロトコルエラーです。
- PCI-Express レシーバ検出は、ソフト PIPE インターフェイスで使われる場合に以下の問題を有します。
 - レシーバ検出が Receiver-Not-Present ステータスを返す場合、PhyStatus パルスは繰り返し生成されます。MAC 側の LTSSM ロジックは、最初の PhyStatus パルスを除く全てのパルスを見捨てる必要があります。
 - 後続のレシーバ検出動作-N がレシーバ検出を開始しますが、N > 0 の場合、PhyStatus および RxStatus を介して即座に N-1 の検出ステータスを返します。最初のレシーバ検出(N = 0) は、レシーバ検出アクティビティが完了するまで待機してから PhyStatus および RxStatus を介してそのステータスを返します。

図 24 に、最初の検出動作で接続されたレシーバが見つからなかった場合の PIPE インターフェイス信号の挙動を示します。XCVR モデル化の制約により、シミュレーションの応答時間は参照クロック周波数による固定値となります。

XCVR モデルにおけるコモンモード電圧ステップの反射時間は固定されています。実際のデバイスの反射時間(および PIPE PhyStatus パルスの発生タイミング)は終端回路に依存します。

図 24. レシーバが存在しない(Receiver-Not-Present)場合の最初のレシーバ検出応答

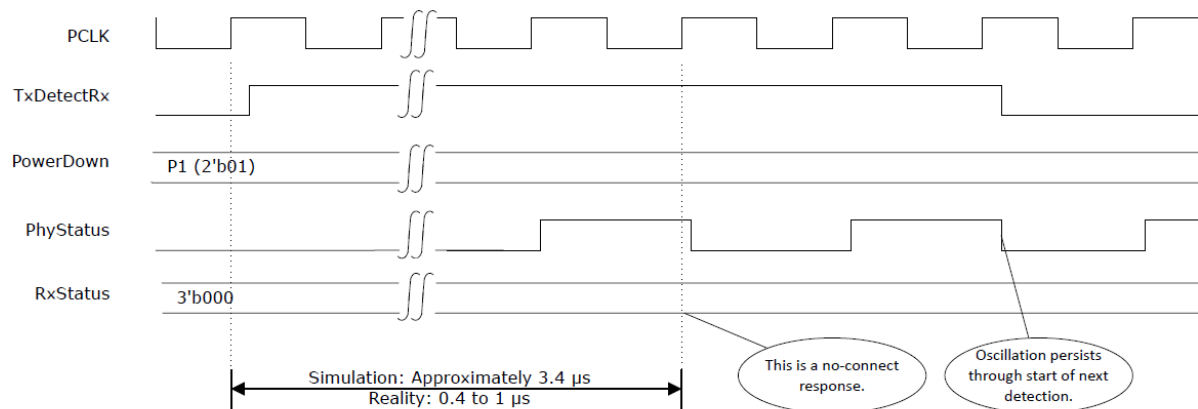


図 25 に、最初の検出動作で 1 つの接続済みレシーバが見つかった場合のソフト PIPE インターフェイス信号の挙動を示します。シミュレーションでは、レシーバが見つかった場合と見つからなかった場合で RxStatus の値は異なりますが PhyStatus パルスまでの遅延時間は同じです(どちらも約 3.4 μs)。しかし、実際のデバイスでは、この遅延時間は見つかった場合と見つからなかった場合で異なる可能性があります。実際のデバイスでは、Receiver-Not-Present 応答は Receiver-Present 応答よりも早期に発生します。

図 25. レシーバが存在する(Receiver-Present)場合の最初のレシーバ検出応答

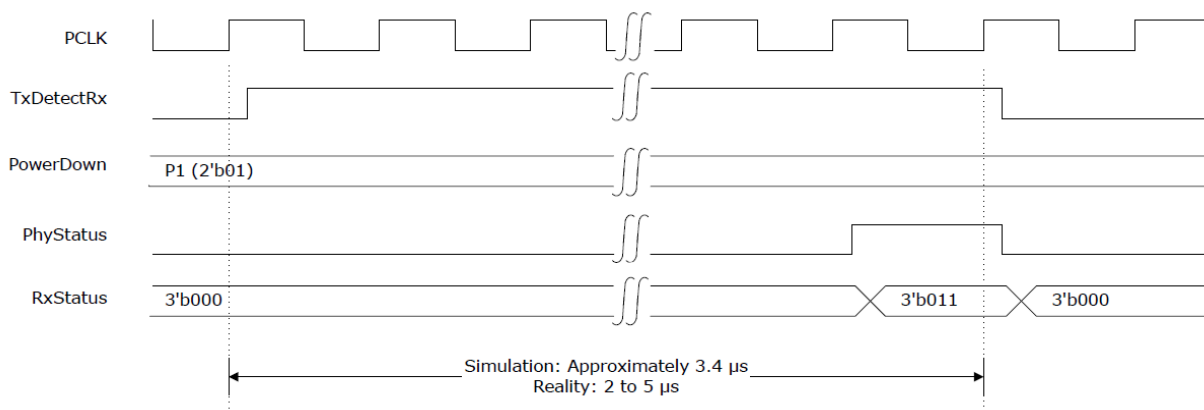
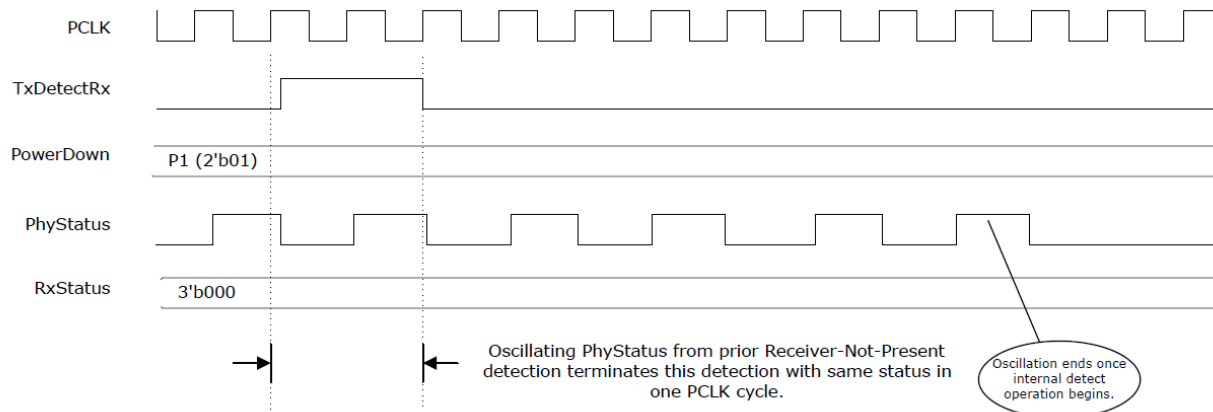


図 26 に、直前の検出結果が Receiver-Not-Present であった場合の、後続のレシーバ検出に対する PIPE インターフェイスの応答挙動を示します。

図 26. 直前のステータスが Receiver-Not-Present であった場合の後続のレシーバ検出応答



1.3.5 PMA Only

このインターフェイスは、ファブリック境界をまたいでデータを送受信するためのコンジットとしてトランシーバ PMA を使います。シリアルデータはデシリアライズされた後に受信 FWF を経由してパラレル FPGA ファブリック バスへ渡されます。同様に、ファブリックからのパラレルデータは送信 FWF を経由してシリアライザのパラレル インターフェイスに渡されます。

PMA Only モードでは以下の機能がサポートされます。

- 選択可能な PMA インターフェイス幅(8/10/16/20/32/40 ビット)
- 選択可能なファブリック インターフェイス幅(クロックビートあたり 8/10/16/20/32/40/64/80 ビット)
- CDR ビットスリップのファブリック制御(オプションのシンボル アライメント用)
- トランスミッタ EI (Electrical Idle) のファブリック制御
- バーストモード レシーバ サポートを有効にする CDR ロック動作のファブリック制御オーバーライド
- 送信 PMA インターフェイスの 1/2 周波数で動作するトランスミッタ向けのファブリック側インターフェイス
- 受信 PMA インターフェイスの 1/2 周波数で動作するレシーバ向けのファブリック側インターフェイス

PMA Only モードでは、PMA インターフェイスは全ての PCS エンコード/デコードロジックをバイパスし、FPGA ファブリック内に実装されたカスタム PCS 機能を使います。ファブリック内のソフト IP には、ユーザ側で準備するソフト IP または Microchip ダイレクトコアから提供されるサードパーティ製のソフト IP が使えます。

トランシーバ PMA モードは、SDI-HD 等のプロトコルをサポートする場合に役立ちます。PMA Only モードは、1GbE インターフェイス向けにも使われます。1GbE IP の CoreTSE スイートはソフト 8b10b エンコーダ/デコーダを備えており、トランシーバまたは I/O CDR を使ってこの規格を実装する事ができます。

図 27. PMA バス波形

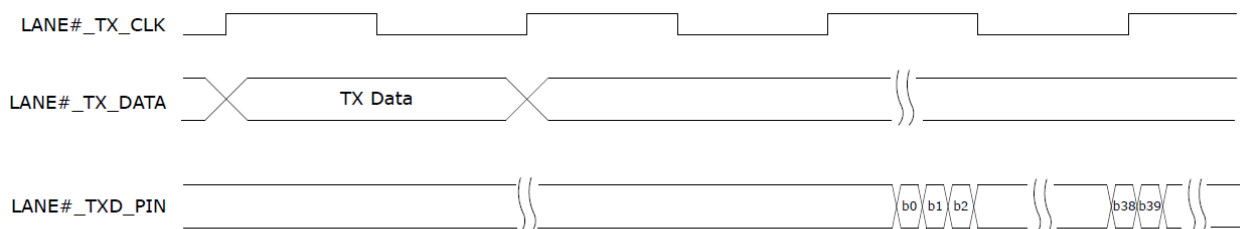


図 28. PMA Only データパス - 80 ビット

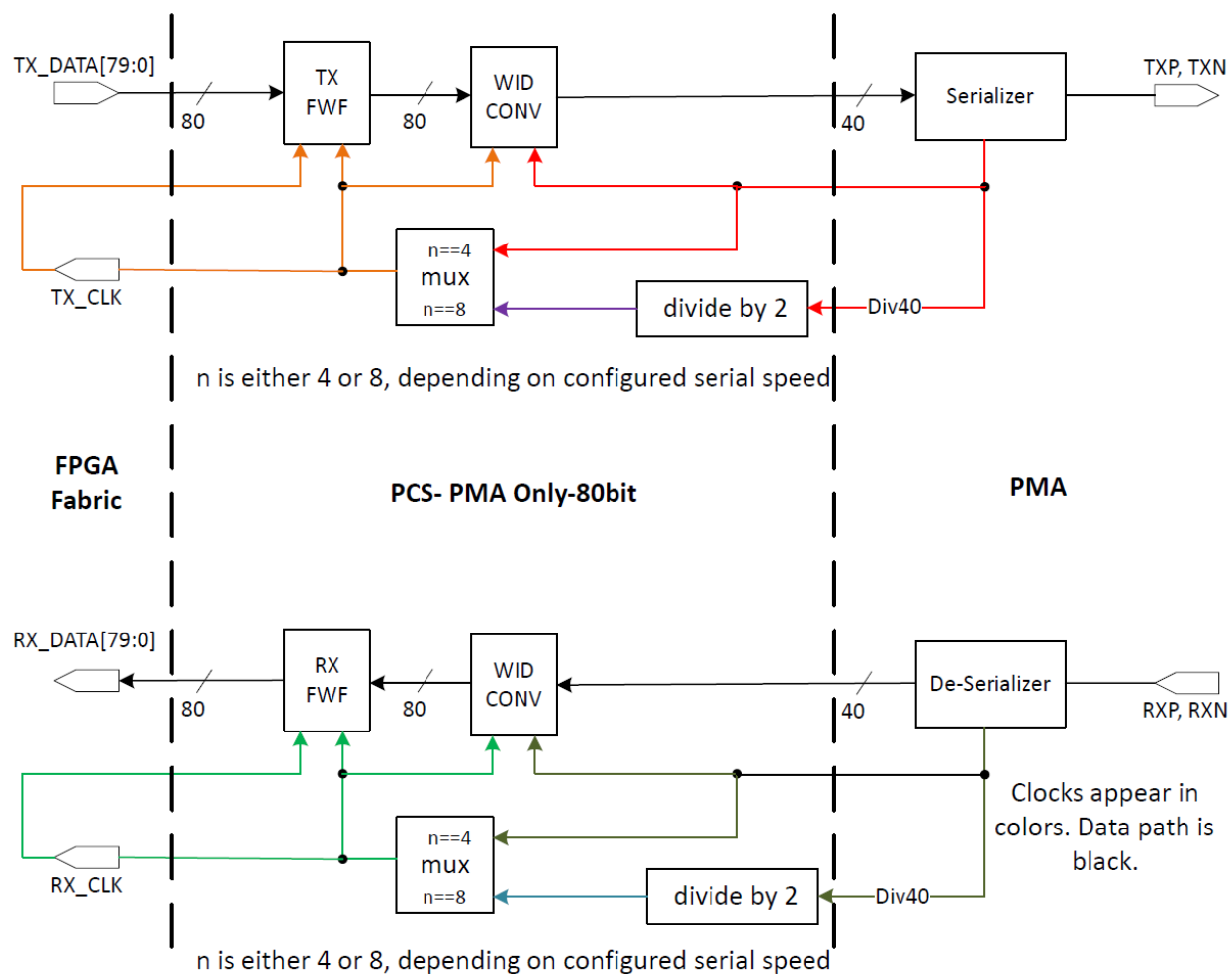


図 29. PMA Only データパス – 40 ビット以下

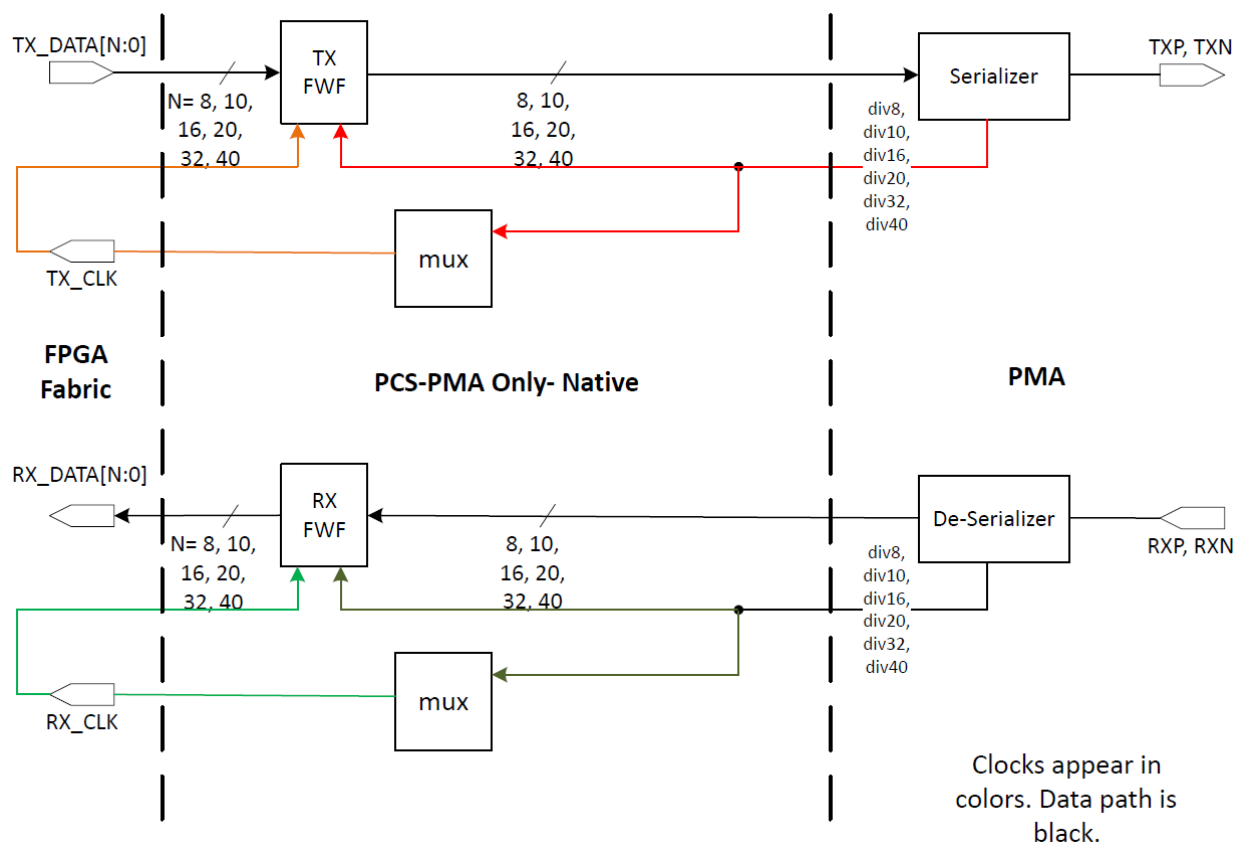


表 14 に、PMA Only モード モジュール向けポートの一覧を示します。

表 14. PMA ポート一覧

ポート名	方向	クロック	概要
LANE#_CDR_REF_CLK_#/LANE#_CDR_REF_CLK_FAB	入力	—	レーン CDR に対する参照クロックです。FPGA クロックまたは XCVR_#[A,B,C]REFCLK_P/N ピンから供給できます。
LANE#_CLK_REF	入力	—	このポートは、半二重オプションを選択した場合にユーザーに提供されます。LANE#_REF_CLK は、再生されたクロック(ローカルクロック)と同じ周波数を持つ安定したクロックに接続する必要があります。
LANE#_TX_BIT_CLK_1[0:2]	入力	—	XCVR TxPLL の BIT_CLK からのクロックです。CLKS_FROM_TXPLL_# BIF (バス インターフェイス)に含まれます。
LANE#_TX_PLL_REF_CLK_#	入力	—	TX_PLL REF_CLK_TO_LANE 出力ピンからの入力クロックです。CLKS_FROM_TXPLL_# BIF (バス インターフェイス)に含まれます。
LANE#_TX_PLL_LOCK_#	入力	—	TX_PLL LOCK 出力ピンからのロックステータス入力です。CLKS_FROM_TXPLL_# BIF (バス インターフェイス)に含まれます。
LANE#_TX_DATA[N:0]1	入力	TX_CLK[R:G]	データを送信します。PF_XCVR は最下位バイトを先頭にして送受信されます。最初のシリアルビットは、バス bit 0 に現れます。PMA モードでの送信順序は、ファブリック内のバス接続を反転する事により切り換える事ができます。
LANE#_TX_ELEC_IDLE	入力	非同期	このピンは、Transceiver Configurator によりコンポーネント上で利用可能となります。この入力により、XCVR_P/N 送信出力ペアはコモンモード電圧に固定されます。この機能は、帯域外の低周波数信号用または低消費電力ステートへの移行をリンクパートナーに知らせるために使われます。
LANE#_TX_BYPASS_DATA	入力	非同期	このピンは、Transceiver Configurator によりコンポーネント上で利用可能となります。LANE#_TX_BYPASS_DATA=1 の場合、データを直接(シリアライザをバイパスして)送信ピンへ出力できます。このバイパスは非同期であり、この信号は FWF を経由しません。このピンは、利用可能かつ未使用の時に Low に固定する必要があります。

.....続き			
ポート名	方向	クロック	概要
LANE#_RX_SLIP	入力	RX_CLK_[R:G]	LANE#_RX_SLIP のアサートにより Rx_FWF がリセットされ、LANE#_RX_VAL は一瞬の間ディassert(=0)されます。LANE#_RX_SLIP の立ち上がりエッジは、トランシーバ レーン CDR がパラレル境界を 1 ビット分スリップさせる事を要求します。スリップの方向は、8b パラレルワード モードと 10b パラレルワード モードで異なります。1.1.1.7. 「ビットスリップ」を参照してください。
LANE#_PCS_ARST_N2	入力	—	PCS レーン向けの非同期アクティブ Low リセット信号です。
LANE#_PMA_ARST_N2	入力	—	PMA レーン向けの非同期アクティブ Low リセット信号です。
LANE#_RXD_N2	入力	—	トランシーバ レシーバの差動入力です。
LANE#_RXD_P2	入力	—	トランシーバ レシーバの差動入力です。
LANE#_RX_DATA[N:0] ¹	出力	RX_CLK_[R:G]	データを受信します。PF_XCVR は最下位バイトを先頭にして送受信されます。最初のシリアルビットは、バス bit 0 に現れます。
LANE#_TX_CLK_STABLE ²	出力	—	トランシーバ/PCS レーンのレディフラグを送信します。送信 PLL が参照クロックに対してロックされている時に、このフラグの値は「1」です。
LANE#_RX_VAL2	出力	—	LANE#_RX_VAL は、XCVR データバスが初期化された事を示します。 LANE#_RX_VAL = 1 の時、LANE#_RX_DATA[N:0]のパラレルバスはシリアルストリームから再生された実際のデータを格納しています。XCVR キャリブレーション(ERM を含む)が完了した時に LANE#_RX_VAL が意味を持ち、CDR がロックします。 RX_READY = 1 の時の LANE#_RX_VAL の Low パルスは、クロックが不安定である事を意味するのではなく、Rx データバスがリセット中であるために LANE#_RX_DATA 出力が一時的に全て「0」である事を意味します。この状態を検出する必要がないアプリケーションでは、LANE#_RX_VAL を無視できます。 Lane#_RX_VAL = 1 は、PCS がリセットから解除済みであることを示します。これは、LANE#_RX_READY = 1 であることを意味します。なぜなら LANE#_RX_READY = 0 である間は PCS Rx はリセット状態に保持されるからです。
LANE#_RX_READY2	出力	—	Lane#_RX_READY = 1 は、Rx PLL がロックされている事を意味します。LANE#_RX_READY は、ERM と CDR が受信データの遷移に対する Fine Lock 検出を完了してデシリアライザが起動した時に立ち上がります。CDR への入力データが存在しない場合、RX_READY は Low です。このピンの主目的は、CDR がシリアル入力データに対してロックされて有効なクロックを生成している事をファブリックに知らせる事です。 Note: ローカル トランスミッタをレシーバ入力ヘルプさせるループバック状態では、有効なシリアル遷移を生じさせて Rx CDR がロックできるようにするために、Tx をリセットから解除する必要があります。Tx がリセットから解除される前にユーザが Rx CDR のロックを待機した場合、システムはデッドロック状態となります。
LANE#_RX_IDLE2	出力	—	受信 EI (Electrical Idle)検出フラグです。LANE#_Rx_IDLE ピーク検出ロジックは、Rx データの最小遷移頻度要件により制限され、5 Gbps を上回るアプリケーションで使ってはいけません。ERM (Enhanced Receiver Management)は、高データレート向けに高い信頼性を提供します。
LANE#_RX_CLK_[R:G]2	出力	—	ファブリックに対するグローバルまたはリージョナル受信クロックです。
LANE#_TX_CLK_[R:G]2, ³	出力	—	ファブリックに対するグローバルまたはリージョナル送信クロックです。
LANE#_TXD_N2	出力	—	トランシーバ トランスミッタの差動出力です。
LANE#_TXD_P2	出力	—	トランシーバ トランスミッタの差動出力です。

(1) N は 7/9/15,19/31/39/63/79 のいずれかです。

(2) LANE# の「#」は 0/1/2/3 のいずれかです。

Note: [R:G]に付けられる名称は、Libero で選択されたリージョナルまたはグローバル リソースに基づきます。

(3) PolarFire FPGA MPF500 および PolarFire SoC FPGA デバイスでは、PCIESS (Q0)および GPSS1(Q1)クワッドに配置された XCVR レーンの TX_CLK_R および RX_CLK_R ピンは I/O を駆動できません。

1.4 PCS/FPGA ファブリック インターフェイス

1.1.2.2. FPGA ファブリック トランシーバ インターフェイスは、クロック信号とデータ信号の両方を含みます。このインターフェイスは、FPGA ファブリック内のグローバルまたはリージョナル クロック ネットワークを使ってクロックの相互接続を提供します。トランシーバ レーンの設定に基づき、受信パラレル出力クロックは受信シリアルデータから再生されるか、組み込み CDC (Clock Domain Crossing)ロジックによって適正レートで生成されます。送信出力は常に TxPLL から生成されます。PCS/FPGA ファブリックは、PCS 分周器によって提供される追加の 1:2 レシオによってファブリック インターフェイスをギアリングできます(「送信 PCS 分周器」参照)。これが可能なモードは、8b10b (8 オクテット インターフェイスを使用)、64b6xb (8 バイト インターフェイスを使用)、PMA モードの 64 ビットおよび 80 ビット インターフェイスです。

PF_XCVR のローカルクロック出力は、PCS 内で行われる追加のギアリングを追跡するように設定されます。ファブリック インターフェイスの幅が PCS によってギアリングされ、かつグローバル クロックがインターフェイスのタイミングソースである場合、グローバル クロック出力を 2 分周する必要があります。

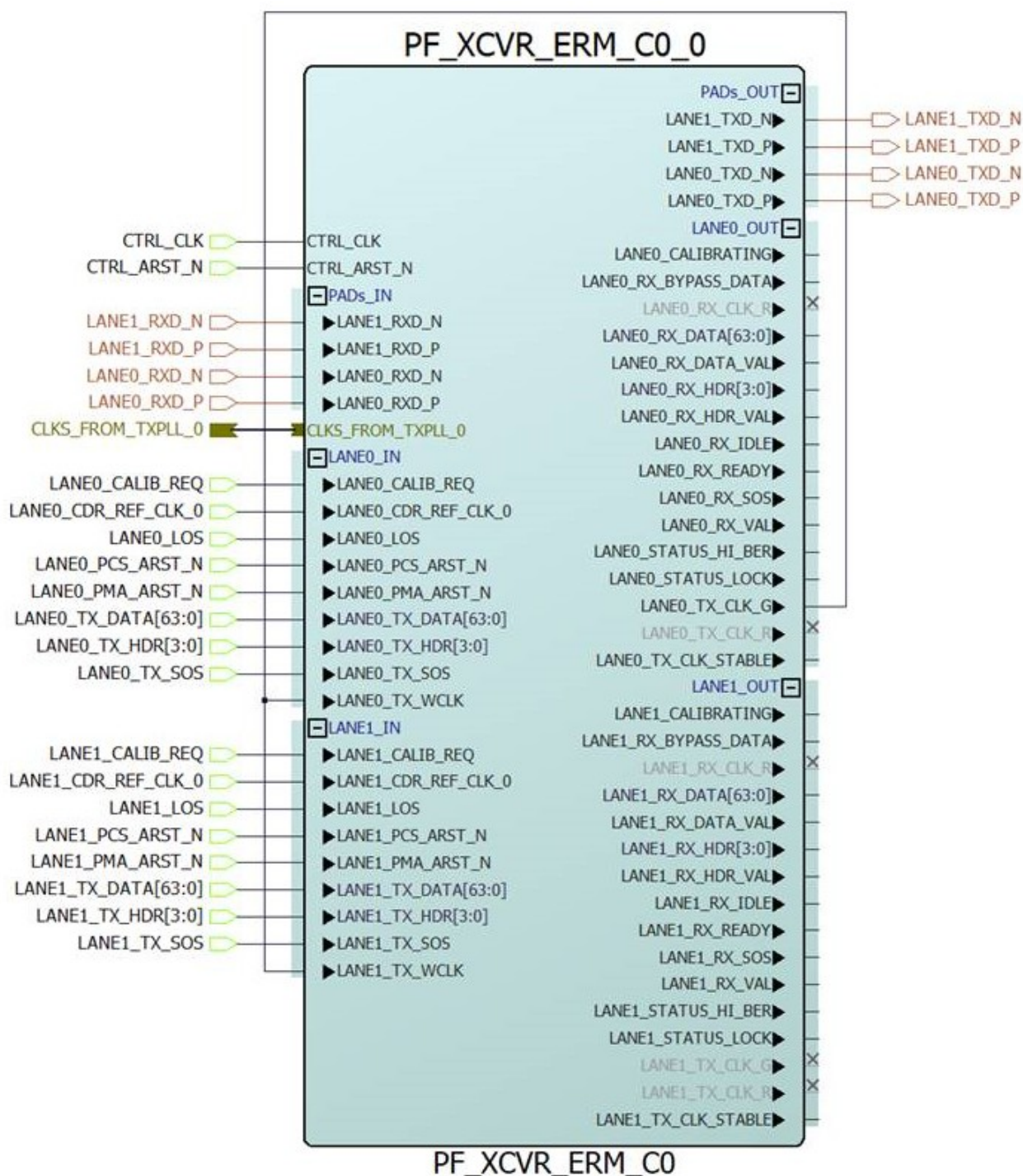
PCS からファブリックへのクロックリソースには以下で説明する 4 種類があります。

- **Global:** これらのクロックは、トランシーバファブリック インターフェイスから専用 FPGA ファブリック グローバル クロック ネットワークへとデバイス全体に供給できるよう特別に設計された専用の相互接続を持ちます。グローバル クロックは低スキュー、低デューティサイクル歪み、低消費電力、高ジッタ耐性を有し、非常に高い周波数の信号をサポート可能です。
- **Global-Shared:** これらのクロックは Global に似ていますが、複数の TxPLL の間で共有可能なリソースを有します。レーンクロック リソースを複数のレーンで共有すると、それらのレーンのトランスミッタ位相補償 FIFO におけるレイテンシは等しくなります。

Note: Global-Shared モードでは、1 つのレーンからのグローバル クロック出力を他のレーンで使う事ができます。このクロックモードは、複数のレーンが同じクロックを使う同じプロトコルに含まれる場合に使われます。

Global-Shared モードを有効にした場合、全てのレーンがグローバル クロック出力ポートを含みますが、1 つのレーンだけがマスタポートとして使えます。全てのレーンは TX_WCLK 入力ポートを含みます。このポートは、マスタレーンのグローバル クロック出力に接続する必要があります。フライホイール FIFO は、マスタレーンと他のレーン間のグローバル クロックの位相差による影響を吸収します。図 30 に、SmartDesign 図の例を示します。

図 30. Global-Shared クロックの例



- **Regional:** これらのクロックは、ローカルリソースを使って FPGA ファブリックと相互接続し、ファブリック境界におけるデータパスでは FIFO が使われます。
- **Regional (Deterministic):** これらのクロックは、ローカルリソースを使って FPGA ファブリックと相互接続し、ファブリック境界におけるゼロサイクル データパスにより低レイテンシが提供されます。Microchip 社の IP とソリューションは、これらのリソースを使って FPGA アーキテクチャを最適化する事で、信頼性の高いユースケースを提供します。表 18 を参照してください。

1.4.1 非確定的インターフェイス

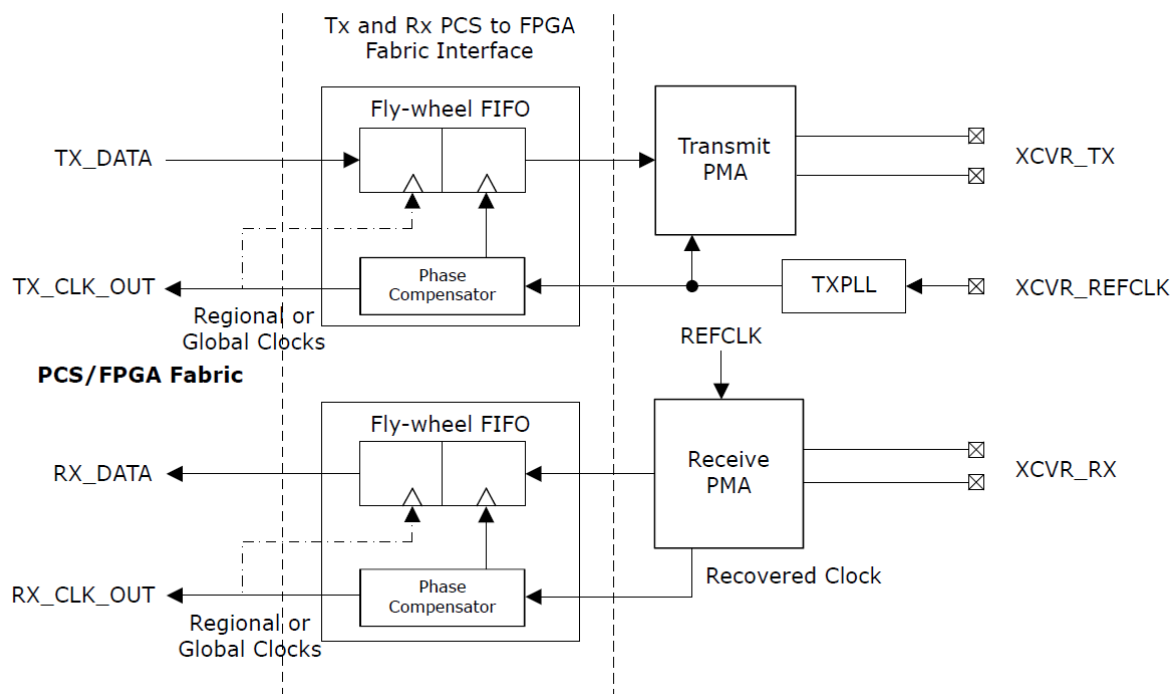
トランシーバ PMA から FPGA ファブリック/PCS へのデータパスは、異なるクロックドメイン間のデータ転送用に使うフライホイール FIFO (FWF) インターフェイスを含んでいます。このインターフェイスは、プロトコル固有 PCS HDL モジュールまたはユーザ ファブリック ロジック内に含まれます。

FWF はシンプルな形態の FIFO であり、その書き込みクロックと読み出しクロックは同じ公称周波数で動作する物として、ある程度の位相差とジッタはブロック内での補償により許容されます。

PMA とファブリック間のインターフェイスは調整できません。ただし、データパスに FWF ブロックを追加すると全ての PMA レーンの位相交差が処理され、このインターフェイス全体でタイミング要件が確実に満たされます。受信データは、復元されたパラレル クロックと共に FWF に渡されます。FWF は、リージョナル クロック ルーティングまたはグローバル クロック ルーティングのデータとクロックを同期させます。

送信方向では、ファブリックまたは PCS からのデータが FWF からのクロックと一緒に PMA インターフェイスに渡されクロックとデータの同期が確保されます。FWF は、適切なグローバルまたはリージョナル インターフェイス クロック オプションを選択することにより、Libero Transceiver Configurator のオプションとして選択できます (表 35 参照)。

図 31. FWF を使う非確定的インターフェイス



FWF は、クロックとデータのセットアップとホールドを管理するために CDC (Clock Domain Crossing) 機能を提供します。図 32 と図 33 に、ファブリック インターフェイスにおける送信時と受信時のデータとクロックのタイミング関係を示します。

図 32. 非確定的インターフェイスの送信タイミング波形

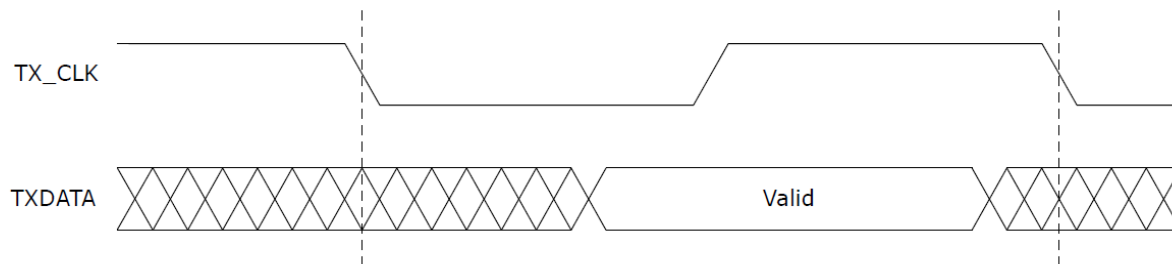
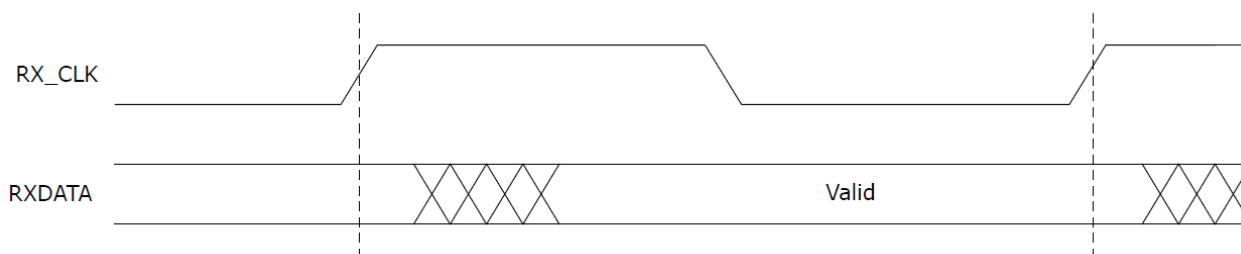


図 33. 非確定的インターフェイスの受信タイミング波形



1.4.2 確定的インターフェイス

ゼロサイクル パスが必要な場合、特定モードの FWF による低レイテンシのリージョナル クロックを使います。例えば、受信パスと送信パスの両方で固定された確定的レイテンシ(クロックサイクル数で指定)を要求するプロトコル (CPRI、JESD204B 等)がこれに該当します。このような場合、レジスタをキャプチャするためにデータパスは直接 PMA と接続され、クロックはリージョナル クロック リソース上で供給されます。リージョナル クロックは、グローバル クロック ネットワークのような大きなクロック挿入遅延を持ちません。このため、リージョナル クロックはファブリックに対して容易にタイミング クロージャを達成できます。確定的タイミングは、Libero Transceiver Configurator 内で**[Regional (Deterministic)]** オプションにより選択します(表 35 参照)。

図 34. 確定的タイミング インターフェイス

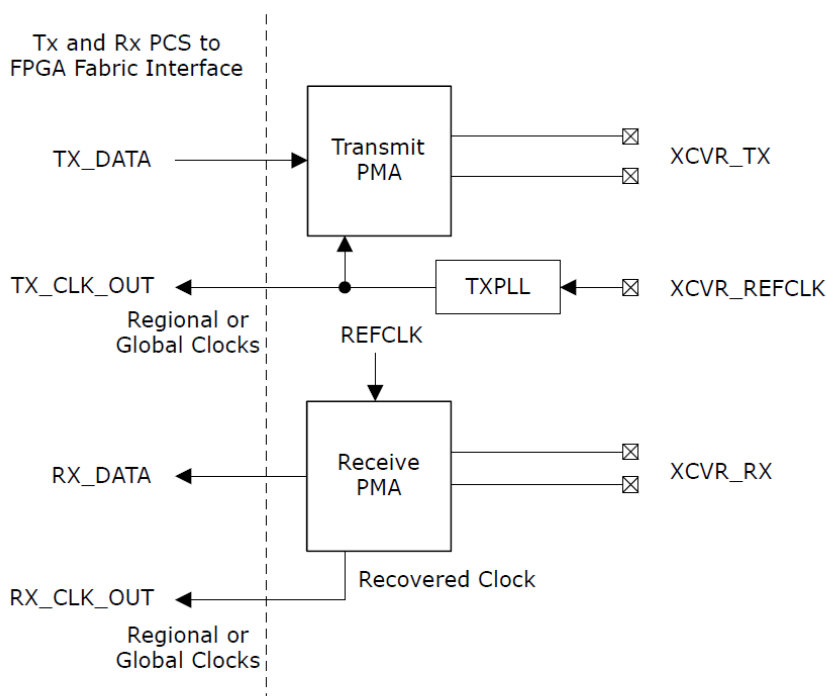
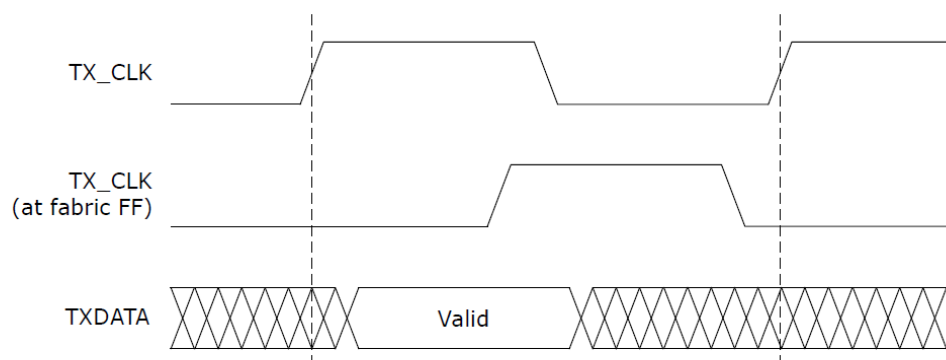
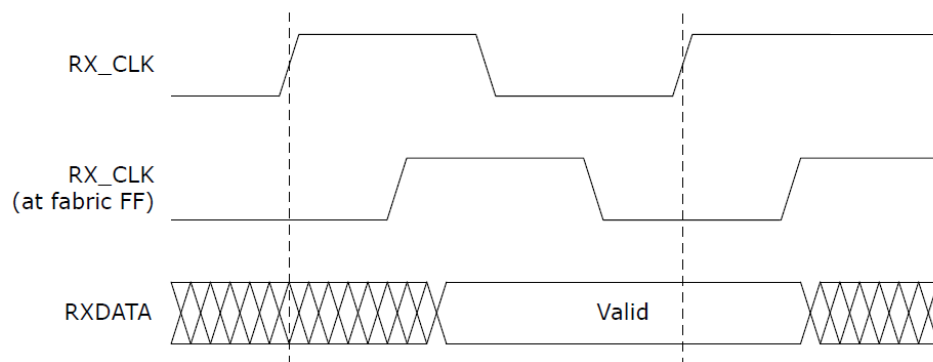


図 35. 確定的トランシーバ送信タイミング波形



Note: TXCLK_FABRIC at PCS I/F after Regional clock route.

図 36. 確定的トランシーバ受信タイミング波形



Note: RXCLK_FABRIC at PCS I/F after Regional clock route.

1.4.3 トランシーバクロック領域

トランシーバ レーンあたり 2 個(トランシーバ クワッドあたり 8 個) のリージョナル クロックバッファがトランシーバから提供されます。各クワッドが駆動可能な領域は、これらの相互接続に基づいて決まります。これらの領域は、同じファミリであってもデバイスごとに異なります。これらの領域のファブリック リソース、CCC、I/O への接続性は、あらかじめ決められています。

図 37. PolarFire FPGA トランシーバのクロック領域

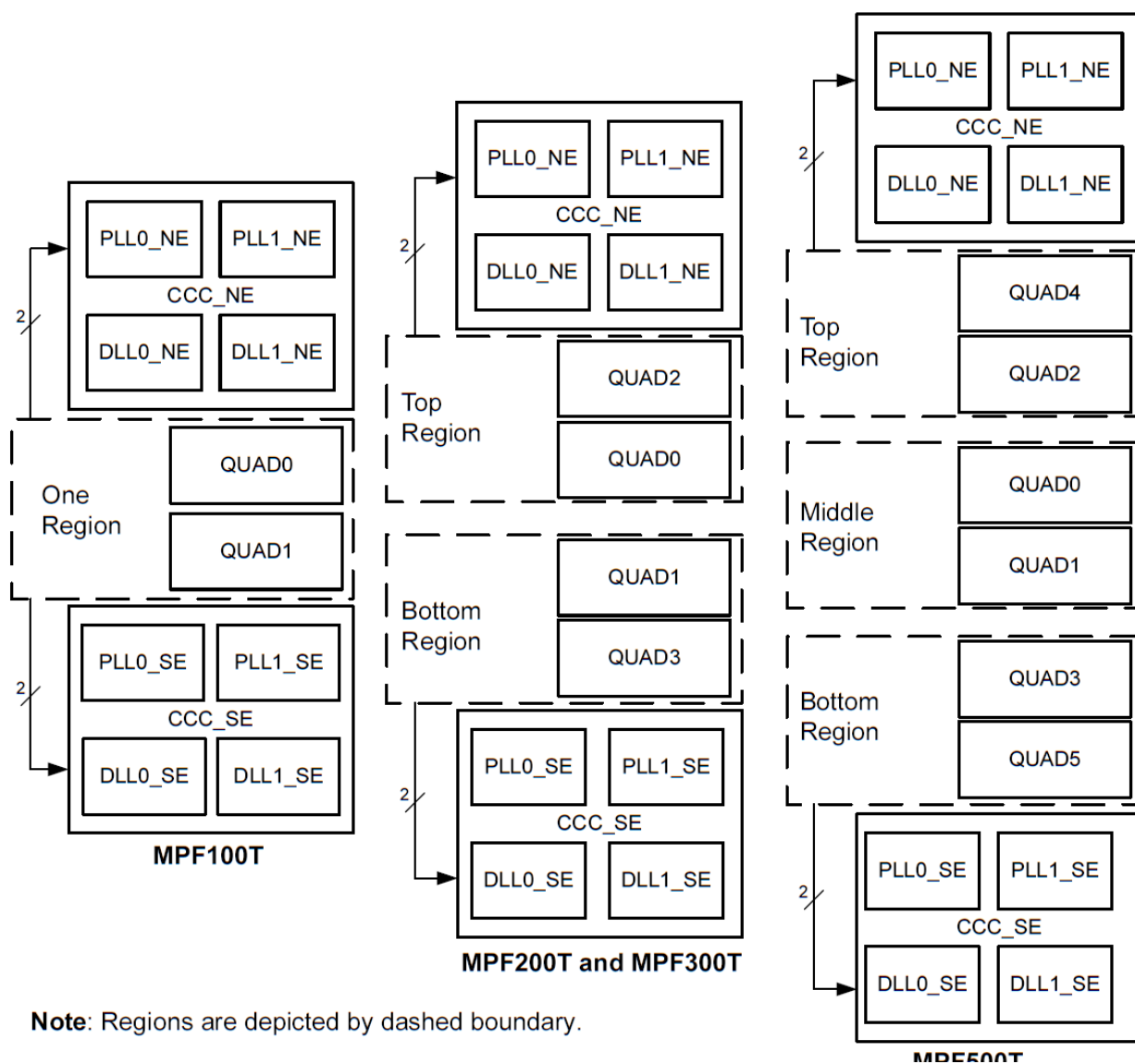
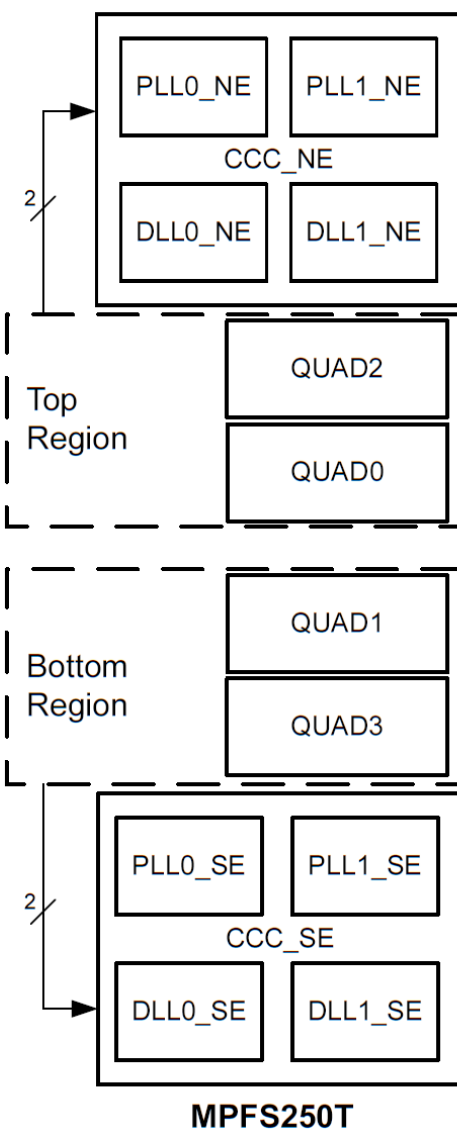


図 38. PolarFire SoC FPGA トランシーバのクロック領域



回路を異なるサイズのデバイスへ移行する場合、デバイスごとのリージョナル クロック領域を理解する必要があります。トランシーバ クロックから I/O を駆動する必要がある場合、基板のピン配置にもこの事を考慮する必要があります。

表 15. PolarFire FPGA のクロック領域の接続

デバイス	Region	FPGA ファブリック リソース数						
		IO	4LUT	DFF	MATH	SRAM	URAM	CCC (PLL/DLL) (CCC_NE, CCC_SE)
MPF100T	One Only	120	49260	49260	152	160	456	4(PLL/DLL) (CCC_NE, CCC_SE)
MPF200T	Top	60	49980	49980	152	160	456	2- CCC (PLL/DLL) (CCC_SE)
	Bottom	60	37296	37296	114	120	342	2- CCC (PLL/DLL) (CCC_SE)
MPF300T	Top	96	80652	80652	248	256	744	2- CCC (PLL/DLL) (CCC_NE)
	Bottom	96	60192	60192	186	192	558	2- CCC (PLL/DLL) (CCC_SE)

.....続き								
デバイス	Region	FPGA ファブリック リソース数						
MPF500T	Top	120	75468	75468	234	240	702	2- CCC (PLL/DLL) (CCC_NE)
	Middle	0	102516	102516	312	320	936	0
	Bottom	120	75468	75468	234	240	702	2- CCC (PLL/DLL) (CCC_SE)

表 16. PolarFire SoC FPGA のクロック領域の接続

デバイス	Region	FPGA ファブリック リソース数						
		IO	4LUT	DFF	MATH	SRAM	URAM	CCC (PLL/DLL) (CCC_NE, CCC_SE)
MPFS250T	Top	96	80652	80652	248	256	744	2- CCC (PLL/DLL) (CCC_NE)
	Bottom	96	60192	60192	186	192	558	2- CCC (PLL/DLL) (CCC_SE)

リージョナル クロックの詳細は、『[PolarFire FPGA and PolarFire SoC FPGA Clocking Resources User Guide](#)』を参照してください。

1.4.4 トランシーバ データパスのレイテンシ

トランシーバ データパスのレイテンシは、バス bit 0 に最初のシリアルビットが現れるタイミングとして定義されます。これは PMA モードの送信インターフェイスと受信インターフェイスの両方に適用されます。PMA モードのデータパスは、必要に応じて各種の送信および受信幅向けに設定できます。クロック位相レイテンシは考慮されません。

表 17. トランシーバ データパスのレイテンシ

PCS モード	PCS ファブリック幅	PMA PCS 幅	送信レイテンシ(UI)	受信レイテンシ(UI)	総レイテンシ(UI)
PMA	8	8	82	58.5	140.5
PMA	10	10	100	73.4	173.4
PMA	16	16	148	122.4	270.4
PMA	20	20	184	153.6	337.6
PMA	32	32	292	250.5	542.5
PMA	40	40	364	313.5	677.5
PMA	64	32	452	410.5	862.5
PMA	80	40	564	513.5	1077.5
8b10b	40	40	404	314	718
8b10b	80	40	564	513.5	1077.5

Note: 8b10b モード向けの PmaPcsWidth は 20/40/80 のいずれかです。PIPE モード向けの PmaPcsWidth は 40 です。

1.4.5 トランシーバ クロックのユースケース

各トランシーバ クワッドは、グローバル クロックを直接供給できます。トランシーバ回路では、インターフェイス ロジック向けに可能な限りリージョナル クロックを使う事で、グローバル クロックの負荷を軽減する必要があります。複数のインターフェイスを使う場合、多くのトランシーバ回路ではグローバル クロックを共有できます(プロトコル要件に依存)。トランシーバ クワッドあたりグローバル クロックは 1 つだけサポートされます。AC 性能については、『[PolarFire FPGA Datasheet](#)』または『[PolarFire SoC Advance Datasheet](#)』を参照してください。トランシーバとグローバル クロック ネットワークの接続については、『[PolarFire FPGA and PolarFire SoC FPGA Clocking Resources User Guide](#)』を参照してください。

表 18 に、Libero SoC ソフトウェア内で各種プロトコル向けに設定済みのトランシーバ インターフェイス クロックを示します。システムクロック ソースモードの詳細は 1.4. 「[PCS/FPGA ファブリック インターフェイス](#)」を参照してください。

表 18. 各種プロトコル向けに設定済みのトランシーバインターフェイス クロック

プリセット	幅	Rx	Tx ¹	システムクロック ソース ¹
10GBASE-R	x1	リージョナル	グローバル	XCVR Tx からのグローバル
10GBASE-R	Multiple	リージョナル	グローバル(共有)	XCVR Tx からのグローバル(共有)
10GBASE-KR	x1、Multiple	リージョナル	リージョナル	
SGMII/1000BASE	x1	リージョナル	リージョナル	XCVR Tx からのグローバル
SGMII/1000BASE	Multiple	リージョナル	グローバル(共有)	XCVR Tx からのグローバル(共有)
JESD204B	x1	リージョナル	グローバル	XCVR Tx からのグローバル(共有)
JESD204B	xN	リージョナル	グローバル(共有)	XCVR Tx からのグローバル(共有)
CPRI	x1	リージョナル	リージョナル	グローバル
CPRI	xN	リージョナル	リージョナル	グローバル(共有)
Interlaken	xN	リージョナル $\geq$ グローバル ²	グローバル(共有)	XCVR Tx からのグローバル(共有)
XAUI	x4	リージョナル	グローバル(共有)	XCVR Tx からのグローバル(共有)
RXAUI	x2	リージョナル	グローバル(共有)	XCVR Tx からのグローバル(共有)
SDI ³	x1	グローバル	グローバル	グローバル
SDI ³	Multiple	グローバル	グローバル(共有)	グローバル
LiteFast ³	x1	グローバル	グローバル	XCVR Tx および Rx からのグローバル
LiteFast ³	xN	リージョナル $\geq$ グローバル ²	グローバル(共有)	XCVR Tx からのグローバル(共有) XCVR Rx からのグローバル
LiteFast ³	x1、Multiple	グローバル	グローバル(共有)	XCVR Tx からのグローバル(共有) XCVR Rx からのグローバル(インターフェイス別)
QSGMII	x1	リージョナル	リージョナル	グローバル 125 MHz
QSGMII	Multiple	リージョナル	グローバル(共有)	グローバル 125 MHz (共有)
SATA ³	x1	グローバル Tx	グローバル Tx	グローバル Tx
SATA ³	Multiple	グローバル Tx	グローバル Tx	グローバル Tx (非共有)
SRIO	x1	リージョナル	グローバル	グローバル
SRIO	xN	リージョナル	グローバル(共有)	グローバル
SRIO	Multiple	リージョナル	グローバル (インターフェイス別)	グローバル
Fiber Channel	x1	リージョナル	グローバル Tx	グローバル Tx
Fiber Channel	Multiple	リージョナル	グローバル Tx (共有)	グローバル Tx (共有)

(1) 「共有」は、複数レーンが同じクロックリソースを共有する事を意味します。

(2) リージョナルクロックを使い、FPGA ファブリック内でグローバルクロックリソースへ移動します。

(3) 通常、これらのインターフェイスは単方向で実装されます。全二重の場合、Rx インターフェイスと Tx インターフェイスのクロックを同時にグローバルまたはグローバル(共有)にできません(トランシーバクワッドあたりグローバルクロックは1つしかサポートされないため)。Rx と Tx の両方でグローバルクロックが必要である場合、2つの XCVR 設定(インスタンス)を使って Rx 半二重モードと Tx 半二重モードを別々に設定する必要があります。

1.5 トランシーバ用クロック

トランシーバ用クロックには、各デバイスに組み込まれた各種の専用リソースを使います。1 つまたは複数の XCVR_LANE に必要なクロックを提供するために、全ての XCVR 回路で XCVR_TXPLL に参照クロック (XCVR_REF_CLK)を入力する必要があります。XCVR_TXPLL は入力された参照クロックから生成する事で、トランスミッタの PMA 内で使われる高速シリアルクロックを生成します。XCVR_REF_CLK と XCVR_TXPLL は、複数の高速シリアル プロトコル向けに共有されます。

1.5.1 送信 PLL

トランシーバ レーンには 2 タイプの送信 PLL が内蔵されており、プロトコル要件に応じて使い分けます。どちらの TxPLL もリング VCO ベースの PLL を使います。TxPLL レンジとポストドライバの組み合わせにより、デバイスのサポートレンジの全域をカバーする周波数を生成できます。送信 PLL には、SSCG (Spread Spectrum Clock Generator) 機能を備えたタイプ (TxPLL_SSC) と、SSCG 機能を備えないタイプ (TxPLL) があります。どちらのタイプも 1/2 レートのフラクショナル N (Frac-N) アーキテクチャを使う事で、位相検出器と周波数分周器の速度要件を緩和します。結果として VCO チューニング レンジが広がり、位相ノイズ性能は向上しますが、総消費電力は大幅に増加します。送信 PLL 位相検出器は、1/2 レートクロックを使って両方のエッジでフルレートのランダム データストリームを駆動しながら有効な出力を提供します。全ての送信 PLL はジッタ減衰器オプションをサポートします。ジッタ減衰器は、ノイズのない綺麗な入力参照クロックを使ってノイズの多いオリジナルの参照クロックのデータレートを追跡し、オリジナルの参照クロックから 0 ppm のオフセットでジッタを除去した綺麗な出力を生成します。

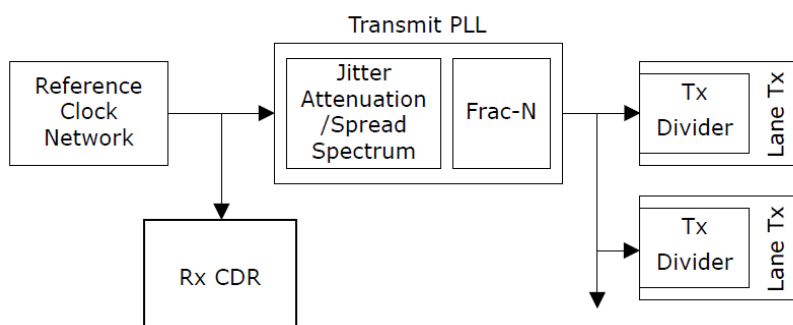
各トランシーバ レーンは、1/2 レートクロックを駆動するのに十分に近い送信 PLL から送信クロックを選択できます (図 39)。PLL は入力参照クロックを使って、1/2 レートでシリアルビット クロックを生成します。送信 PLL は、参照クロックのトグルが停止した時または参照クロックが不正な周波数で遷移した時にロックの喪失を検出し、その事を知らせる信号を生成します。

一部のインスタンスは追加の送信 PLL を含んでいます。それらは、ローカル トランシーバ クワッドおよび隣接クワッド内の一部のレーンで使う事ができます。

各送信 PLL の出力周波数は、参照クロック周波数と PLL 逡倍器の設定から自動的に決まります。これはレーンごとの基本の送信 PLL レートであり、後置分周器を使ってさらに 1/2/4/8/11 分周できます。分周後の最終的な周波数は、1/2 レート送信アーキテクチャに基づき 1/2 ビットレートとなります。例えば 2.5 GHz クロックは、5 Gbps のトランシーバ送信ラインレート向けに使われます。逡倍比は、Libero トランシーバ インターフェイス コンフィグレータによって指定されたプロトコル向けに設定されます。

加えて、送信 PLL は FPGA ロジック向けのシステムクロックも提供可能です。

図 39. 送信 PLL



トランシーバでは、1/2 レート アーキテクチャに基づく 2 タイプの送信 PLL が使えます。タイプによってデジタルロジックだけが異なります。アナログ部はどちらのタイプも同じであるため、性能は同じです。

Q#_TXPLL_SSC: この PLL タイプは 1.6~6.4 GHz の周波数レンジで動作し、トランシーバ クワッドに送信ビットクロックを提供できます。TxPLL_SSC は、loop-timing 用途向けにジッタ減衰機能をサポートします。この PLL タイプのみ SSC (Spread Spectrum Clock) 生成機能をサポートし、各種オプションにより鋸波クロックを生成可能です。

各クワッドで 1 つの TxPLL_SSC が提供され、そのクワッド内のレーン向けにのみ使えます。

Q#_TXPLLn: このタイプの PLL は、トランシーバ クワッド内に 2 つ (TxPLL0 と TxPLL1) 存在します。このタイプの PLL も 1.6~6.4 GHz の周波数レンジをサポートし、1 つ上および 1 つ下の PLL の隣接する送信レーンの送信ビットクロック ペアを駆動できます。この PLL もジッタ減衰機能をサポートしますが、SSC 機能はサポートしません。

一部の送信 PLL は、ローカル トランシーバ クワッドおよび隣接クワッド内の一部のレーンで使うことができます。PolarFire FPGA における TxPLL の共有については、[図 53](#) と [図 55](#) を参照してください。PolarFire SoC FPGA における TxPLL の共有については、[図 56](#) を参照してください。

Note: どちらのタイプの TxPLL も、スペクトラム拡散入力を受け付けます。

ジッタ減衰機能は、送信 PLL 内のデジタルフィルタを使って、幅広い周波数帯域で参照クロックのノイズを除去します。低ジッタ出力は数値制御発振器に入力され、ノイズの多いオリジナルの参照クロックから 0 ppm のオフセットとなるよう位相および周波数関係が調整されます。

表 19. 送信 PLL

PLL タイプ	レート	詳細
Q#_TXPLL_SSC ¹	1.6 GHz～ 6.4 GHz	PLL はローカル クワッド内でのみ使用されます。この PLL はジッタ減衰機能と SSC 機能をサポートします。
Q#_TXPLL0 ¹ Q#_TXPLL1 ¹	1.6 GHz～ 6.4 GHz	PLL は 1 つ上と 1 つ下のトランシーバクワッド内の隣接する 2 つの送信レーンで(従って合計 4 つのレーンで)使用可能です。この PLL は SSC 機能を備えておらず、ジッタ減衰機能のみサポートします。

⁽¹⁾ Q# = トランシーバクワッド ID (Q0、Q1、....)

1.5.2 スペクトラム拡散クロック

TxPLL はスペクトラム拡散クロック生成(SSCG: Spread Spectrum Clock Generation)をサポートします。SSCG は、変調された出力クロック信号を使ってピーク EMI を低減します。ピーク EMI の低減により、シールドのコストを大幅に削減できます(あるいは、他の敏感な回路との干渉を低減できます)。PLL を変調する事により、クロックの各高調波周波数でのスペクトルの分布が拡がり、ピーク振幅が 10～20 dB 低下します(周波数と変調振幅に依存)。

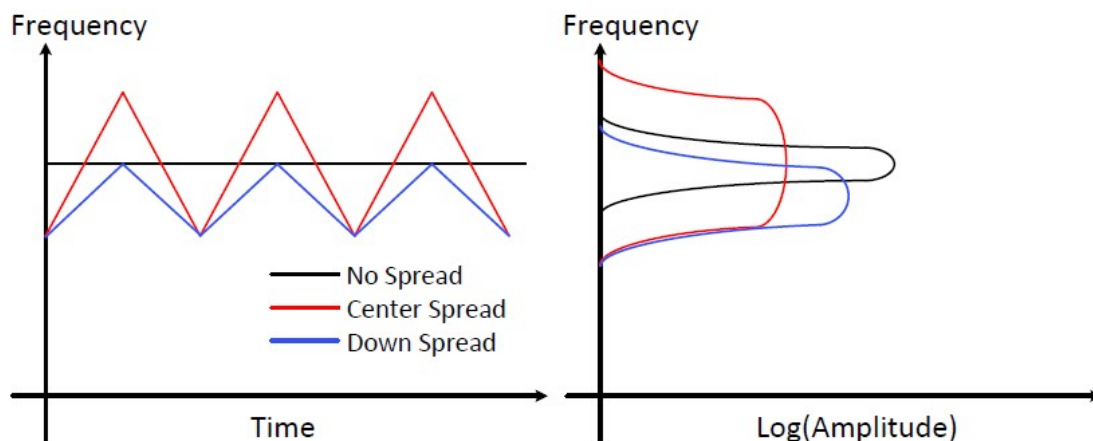
目標変調周波数に対する変調精度を維持するため、TxPLL はフラクショナル N モードに設定されます。SSCG は、TxPLL のフィードバック分周値(Divval)を変調(従って PLL 出力周波数を変調)してノイズソースまたは wave table を導入する事により機能します。

EMI 低減目標とスペクトラム拡散クロックドメインで動作する回路のタイミング マージンに応じて、変調モード(Center または Down)と変調振幅を設定します。

SSCG は、Libero TxPLL コンフィグレータを使って変調周波数、変調モード(Center/Down)、Spread/Divval、Wave table を設定する事により、オプションとして実装可能です。[2.1. 「Libero コンフィグレータ」](#)を参照してください。

図 40 に、時間(横軸)に対する周波数(縦軸)の変化と、周波数(縦軸)に対する出力振幅(横軸)の分布を示します。

図 40. スペクトラム拡散クロック変調モード



1.5.3 送信レーンのアライメント

Serial RapidIO、XAUI、DisplayPort、Interlaken、JESD204B 等のアプリケーションは、複数レーンにまたがる送信アライメントを必要とします。送信レーンのアライメントはレーン数、総スキュー、ラインレートに対するファブリッククロック周波数の関係、TX PLL の数に依存します。

このアライメント方式では、PLL のロック後に共有 PLL から各 TX レーンに対してリセット信号を発行します。

トランシーバ PMA ブロックは、以下のクワッドベースのリセット方式を使って、最大 4 レーンのアライメントをサポートします。

- Q#_TxPLL_SSC PLL と、その 4 つのレーン(クワッド)(図 41 参照)
- Q#_TxPLL[1:0]と、隣接する 2 つのクワッドから 2 つずつのレーン(図 42 参照)

各トランシーバ レーン向けの送信クロックは、外部またはクワッド PLL によって駆動できます。TX レーンのリセットは、選択された PLL に基づきます。このリセット信号は、トランシーバ ブロック内で送信クロックと同じ経路で接続されます。同じ TX クロックを使う全ての TX レーンは、内部接続された TX PLL CLKRESET 信号のアサートによりリセットされます。確実にリセットするために TX クロックは 4 クロックサイクル間停止します。このクワッドベースのリセット方式により、スキューは非常に低く抑えられます。この方式では、同じクワッド内の全てのレーンは同じ TXPLL を使います。TXPLL は PLL ロック時に内部的にレーンを初期アライメントします。これは、TXPLL の PLL_LOCK 出力ピンがアサートされる前に発生します。もし、その後に LANE#_PMA_ARSTN のアサートを行うと、レーンの後置分周器がリセットされるため、TXPLL からの CLK_RESET によって完了していた初期アライメントが失われる可能性があります。

DRI レジスタの制御により、このロックおよびアライメント機能の再初期化を開始する事もできます(TXPLL のタイプに依存)。再初期化を開始するには、初期電源投入後にレジスタ(PMA_CMN/TXPLL_CTRL/TXPLL_CLKRESET または EXTPLL/EXTPLL_CTRL/EXTPLL_CLKRESET)のトグル(1=>0=>1)が必要です。このリセット動作は、PMA_CMN/TXPLL_CTRL/ TXPLL_CLKRESETEN または EXTPLL/EXTPLL_CTRL/EXTPLL_CLKRESETEN が「1」である事を要求します。このレジスタ操作により、TxPLL の動作が中断して Tx レーンが再アライメントされます。

図 41. TXPLLs による最大 4 レーンの使用法

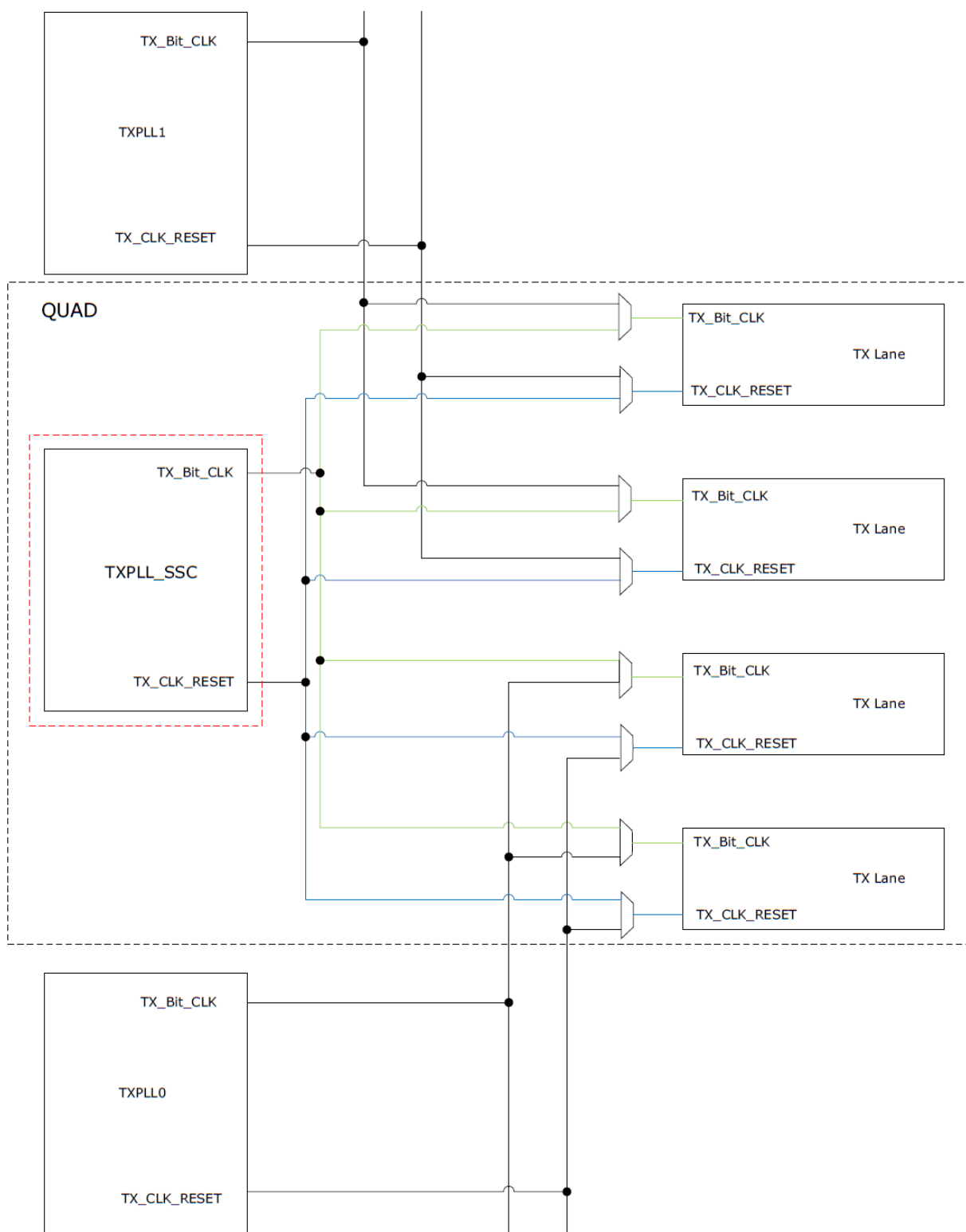
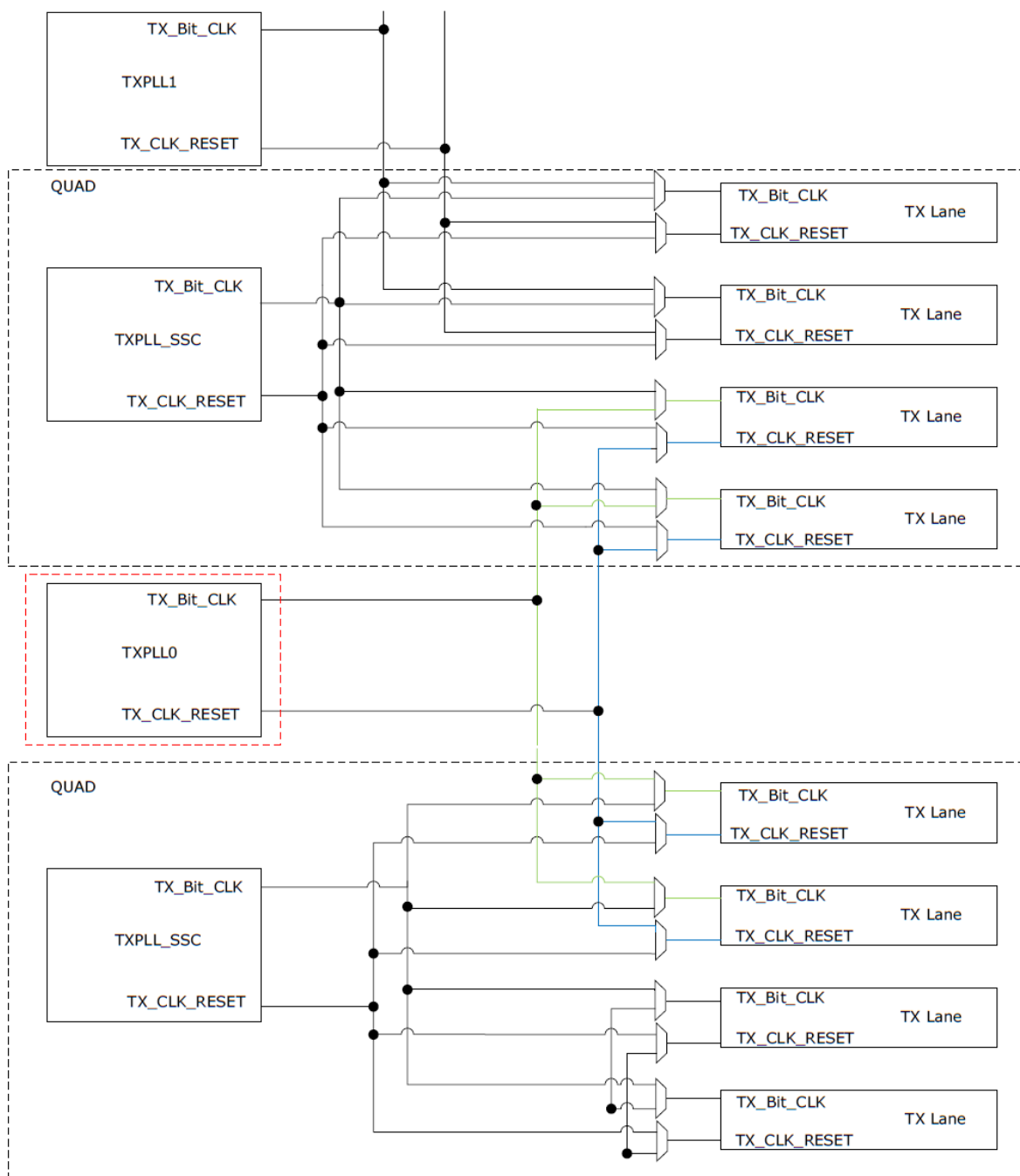


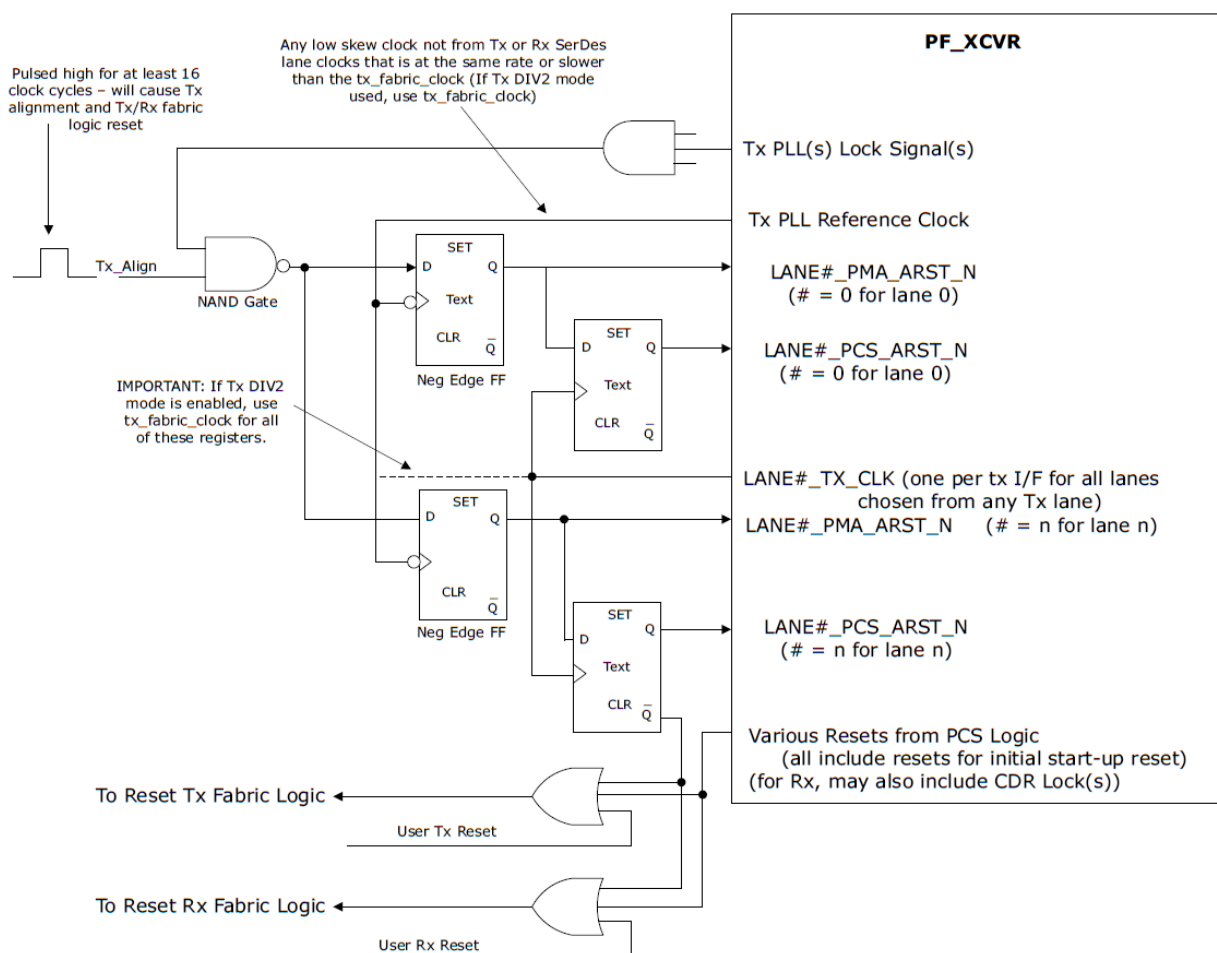
図 42. TxPLL[1:0]による最大 4 レーンの使用法



以下の状況では、TX レーンのクワッドベースのリセットは使えません。

- 1つの送信クロックが、同じクワッドに属さない複数のレーン向けに使われる場合
 - レーン別のリセットを使う必要があります。このリセット動作は他のレーンに影響を及ぼしません。
- 5～8レーンの送信アライメントが必要である場合
 - トランシーバは同じ参照クロックで2つのPLLを使い、TXレーンのリセットには別のファブリック ロジックを使います(図 43 参照)。

図 43. TX アライメント用の FPGA ロジック(5~8 レーンの場合)



レーン別のファブリック リセットロジックは、LANE#_PMA_ARST_N 信号のアサートにより提供されます(#はレーン番号を表す)。各レーンをリセットするために RESETSEREN#レジスタを設定する必要があります。適正なスキューアライメントを達成するには、RESETSEREN#信号の立ち上がりエッジと立ち下がりエッジが 2x 高速ビットクロック サイクル以内にトランシーバ PMA レーン ピンに届く必要があります。これは、(PCS 内部のフリップフロップに対してグローバルまたはローカル FPGA ルーティング クロックを使用する)いわゆる低スキュー内部クロック信号により実装できます。任意の低スキュークロックがトランシーバ Tx PLL への参照クロックとして使えます。Tx Align パルスは、PLL がロックされて送信レーンが同じ後置 PLL 分周比に設定された後に 16 クロックサイクルの間アサートされる必要があります。この要件が満たされた場合、指定されたトランシーバ ポート向けに使われる全ての TX レーンは 2 ビットクロック ユーザ インターフェイス内でアライメントされます。

1.5.4 トランシーバクロック

トランシーバのトランスミッタは、クロックによって駆動される最速送信レーンの 1/2 のラインレートで動作する高性能ビットクロックを備えています。送信 PLL は、これらのクロックを送信用参照クロックと Libero ソフトウェア内の設定に基づいて生成します。

各レーンの送信レートを設定するため、送信用ビットレート クロックはレーンごとに 1/2/4/8/11 分周されます(図 6 参照)。これをさらに 8/10/16/20/32/40/64/80 分周する事により、ファブリックに対するパラレル送信ワードクロックが生成されます。

トランシーバのレシーバは、CDR の内部にレーン別の受信 PLL を備えており、そのレーンでの非同期データをサポートするレーン別の受信クロックを生成します。一般的に、CDR は Lock to Data モードで使われます。受信 CDR PLL は、まず受信データレートに近い入力受信参照クロックにロックする事で、受信データにロックするための適正周波数に近づくように起動します。これが達成されると、クロックリカバリ モード(受信データに対してロック)に切り換わり、受信データからクロックを再生します(このクロックは、受信データレートの 1/2 レートで動作する 1/2 レート ビットクロックでもあります)。カスタマイズされたプロトコル向けに Lock to Reference モードも利用できます。

このモードでは、CDR PLL はローカル入力参照クロックに対してロックし、位相補償またはクロックリカバリ機能を実行せずに目標周波数を達成します。これらのアプリケーションでは、データは直接ファブリックに渡され、カスタマイズしたオーバー サンプリングおよび同期処理向けに使われます。

レーンごとの CDR は、受信データストリームからクロックを再生し、そのレーンのビットレートから 8/10/16/20/32/40/64/80 分周した受信パラレル ワードクロックを生成します。

1.5.4.1 トランシーバ参照クロック インターフェイス

トランシーバに対する参照クロック インターフェイス ブロックは、トランシーバの送信および受信 PLL に参照クロックを供給するための各種オプションを提供します(図 44)。各種ソースから REFCLK0 および REFCLK1 ポートを通じて参照クロックインターフェイスにクロックを供給できます。

- **Differential dedicated input pad:** LVDS/HCSL 入力ピン(REFCLK_P/N)を介して低ジッタ参照クロックを直接入力できます。
- **Single-ended dedicated input pad(s):** 2 つの異なるシングルエンドクロックを入力し、送信 PLL 向けにどちらかのクロックを選択できます。これらのシングルエンドクロック入力により、トランシーバの送信用と受信用に全く異なるクロック源を供給できます。
Note: 2 つのシングルエンド入力の 1 つを送信用参照クロックに使い、もう 1 つを受信用参照クロックに使えます。
- **Cascade of a reference clock:** 1 つのクワッドの外部ピンで受信したクロックを次のクワッドへ供給できます。参照クロック インターフェイスは、1 つのトランシーバ クワッドの REFCLK ピンから他のトランシーバクワッドの TxPLL およびレシーバ CDR へと接続する入力参照クロックパスのカスケード機能を提供します。複数トランシーバクワッドからのレーンを使う回路では、クロックのカスケードによって基板上の参照クロック源から各トランシーバ クワッドの REFCLK ピンへの接続を省略できます。参照クロック インターフェイスは、REFCLK ピン上のクロック信号を FPGA ファブリック内のクロックロジックにも供給します。
- **Recovered clock:** ローカルクワッドからの再生クロック(JA_REF_CLK)を参照クロックのソースとして使う事ができます。ローカルクワッド内のレーンで再生クロックを参照クロック(JA_REF_CLK)として使う場合、レーン間の専用接続が使われるためジッタは増加しません。しかし、1 つのクワッドからの再生クロックを別のクワッドで JA_REF_CLK として使う場合、FPGA ファブリック内の経路が使われるためジッタが増加します。このクロックは、デバイス上のノイズの多いデジタル VDD/VSS から生成されるため、参照クロックジッタは専用入力を使う場合よりも高くなります。通常、このクロックはジッタ減衰機能と一緒に使います。

Note: 送信 PLL REF_CLK を駆動する参照クロックは、受信 CDR の各レーンにも使われます。各受信レーンは独自の PLL を備えるため、受信レーンごとに異なる参照クロックを使う事ができます。各トランシーバ PMA レーンは、それぞれ専用の CDR 向け PLL を備えています。

PF_XCVR_REF_CLK は、FAB_REF_CLK 出力ピンを介してファブリック グローバル リソースを駆動できます。この接続はクワッドあたり 1 つだけに制限され、使われる場合は同じクワッド内の XCVR レーンのグローバルの使用が禁止されます。しかし、XCVR_FAB_REF_CLK 出力ピンを PLL に接続し、同時に 1 つのレーンをグローバルに接続できます。この接続の実装に関しては、2.1.1. 「トランシーバ参照クロック コンフィグレート」を参照してください。

図 44. 送信 PLL への参照クロック(REFCLK)インターフェイス

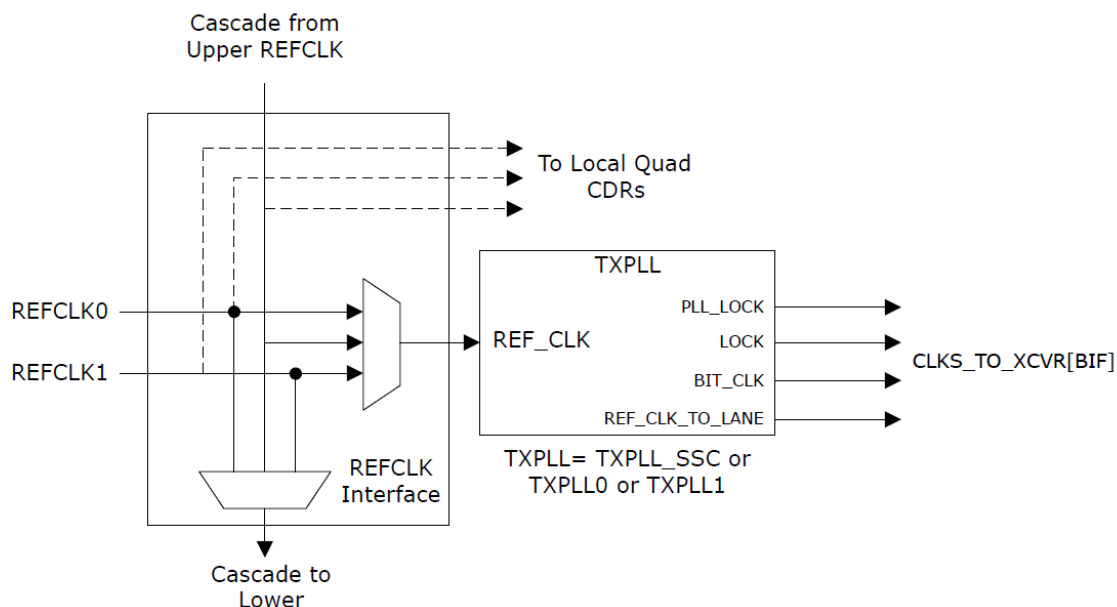


表 20 に、送信 PLL ピンの一覧を示します。

表 20. 送信 PLL ピン一覧¹

名称	方向	概要
REF_CLK	入力	参照クロック インターフェイスからの送信 PLL クロック入力です(図 44)。
PLL_LOCK	出力	PLL_LOCK は PLL がロックされた事を示すインジケータ信号です。この信号を使ってファブリック内のロジックを駆動できます。これはファブリック回路向けの信号です。この信号の High 状態はロックされた事を示します。
CLKS_TO_XCVR	出力	CLKS_TO_XCVR は、TXPLL と XCVR コンポーネントの間を相互接続するために必要な 3 つの出力持つバス インターフェイス(BIF)ポートです。この BIF は 3 つの出力(BIT_CLK、LOCK、REF_CLK_TO_LANE)を備えています。
BIT_CLK ²	出力	レーンに対する高速クロックです。
LOCK ²	出力	TX_PLL_LOCK_0/1 入力ポートに接続されます。この入力ポートは XCVR ブロック上の CLKS_FROM_TXPLL_0/1 BIF に含まれます。これは固定された接続です。
REF_CLK_TO_LANE ²	出力	TX_PLL_REF_CLK_0/1 入力ポートに接続されます。この入力ポートは XCVR ブロック上の CLKS_FROM_TXPLL_0/1 BIF に含まれます。これはハードウェア接続です。XCVR レーンクロックに渡される TXPLL 参照クロックです(シミュレーション向けにのみ使用)。
CLK_125	出力	TXPLL ブロック上で直接提供されます。周波数は 125 MHz に固定されています。CLK_125 は TXPLL BIT_CLK が 2500 Mbps の場合にのみ利用可能であり、PCIe ユースケース向けにのみ使えます。

(1) この一覧は Q#_TxPLL[1:0]と Q#_TxPLL_SSC PLL の両方に適用されます。

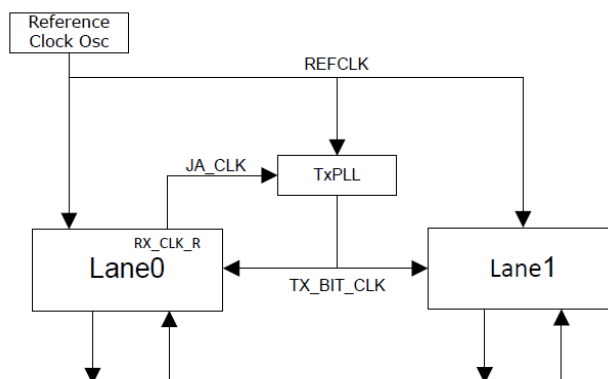
(2) これらのポートはバス インターフェイス(BIF)ポートに含まれます。

XCVR が TX/RX クロック向けにリージョナル クロックを使うように設定されている場合、ユースケースによっては XCVR クワッドのグローバル出力を使って SerDes REFCLK をブロードキャストできる場合があります。これらの特殊なユースケースでは、SerDes REFCLK を FPGA ファブリック内へブロードキャストする事で、クロックジッタの大きさはより予測可能となります。

1.5.4.2 ジッタ減衰器

全ての送信 PLL はジッタ減衰器オプションをサポートします。ジッタ減衰器は、ノイズのない綺麗な入力参照クロックを使ってノイズの多いオリジナルの参照クロックのデータレートを追跡し、オリジナルの参照クロックから 0 ppm のオフセットでジッタを除去した綺麗な出力を生成します。ジッタ減衰器は、再生クロックを低ジッタ要件の参照クロックとして使う loop-timing 用途向けに使われます。ジッタ減衰器は、Ethernet ネットワークに低ジッタ同期を提供する SyncE (Synchronous Ethernet)等のアプリケーションで使われます。図 45 に、ジッタ減衰器を使った応用例を示します。

図 45. ジッタ減衰器を使った応用例



トランシーバ内の TXPLL はジッタ減衰機能を提供可能です。この機能は、Libero 内の設定を使ってループ帯域幅と減衰係数を調整する事により、入力ジッタを減衰させます。RX_CLK のリカバリソースから TXPLL への入力では、JA_CLK 入力パスにあるジッタ成分が除去され TxPLL クロック出力となります。TXPLL コンフィグレータでは、以下を含む各種プロトコル向けに事前定義された減衰器設定が利用できます。

- 10G SyncE (32/64 ビット)
- 1G SyncE (10 ビット)
- CPRI Rate [1-8]
- SDI (3G、HD、SD)

A_PLL は、10G SyncE (ITU-T G.8261 および G.8262)規格に準拠します。10G SyncE Characterization Report と Libero リファレンス デザイン ソリューションが入手可能です。

[Clock Options] の下で [Jitter Cleaning Mode] ラジオボタンを選択し、ドロップダウン メニューから必要なプロトコル テンプレートを選択します(図 46 参照)。

図 46. ジッタ減衰器 TXPLL

Transmit PLL

Clock Inputs/Outputs

Reference Clock Source: Dedicated 200 MHz

Desired Output Bit Clock: 10000.000 Mbps 5000.000 MHz *Fractional-N used*

Bandwidth: Low

Clock Options

☐ Normal Mode
☐ SSCG Modulation
☒ Jitter Cleaning Mode

10G SyncE 32Bit
 10G SyncE 32Bit
 10G SyncE 64Bit
 1G SyncE 10Bit
 CPRI Rate 1
 CPRI Rate 2
 CPRI Rate 3
 CPRI Rate 4
 CPRI Rate 5
 CPRI Rate 6
 CPRI Rate 8 - 64Bit

Features

☐ Enable Dynamic Reconfiguration Interface (DRI)

TX PLL コンフィグレータ内でジッタ減衰器 PLL プリセットを選択し、XCVR コンフィグレータ内で JA_CLK ポートを有効にします。ジッタ減衰器プリセットは、アプリケーション回路向けに定義された要件に従う必要があります。

例えば、TX PLL コンフィグレータ内で **SDI 3G** が選択されている場合、XCVR コンフィグレータ内で PCS-ファブリック幅を 20 ビットに設定し、定義された参照クロック周波数を使う必要があります。

表 21. ジッタ減衰器 PLL のプリセット

Jitter Cleaning Mode	データレート(Mbps)	参照クロック周波数(MHz)	PCS-ファブリック ビット幅	モード
10G SyncE 32Bit	10312.5	156.25	32	64b66b
10G SyncE 64Bit	10312.5	156.25	64	64b66b
1G SyncE 10Bit	1250	125	10	PMA
CPRI Rate 1	614.4	122.88	32	8b10b
CPRI Rate 2	1228.8	122.88	32	8b10b
CPRI Rate 3	2457.6	122.88	32	8b10b
CPRI Rate 4	3072	122.88	32	8b10b
CPRI Rate 5	4915.2	122.88	32	8b10b
CPRI Rate 6	6144	122.88	32	8b10b
CPRI Rate 8 64-Bit	10137.6	122.88	64	64b66b
SDI 3G	2970	148.5	20	PMA
SDI HD	1485	148.5	10	PMA

.....続き				
Jitter Cleaning Mode	データレート(Mbps)	参照クロック周波数(MHz)	PCS-ファブリック ビット幅	モード
SDI SD	270	148.5	10	PMA
Custom Protocol Settings	下の説明を参照してください。			

1.5.4.2.1 カスタム プロトコル設定

Libero SoC (v12.3 以上)では、カスタム プロトコル向けに全二重ジッタ減衰ソリューションが利用できます。これは、1 つの参照クロックと 1 のデータレートに対してサポートされ、既存のプリセットとは異なるカスタム設定が必要なユーザ回路に柔軟性を提供します。

ジッタ除去設定を正しく生成するために、ユーザは参照クロック周波数とクロック源情報を入力する必要があります。選択した参照クロック源に応じてコンポーネント上で利用可能な入力クロックポートが決まります(図 48 参照)。ユーザは、トップレベルのポートを XCVR レーンに接続する必要があります。カスタム設定で JAPLL を使うには、対応するレーン向けに JA クロック周波数を使う必要があります。この周波数は、XCVR コンフィグレータの[PMA Settings]ダイアログ内の[RX JA clock frequency]フィールドに表示されます(図 49 参照)。

図 47. カスタム プロトコル設定

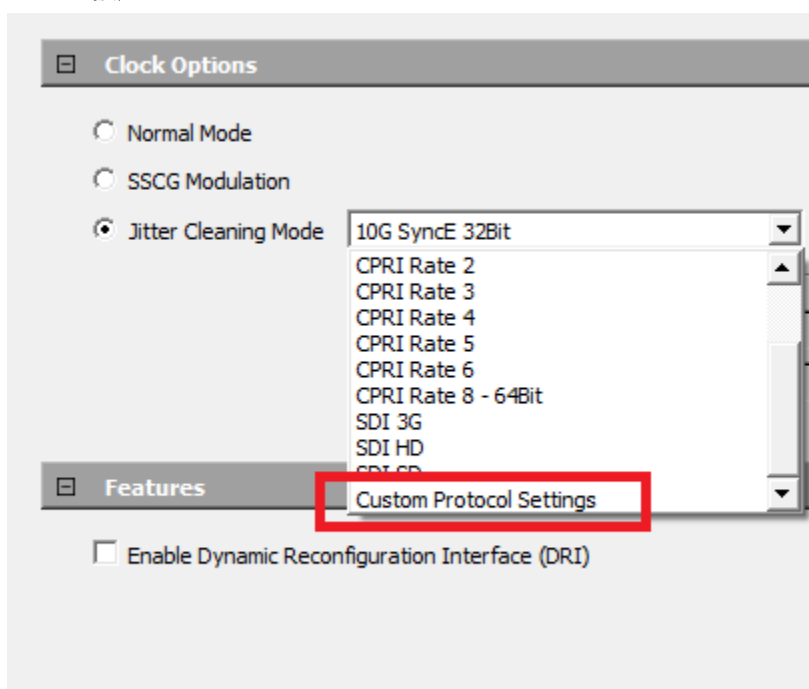


図 48. 参照クロック源オプション

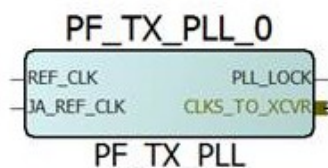
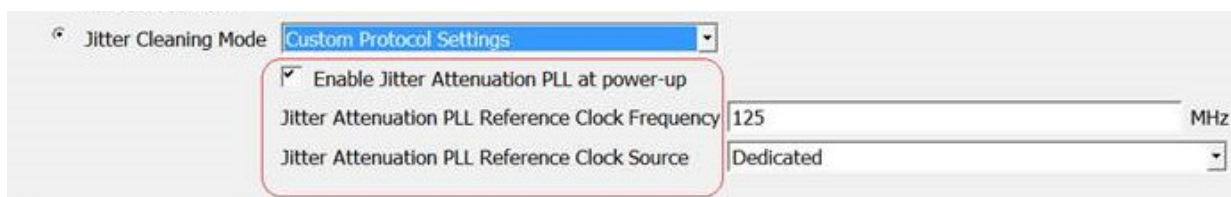


図 49. RX JA クロック周波数(XCVR コンフィグレータ)

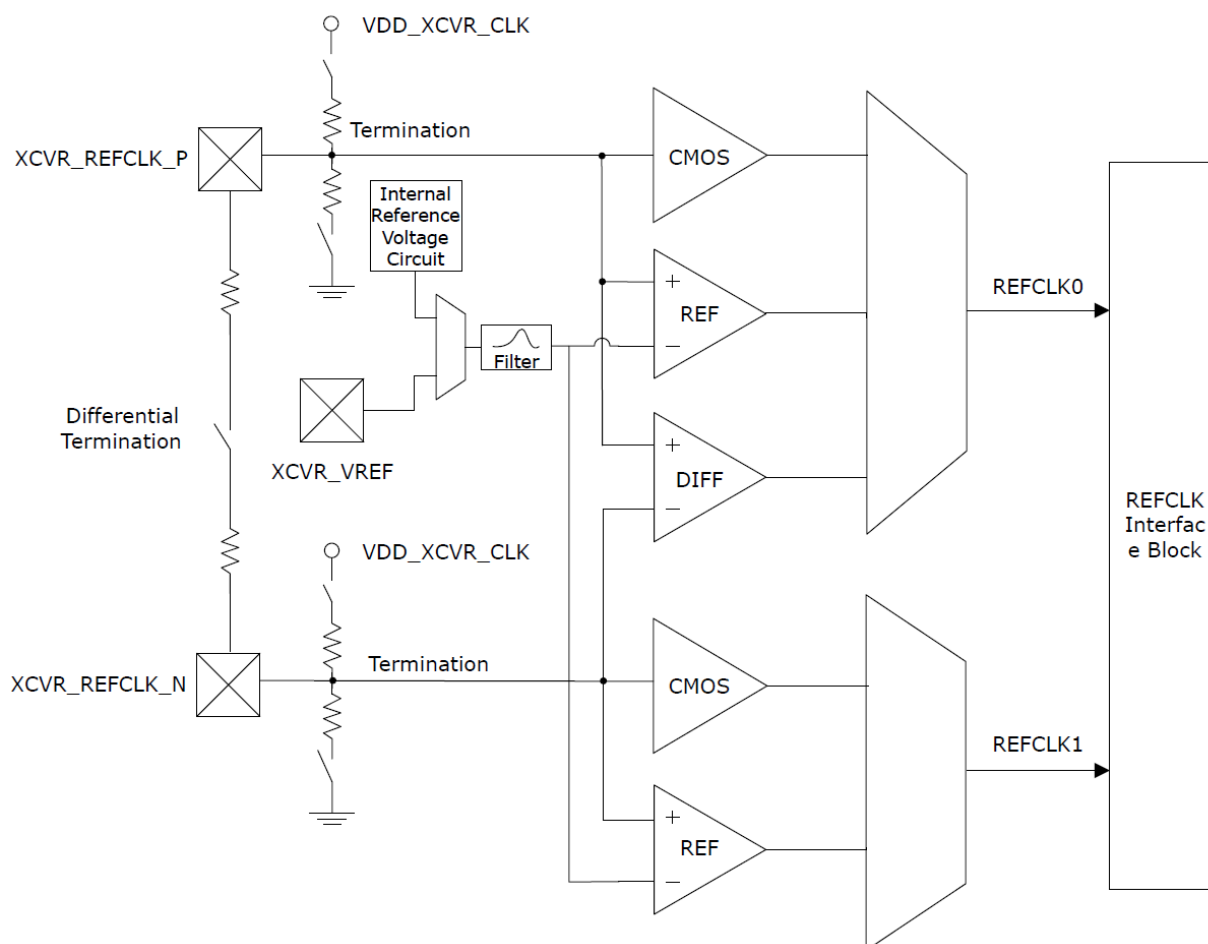
PMA Settings					
TX data rate	10000	Mbps	RX data rate	10000	
TX clock division factor	1		RX CDR lock mode	Lock to data	
TX PLL base data rate	10000.000	Mbps	RX CDR reference clock source	Dedicated	
TX PLL bit clock frequency	5000.000	MHz	RX CDR reference clock frequency	80.00	
			RX JA clock frequency	312.5	

1.5.4.3 専用参照クロック入力ピン

トランシーバ PMA 内の全ての送信 PLL は、外部参照クロック用の入力ピンペアを備えています(図 50 参照)。これらの参照クロック入力はシングルエンド クロックと差動クロックの両方に柔軟に対応し、トランシーバ クワッドあたり最大 2 つの独立したクロックを駆動可能です。これらの参照クロック入力は、全ての参照クロックバッファで共有される 1 つの電源(VDD_XCVR_CLK)を使います。これらの参照クロックは、デバイスの FPGA ファブリック内のグローバルおよびリージョナルクロック ネットワークに供給する事もできます。

図 50 に、専用参照クロック入力の詳細を示します。

図 50. トランシーバの専用参照クロック入力



Note: 参照クロック インターフェイス ブロックの詳細は図 44 を参照してください。

1.5.4.3.1 Differential Input

このモードは、LVDS/HCSL 等の差動入力をサポートします。差動参照クロックは REFCLK0 で利用可能です (REFCLK1 は差動入力クロックモードでは使えません)。これらの入力は、オプションのオンダイ 100 Ω 差動終端抵抗を備えています。Libero ソフトウェアで設定しない限り、差動入力終端抵抗は既定値のハイ インピーダンス モードに設定されます。XCVR_VREF は差動参照クロック入力信号用に使われません。XCVR_VREF は、参照電圧を必要とするシングルエンド信号(SSTL 等)用に使われます。

1.5.4.3.2 Reference Voltage Input

このモードでは、入力インターフェイスは 2 つのシングルエンドモードをサポートします。

- **Local reference input:** 参照電圧は XCVR_REFCLK_N 入力に接続され、XCVR_REFCLK_P 入力に接続されたクロック用に使われます。生成された参照クロックは、REFCLK0 出力で利用できます (REFCLK1 出力は、このモードでは使えません)。
- **Global reference input:** このモードでは、2 つの異なる参照クロック源が使えます。XCVR_REFCLK_P 入力はグローバル トランシーバ参照電圧(XCVR_VREF)と比較され、結果は REFCLK0 で出力されます。同時に XCVR_REFCLK_N 入力は同じく XCVR_VREF と比較され、結果は REFCLK1 で出力されます。このモードでは、XCVR_REFCLK_P ピンと XCVR_REFCLK_N ピンにシングルエンド クロック源を接続できます。生成されたクロック信号はそれぞれ REFCLK0 と REFCLK1 で出力されます。参照電圧入力が使われる場合、内部参照電圧回路が提供されます。参照電圧入力(XCVR_VREF)ピンは内部で接続されるため、外部電圧を接続する必要はありません。

Note: デバイスあたり 1 つの XCVR_VREF 信号を外部ピンまたは内部参照電圧回路から供給できます。内部生成の参照電圧(VREF)が既定値で使われます。外部からの VREF はオプションにより選択できます。

1.5.4.3.3 Single-Ended CMOS Input

XCVR_REFCLK_P/N ピンを使ってシングルエンド CMOS クロック信号を REFCLK0 および REFCLK1 入力に接続する事もできます。これにより 2 つの独立した参照クロックを XCVR_REFCLK 入力に印加できます。XCVR_VREF は、シングルエンド CMOS 参照クロック入力信号向けには使われません。

1.5.4.3.4 XCVR REFCLK の使用法

各 I/O 規格向けトランシーバ参照クロック入力の既定値設定を表 22 に示します。これらは、REFCLK コンフィグレータ内の LVCNOS、参照電圧、差動モードの選択に応じて設定されます。

表 22. XCVR REFCLK の既定値

参照クロックモード	I/O 規格	抵抗のプルアップ/ダウン	シュミットトリガ	ODT	VDDI
LVCNOS	LVCNOS25	なし	OFF	0	2.5
Voltage Reference	SSTL25I	なし	OFF	0	2.5
Differential	LVDS25	なし	OFF	100	2.5

これらの既定値設定は、I/O PDC 制約ファイルを使って変更できます(この制約ファイルは I/O Editor 内で利用できません)。

```
-io_std <iostd>
-ODT_VALUE <odt>
-RES_PULL <res_pull>
-SCHMITT_TRIGGER <schmitt>
-USE_EXTERNAL_VREF <true, false>
-POWER_SUPPLY <power supply for all Ports>
-EXTERNAL_VREF <true/false>
```

Note:

- 既定値では、VDD_XCVR_CLK 電源は 2.5 V に設定されます。3.3 V を使う場合、PDC 内の全てのポートに対して設定を追加する必要があります。PDC 内で指定されていないポートには、既定値設定が適用されます。全ての REFCLK ポートの位置を PDC 内で指定する必要があります。そうしないとフローは停止します。
- 新しいオプションの大文字/小文字は区別されますが、値の大文字/小文字は区別されません。
- ODT を OFF にするには、ODT_VALUE を 0 に設定します。
- SSTL18I、SSTL18II、SSTL25I、SSTL25II 入力にはオプションで VREF ピンを設定できます。
- USE_EXTERNAL_VREF <true/false>の既定値は false (内部 VREF ピンを使用)です。

表 23. 参照クロック入力バッファの規格¹

シングルエンド	差動 ²	参照電圧(ES/XT デバイスでは非サポート)
LVC MOS18 (VDDI = 2.5)	HCSL25 ³	HSUL18I (VDDI = 2.5)
LVC MOS25 (VDDI = 2.5)	LVDS25	HSUL18II (VDDI = 2.5)
LVC MOS33 (VDDI = 3.3)	LVPECL33 (VDDI = 3.3)	SSTL18I (VDDI = 2.5)
LV TTL (VDDI = 3.3)	MINILVDS25	SSTL18II (VDDI = 2.5)
—	MIPI25	SSTL25I (VDDI = 2.5)
—	MLVDS25	SSTL25II (VDDI = 2.5)
—	PPDS25	—
—	RSDS25	—
—	SLVS25	—
—	SUBLVDS25	—
—	LVDS33 ⁴	—

(1) VDDI = VDD_XCVR_CLK

(2) 差動入力は内部電圧バイアス回路を含みません。

(3) LP-HCSL は HCSL25 参照クロック設定(100 Ω 差動 ODT なし)でサポートされます。

(4) LVDS33 は VDDI = 3.3 V のデバイスでサポートされます(Libero 内で LVDS25 I/O 規格設定を選択する事によりサポート)。

ユーザは電源要件と参照電圧要件に注意を払う必要があります。詳細は『[PolarFire FPGA and PolarFire SoC FPGA User I/O User Guide](#)』を参照してください。

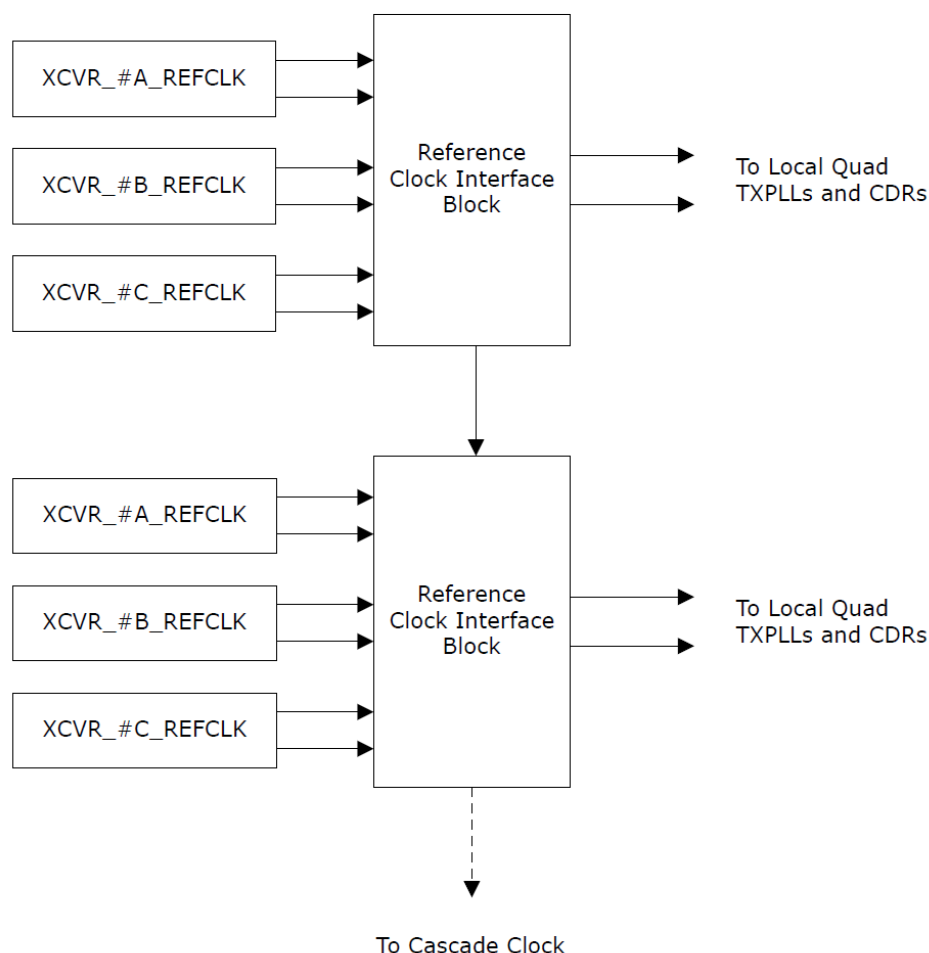
1.5.4.3.5 参照クロック入力ピン

入力ピン XCVR_REFCLK_P/N は、ターゲットのトランシーバ クワッドに応じて Libero Transceiver Configurator により割り当てられます。これらのピンはクワッドに基づいて識別されます。例えば、以下の 3 つの送信 PLL が存在します。

- XCVR_#A_REFCLK_P/N - この REFCLK 入力は TXPLL_SSC 専用の接続に割り当てられます。この入力はグローバル クロックリソースへも接続されます。
- XCVR_#B_REFCLK_P/N
- XCVR_#C_REFCLK_P/N - この入力は、デバイスごとに決められた一部のトランシーバ クワッドでのみ利用可能です(PolarFire FPGA: [図 53](#) と [図 55](#) 参照、PolarFire SoC FPGA: [図 54](#) と [図 56](#) 参照)。

[図 51](#) に、REFCLK 入力ピンを示します。これらのピンは参照クロック インターフェイス ブロックに入力され、クワッドごとの TxPLL および CDR へ出力されます。必要に応じ、カスケード接続によって複数クワッドで共有する事も可能です。

図 51. REFCLK 入力ピン



Note: XCVR_#[ABC]_REFCLK ピンはクワッドごとに提供されます。参照クロック インターフェイスに入力された REFCLK は、対応する TxPLL へ供給されます(図 44 参照)。

参照クロック インターフェイスの詳細は、1.5.4.1. 「トランシーバ参照クロック インターフェイス」を参照してください。

1.5.4.4 参照クロックの途絶

Lock to Data または Lock to Reference アプリケーションでは、安定した参照クロックを PLL に供給する必要があります。TXPLL および RXCDR PLL が正常に動作するには、信頼性の高い参照クロックが必要です。参照クロック入力には「信号検出機能」を備えていません。このため、ユーザ回路でシステムレベルの参照クロックの喪失または切り換えを検出して対処する必要があります。参照クロックが途絶するとロック制御回路の動作に異常をきたし、その時点での状態から抜け出せなくなる可能性があります。

1.5.4.5 トランシーバリソースのレイアウト

どちらのデバイスファミリも 1~6 個のトランシーバ クワッドを備え、各クワッドは 4 つのレーンを含むため、全二重トランシーバ レーンの総数は 4~24 となります。クワッドあたり最大で 3 つの外部参照クロック入力が存在し、それらは全ての送信 PLL およびトランシーバ レーン CDR で使えます。詳細は 1.5.4. 「トランシーバ クロック」を参照してください。

送信 PLL 出カクロックは、1 つのクワッド内の 1 つまたは複数のレーンにより使える他、隣接するクワッドと共有する事もできます。

各受信レーン CDR は独自の PLL を待つため、全ての受信レーンは異なるレートで動作できます。送信レーンの場合、各送信 PLL は 1 つのベースレートを生成し、接続可能な全ての送信レーンへ同じベースレートを供給します。各レーンは、2 つの異なる送信 PLL のベースレートのどちらかを選択するか、分周したレート(Div2、Div4、Div8、Div11)を選択できます(レーンごとに選択可能)。

CDR への参照クロックは FPGA から供給可能であるため、回路内の参照クロック源を柔軟に選択できます。CDR はファブリックからの内部ノイズを許容します。

表 24 と表 25 に、各ファミリデバイスで利用可能なトランシーバ リソースの数を示します。

表 24. PolarFire FPGA のトランシーバ リソース

デバイス	XCVR レーン数	TxPLLs	参照クロック入力ピン数
MPF100	8	6	12x シングルエンド/6x 差動
MPF200 ¹	16	11	22x シングルエンド/11x 差動
MPF300	16	11	22x シングルエンド/11x 差動
MPF500	24	15	30x シングルエンド/15x 差動

⁽¹⁾ MPF200-FCG484 および FCVG484 パッケージは最大で 8 個の XCVR レーンと 6 個の TXPLL のみサポートします。

表 25. PolarFire SoC FPGA のトランシーバ リソース

デバイス	XCVR レーン数	TxPLLs	参照クロック入力ピン数
MPFS250T ¹	16	11	22x シングルエンド/11x 差動

⁽¹⁾ MPFS250-FCVG484 は 4 個の XCVR レーン(Quad0 のみ)と 3 個の TXPLLs のみサポートします。

図 52、図 53、図 55 にそれぞれ MPF100、MPF200/MPF300、MPF500 デバイスのトランシーバ クワッド、レーン接続、送信 PLL、組み込み PCIe ブロックの構成を示します。この構成により、全ての PolarFire FPGA ファミリデバイスのパッケージ互換性が確保されます。例えば、あるパッケージが PolarFire ファミリの全デバイスでオーダーでき、最小のデバイスでも PCIe ブロックが利用できる場合、ファミリ内の全デバイスでも同パッケージで PCIe ブロックを使用する事が可能です。

図 54 に MPFS250T デバイスのトランシーバ クワッド、レーンの接続、送信 PLL、組み込み PCIe ブロックの構成を示します。これらの構成により、全ての PolarFire SoC FPGA ファミリデバイスの互換性が確保されます。例えば、あるパッケージが PolarFire SoC ファミリの全てのデバイスをサポートしている場合、そのパッケージを持つ最小デバイス上の PCIe ブロックは、同パッケージの全ての PolarFire SoC デバイスと同じパッケージピンで利用できます。

図 52. MPF100 のトランシーバおよび送信 PLL レイアウト

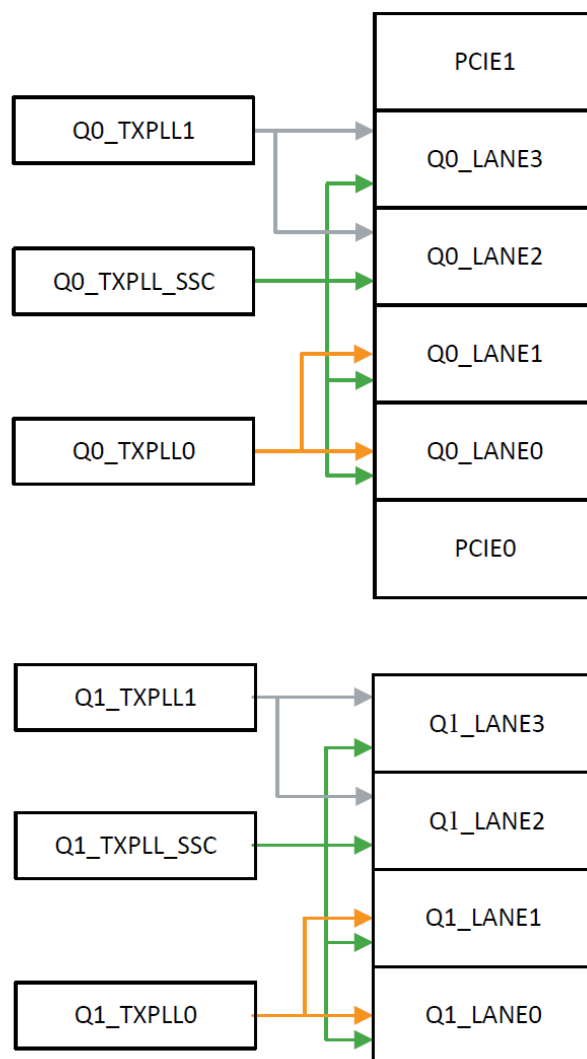
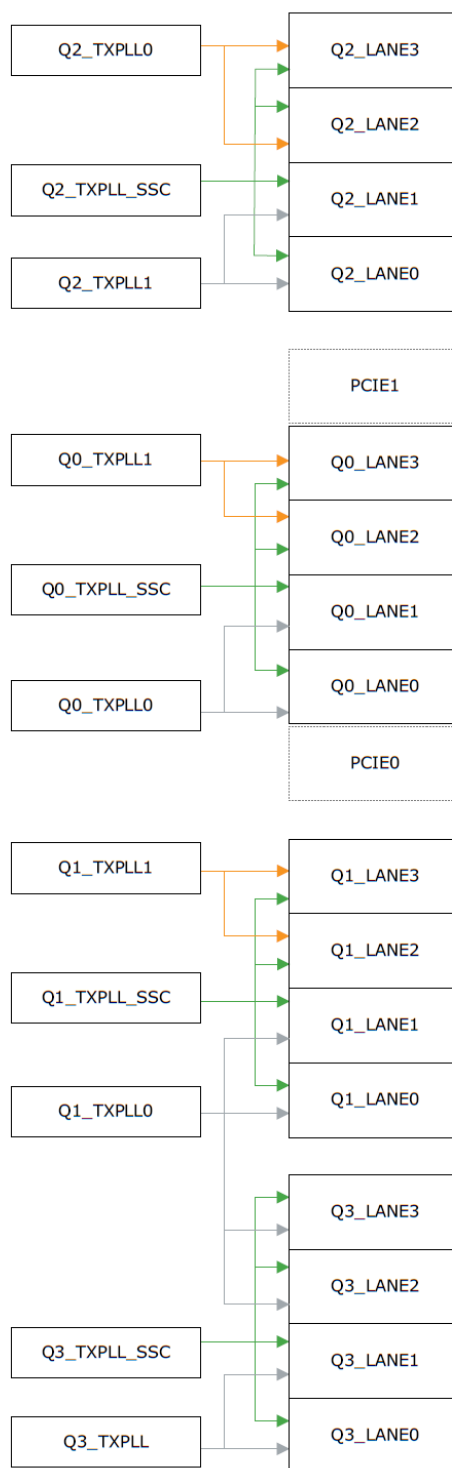
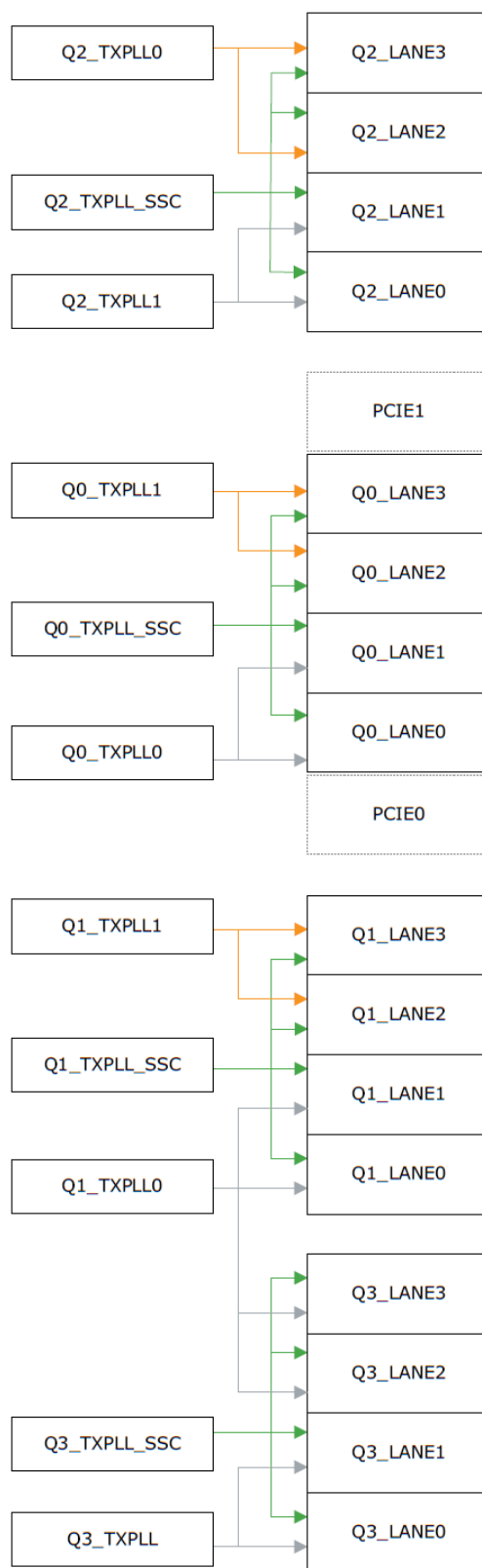


図 53. MPF200/MPF300 のトランシーバおよび送信 PLL レイアウト



Note: MPF200-FCG484 および FCVG484 は最大 8 個の XCVR レーンと 6 個の TXPLL のみサポートします。図 52 を参照してください。

図 54. MPFS250T のトランシーバおよび送信 PLL レイアウト

**Note:**

MPFS250-FCVG484 は 4 個の XCVR レーン(Quad0 のみ)と 3 個の TXPLLs のみサポートします。図 56 を参照してください。

図 55. MPF500 のトランシーバおよび送信 PLL レイアウト

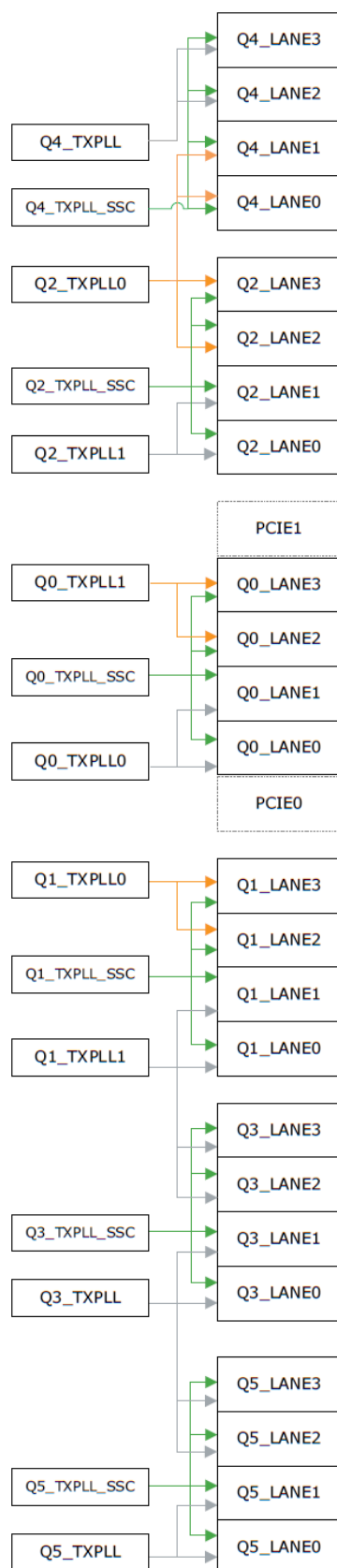
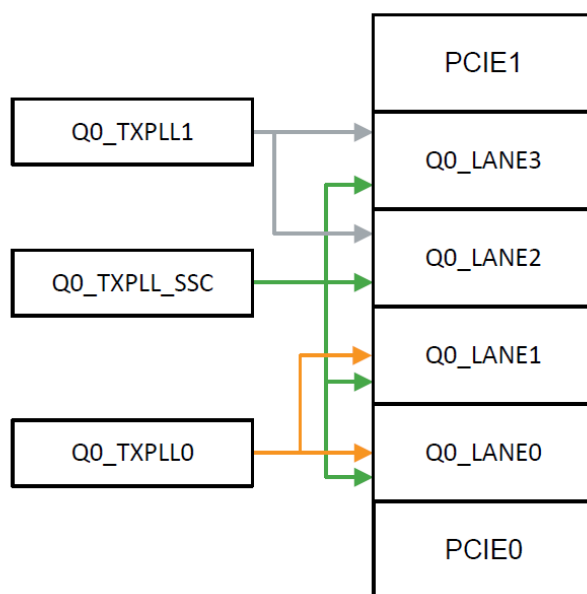


図 56. MPFS250T-FCVG484 Quad0

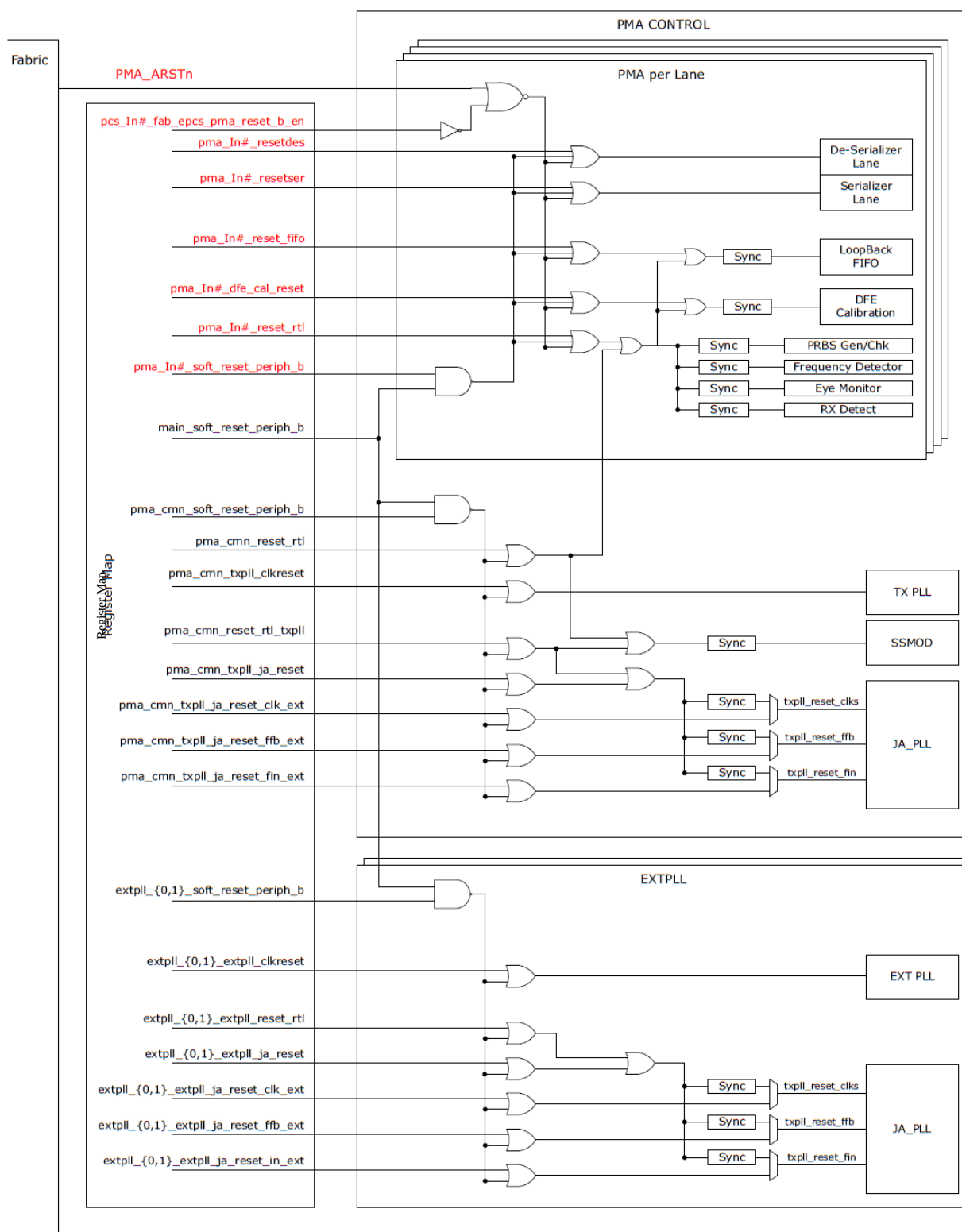


1.6 PMA と PCS のリセット

トランシーバは、PF_XCVR に対する 2 つの独立したリセット信号入力(PMA_ARST_N 入力と PCS_ARST_N 入力)を使います。これら 2 つの入力は、トランシーバの PMA 部と PCS 部を別々にリセットするために FPGA ファブリックから提供されます。どちらの入力も非同期でリセットをアサートします。ディアサートは内部で同期されます。

PMA_ARST_N リセットは常に Rx と Tx の両方に影響を及ぼします。このアクティブ Low 入力はトランシーバ PMA 内部の全ての回路(シリアライザ/デシリアライザ、DFE、アイパターン モニタ、ループバック FIFO、内部アナログ回路を含む)をリセットします。図 57 に、PMA_ARST_N のブロック図を示します。

図 57. PMA_ARST_N のブロック図



* Signals in red are reset signals per PMA lane.

制御レジスタを使うと、PMA と TXPLL 内の全てのコンポーネントを選択的にリセットできます。これらのレジスタには DRI を介してアクセスできます(5.3. 「DRI (Dynamic Reconfiguration Interface)」参照)。レジスタマップについては、『PolarFire Device Register Map』または『PolarFire SoC Register Map』を参照してください。

PCS_ARST_N リセットは、トランシーバ モードに応じて PCS のレシーバ部とトランスミッタ部の両方またはどちらかにのみ影響を及ぼします(2.2. 「トランシーバ モード」参照)。Tx をリセットすると、内部で再起動している間、シリアルリンクのデータトグルが無効になり、PCS 送信データパスがフラッシュされます。Rx のリセットにより、PCS アクティブモード回路が再起動します。8b10b PCS モードでは、ファブリック ロジック内で検出されたデータエラーの数が多すぎる場合にシンボル アライメントをやり直すために PCS_ARSTN が使われます。PCS_ARSTN により RX クロックは停止します。RX クロックから駆動されているロジックを介して PCS_ARSTN リセットをアサート/ディアサートしてはいけません。これを行うと RX クロックのトグルが停止するため、PCS リセットが 2 度とディアサートされないロックアップ状態となります。

リセットの機能は、Libero ソフトウェア内でレジスタを設定する事により設定できます。レジスタマップについては、『PolarFire Device Register Map』または『PolarFire SoC Register Map』を参照してください。Libero によるプログラミングの後に、これらのレジスタ制御ビットは、電源投入後 Tx PLL がリセットから解除される前に書き込まれます。リセット中にこの設定が行われる事で、PCS Tx が手動介入なしにリセットされる事が保証されます。

「PMA Only」XCVR 設定の場合、PCS_ARST_N を「1」に固定できます。この設定は、PCSLANE/LRST_R0/LRST_ULCKD_CDR_RESETS_PCS_RX レジスタが 0x1 (既定値)に設定されている事を前提とします。CDR が自動的に PCS Rx ドメインロジックをリセットした時に、この設定は PCS 内のフライホイール FIFO を PMA Only モード向けにリセットします。

Libero PCS_ARST_N 設定: PCS_ARST_N が Low に遷移した時に Rx PCS のみリセットします。Tx PCS は、Tx PLL が未ロック状態からロックされた時に自己リセットします。通常、Tx PLL のロックは PMA から PCS へ供給されるクロックの正常動作に影響を及ぼす最後のイベントです。しかし、アプリケーションがシリアライザの後置分周器に対する変更または特定の Tx レーンが使用する PLL に対する変更を要求する場合、これらのイベントによって PCS へのクロック供給が変更されます。この種の設定変更を実行するには、最初にソフト PCS Tx リセット システム レジスタをアサートし、シリアライザ設定を変更した後に、このレジスタをディアサートする必要があります。この方法により、PCS とその FWF は、リセットから解除された時に適正なクロック供給を受ける事ができます。レートの変更は、リセット/変更/リセット解除シーケンスを使って DRI により実行する必要があり、ユーザ回路によって実装する必要があります。そのようなレート変更では、DRI を介してソフトリセットが利用できるため、*ARST_N ピンを使う必要はありません。

8b10b モードでは、ワードアライナはリセット後にのみ新しいパターンを検出できます。従って Libero の既定値は for PCS_ARST_N for Rx Only です。

PMA および PCS リセットの影響については、2.2. 「トランシーバ モード」を参照してください。

1.7 CPRI の 8b10b モードと 64b66b モードの間の PCS レート切り換え

全ての CPRI プロトコル データレートは、8b10b または 64b66b モードを使って Libero Transceiver Configurator で静的にサポートされます。8b10b モードは CPRI レート 2/3/4/5/6/7 をサポートし、64b66b モードはレート 7A/8/9 をサポートします。

動的な切り換えが必要な場合、ユーザはデータレート間で PCS モードを切り換えるために、その設計意図に対応するための手順を実行する必要があります。この場合、8b10b モードと 64b66b モードの間でレートの切り換えが必要です。

8b10b ポートは、64b66b ポートのスーパーセットです。従ってユーザは、XCVR の 8b10b ポートと連携する FPGA ファブリック回路を計画し、そのファブリックを使って CPRI ユーザ IP へのモード切り換えを制御する必要があります(図 58 参照)。

図 58. 8b10b モードと 64b66b モードの間の PCS レート切り換え

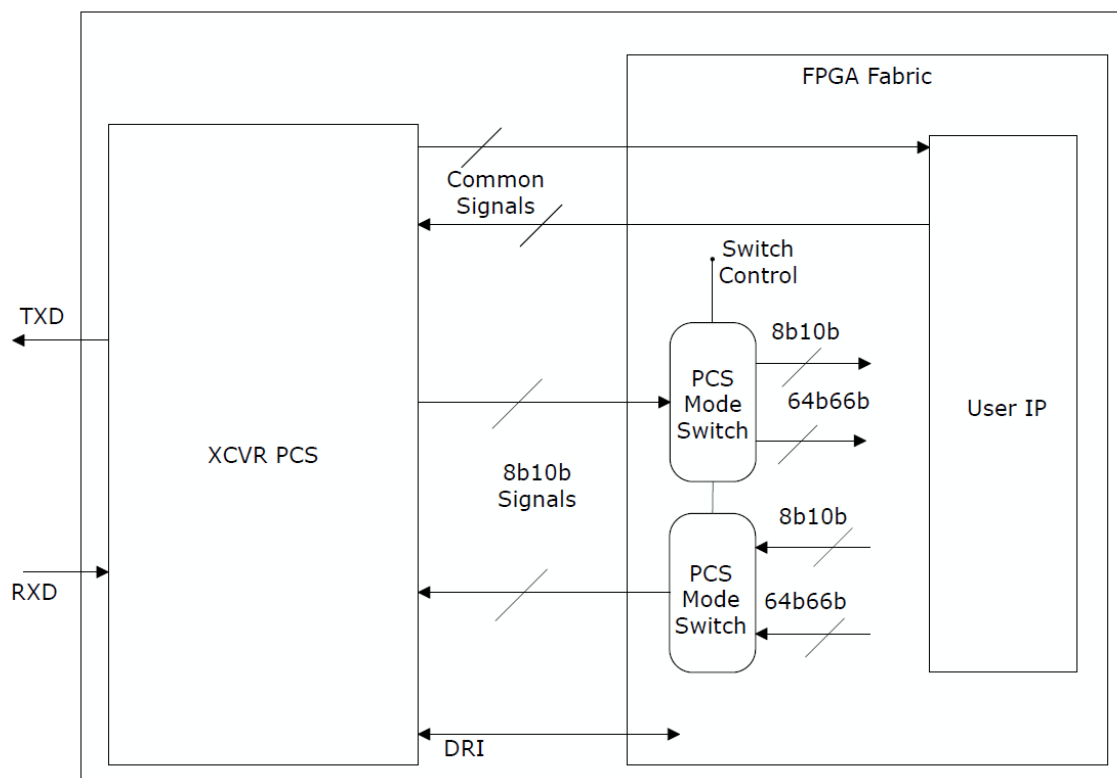


表 26 に、XCVR PCS によって FPGA ファブリックに提供される 8b10b モードと 64b66b モードの間のポート クロスオーバーを示します。

表 26. 8b10b モードと 64b66b モードの間のポート クロスオーバー

方向	8B10B モード	64B6x8B モード
入力	TX_DISPFC[15]	TX_ELEC_IDLE
入力	TX_DISPFC[14]	TX_BYPASS_DATA
入力	TX_DISPFC[13:12]	RESERVED_IN[1:0]
入力	TX_DISPFC[11:8]	RESERVED_IN[5:2]
入力	TX_DISPFC[7:6]	RESERVED_IN[7:6]
入力	TX_DISPFC[5:2]	RESERVED_IN[11:8]
入力	TX_DISPFC[1]	RESERVED_IN[12]
入力	TX_DISPFC[0]	RESERVED_IN[13]
入力	TX_K[7:6]	RESERVED_IN[15:14]
入力	TX_K[5]	RESERVED_IN[16]
入力	TX_K[4]	TX_SOS
入力	TX_K[3:0]	TX_HDR[3:0]
入力	TX_DATA[63:33]	TX_DATA[63:33]
入力	TX_DATA[32:19]	TX_DATA[32:19]
入力	TX_DATA[18:17]	TX_DATA[18:17]
入力	TX_DATA[16]	TX_DATA[16]
入力	TX_DATA[15]	TX_DATA[15]

.....続き

方向	8B10B モード	64B6x8B モード
入力	TX_DATA[14]	TX_DATA[14]
入力	TX_DATA[13:12]	TX_DATA[13:12]
入力	TX_DATA[11:10]	TX_DATA[11:10]
入力	TX_DATA[9:8]	TX_DATA[9:8]
入力	TX_DATA[7:5]	TX_DATA[7:5]
入力	TX_DATA[4]	TX_DATA[4]
入力	TX_DATA[3]	TX_DATA[3]
入力	TX_DATA[2]	TX_DATA[2]
入力	TX_DATA[1]	TX_DATA[1]
入力	TX_DATA[0]	TX_DATA[0]
出力	RX_K[7]	RX_BYPASS_DATA
出力	RX_K[6:0]	RESERVED_OUT[6:0]
出力	RX_CODE_VIOLATION_7	RESERVED_OUT[13:7]
	RX_DISPARITY_ERROR_7	
	RX_CODE_VIOLATION_6	
	RX_DISPARITY_ERROR_6	
	RX_CODE_VIOLATION_5	
	RX_DISPARITY_ERROR_5	
	RX_CODE_VIOLATION_4	
出力	RX_DISPARITY_ERROR_4	RX_HDR_VAL
出力	RX_CODE_VIOLATION_3	STATUS_HI_BER
出力	RX_DISPARITY_ERROR_3	STATUS_LOCK
出力	RX_CODE_VIOLATION_2	RX_SOS
出力	RX_DISPARITY_ERROR_2	RX_DATA_VAL
出力	RX_CODE_VIOLATION_1	RX_HDR[3:0]
	RX_DISPARITY_ERROR_1	
	RX_CODE_VIOLATION_0	
	RX_DISPARITY_ERROR_0	
出力	RX_DATA[63:51]	RX_DATA[63:51]
出力	RX_DATA[50:49]	RX_DATA[50:49]
出力	RX_DATA[48:9]	RX_DATA[48:9]
出力	RX_DATA[8:5]	RX_DATA[8:5]
出力	RX_DATA[4]	RX_DATA[4]
出力	RX_DATA[3:1]	RX_DATA[3:1]
出力	RX_DATA[0]	RX_DATA[0]
入力	TX_BIT_CLK4	
入力	TX_PLL_LOCK4	
入力	TX_PLL_REF_CLK4	
入力	CTRL_CLK5	
入力	CTRL_ARST_N5	

.....続き

方向	8B10B モード	64B6x6B モード
入力	CALIB_REQ5	
入力	LOS5	
入力	CDR_REF_CLK	
出力	CALIBRATING	
入力	TX_WCLK6	
入力	PCS_ARST_N	
入力	PMA_ARST_N	
出力	RX_VAL	
出力	RX_READY	
出力	RX_IDLE	
出力	TX_CLK_STABLE	
出力	RX_CLK_[R:G]	
出力	TX_CLK_[R:G]	
入力	RXD_P	
入力	RXD_N	
出力	TXD_P	
出力	TXD_N	

Note:

1. Libero 内のポート名には接頭辞「lane#_」が付きます。
2. ポートの説明は、PCS ポート一覧表を参照してください。
3. 名前が「RESERVED_」で始まるポートは、そのモードで使えません。
4. ポートは CLKS_FROM_TXPLL BIF に含まれます。
5. ポートは ERM (Enhanced Receiver Management)に含まれます。
6. TX_WCLK は、グローバル(共有) TX クロックが使われる場合に含まれます。

ユーザ制御ロジックは、表 27 に示すトランシーバ切り換え制御レジスタを操作する必要があります。通常これは、回路内の APB からトランシーバに対して DRI を使ってレジスタを変更する事により行います。

表 27 に、レート切り換え中に変更する必要があるレジスタの一覧を示します。

表 27. 8B10B および 64B6xB データバスに影響を及ぼすシステムレジスタ

レジスタ ページ	レジスタ名	フィールド名	概要	8B10B 向けの値	64B6xB 向けの値
pcslane	L8_R0	L8_TXENC_SWAPSEL	オクテット スワップモード (1000BASE-X/T または Fibre Channel) を選択します。	オプション: 0=1000BASE-X/T 1=Fibre Channel	ドントケア
		L8_GEARMODE[1:0]	FWF インターフェイスのデータバス幅を設定します。	txfwf_rclk および rxfwf_wclk のクロック選択と矛盾しない必要があります。	ドントケア
	LOVR_R0	FAB_IFC_MODE[3:0]	ファブリックおよび FWF オーバーレイ ブロックを介するバスを選択します。	レジスタは pcslane LOVR_R0:PCSPMA_IFC_MODE[3:0] 制御レジスタ フィールドの設定に基づいて epcs_tx_data ピンと epcs_rx_data ピンの意味を変更します。 PCSPMA_IFC_MODE は以下の通りに One-Hot エンコードされます。 0b0100 == 8B10B モード	PCSPMA_IFC_MODE は以下の通りに One-Hot エンコードされます。 0b0010 == 64B6xB モード
		PCSPMA_IFC_MODE[3:0]	SerDes シリアルライザヘデータを駆動するためのレーンモードを選択します。		
	LCLK_R0	LCLK_EPCS_RX_CLK_SEL [1:0]	epcs_rx_clk ポートでファブリックへ送信するクロックを選択します。	通常、これは 2'd1 (ファブリックの周波数は FWF の内部側周波数と同じ) に設定します。しかし、Rx FWF の同期を有効にした場合、他の値に設定できます。詳細は FWF の説明を参照してください。	2'd1
		LCLK_EPCS_TX_CLK_SEL [1:0]	epcs_rx_clk ポートでファブリックへ送信するクロックを選択します。		2'd1
pcslane	LCLK_R0	LCLK_PCS_RX_CLK_SEL [1:0]	pcs_rx_clk 向けクロック モジュールのソースを定義します。	8B10B 機能を使う全てのアプリケーションに対して 2'd3 に設定する必要があります。	2'd3
		LCLK_PCS_TX_CLK_SEL [1:0]	pcs_rx_clk 向けクロック モジュールのソースを定義します。		
		LCLK_RXFWF_WCLK_SEL [1:0]	rxfwf_wclk 向けクロック モジュールのソースを定義します。	L8_GEARMODE 設定と矛盾しない必要があります。	2'd2
		LCLK_TXFWF_RCLK_SEL [1:0]	txfwf_rclk 向けクロック モジュールのソースを定義します。		2'd2
		LCLK_RXFWF_WCLK_PIPE	Rx FWF 向けに Tx 側クロックと Rx 側クロックのどちらを使うのか定義します。	8B10B 機能向けには 1'd0 に設定する必要があります。	1'd0

.....続き

レジスタ ページ	レジスタ名	フィールド名	概要	8B10B 向けの値	64B6xB 向けの値
pcslane (続き)	LCLK_R1	LCLK_ENA_8B10B_RX_CLK	クロック モジュール によって 8B10B pcs_rx_clk を駆動する よう指定します。	8B10B 動作向けには 1'd1 に設定する必要 があります。	1'd0
		LCLK_ENA_8B10B_RXFWF_WCLK	クロック モジュール によって 8B10B rx_dmf_wclk を駆動する よう指定します。		
		LCLK_ENA_8B10B_TX_CLK	クロック モジュール によって 8B10B pcs_tx_clk を駆動する よう指定します。		
		LCLK_ENA_8B10B_TXFWF_WCLK	クロック モジュール によって 8B10B tx_dmf_rclk を駆動する よう指定します。		
		LCLK_ENA_64B6XB_RX_CLK	64B6xB pcs_rx_clk を 駆動するようクロック モジュールに指示 します。	1'd0	1'd1
		LCLK_ENA_64B6XB_RX_CLK_DIV2	64B6xB pcs_rx_clk_div2 を駆動 するようクロック モ ジュールに指示しま す。	1'd0	1'd1: 64 ビット ファブ リック向け 1'd0: 32 ビット ファブ リック向け
		LCLK_ENA_64B6XB_TX_CLK	64B6xB pcs_tx_clk を 駆動するようクロッ ク モジュールに指示 します。	1'd0	1'd1
		LCLK_ENA_64B6XB_TX_CLK_DIV2	64B6xB pcs_tx_clk_div2 を駆動 するようクロック モ ジュールに指示しま す。	1'b0	1'b1: 64 ビット ファブ リック向け 1'b0: 32 ビット ファブ リック向け
pma_lane	DES_CLK_CTRL	DESMODE[2:0]	デシリアライザイン ターフェイスのバラ レルバス幅を選択し ます。	8b10b 機能向けには 40 ビット幅バスモ ード(3'd7)を選択する必要があります。	64B6xB 機能向けには 32 ビット幅バスモ ード(3'd6)を選択する 必要があります。
	SER_CLK_CTRL	SERMODE[2:0]	シリアライザ イン ターフェイスのバラ レルバス幅を選択 します。		
	DES_CDR_CTRL3	SLIP_DES_CDR_SEL	CDR スリップ制御 のソースを選択し ます。	下の設定は RX_SLIP_BIT (XCVR コンフィグレータ GUI で有効化)に 依存します。これはユーザ ファブリック IP に依存します。	
		SLIP_DES_CDR_EN	スリップ制御を任 意に OFF にしま す。	1'd0 (ファブリックはシンボル アライメント を制御可能)に設定する必要がありま す。	1'd1 (ファブリックはシン ボル アライメントを 制御不可能)に設定する 必要があります。
				1'd1 に設定する必要があります。	1'd0 に設定する必要が あります。

Note: 詳細は『[PolarFire Device Register Map](#)』または『[PolarFire SoC Register Map](#)』を参照してください。

実装

トランシーバ ブロックは各種の高速シリアル プロトコルをサポートします。これらのプロトコルは、ユーザが Libero ソフトウェア内の Transceiver Configurator を使って構成した複数のトランシーバ ビルディング ブロックを使ってサポートされます。Libero コンフィグレータでは、特定のプロトコル向けに参照クロックとデータレートを設定できます。この情報を使って、PMA の設定と関連するインターフェイス ロジックが適切に生成されます。コンフィグレータは、Libero SmartDesign ソフトウェアを使って、PMA および PCS ブロックを含むトランシーバに固有のハードウェア マクロをインスタンス化および設定するために使われるコンポーネントを構成します。

2.1 Libero コンフィグレータ

トランシーバ プリミティブ マクロ(PF_XCVR_REF_CLK、PF_TX_PLL、PF_XCVR)をインスタンス化するために必要なラッパーを生成するためのツールとして、3 つの PolarFire コンフィグレータ(表 28 参照)を推奨します。コンフィグレータは Libero SoC デザインツールの一部であり、PolarFire マクロを Libero カタログからダウンロードした場合に利用できます。

表 28 に、Libero ソフトウェア内の 3 つの Libero Transceiver Configurator (送信 PLL、トランシーバ参照クロック、トランシーバ インターフェイス モジュール用) の詳細を示します。送信 PLL (PF_TX_PLL) およびトランシーバ インターフェイス(PF_XCVR)モジュールは、Libero FPGA 回路にトランシーバを実装する場合に使います。トランシーバ参照クロック(PF_XCVR_REF_CLK)モジュールは、トップレベル ピンからの専用入力クロックを使う場合に使います。トランシーバ参照クロックを PLL または FPGA ファブリックから供給する場合、このモジュールはオプションにより未使用にできます。ユーザは、トランシーバ回路内でこれら 3 つのブロックをインスタンス化して設定する必要があります。

表 28. Transceiver Configurator コンポーネント一覧

コンフィグレータ	マクロ	詳細
送信 PLL	PF_TX_PLL	GUI への入力に基づいて TxPLL/TxPLL_SSC を生成します。PF_TX_PLL はトランシーバ向けの BIT_CLK を生成します。
トランシーバ参照クロック	PF_XCVR_REF_CLK	GUI への入力(シングルエンド入力バッファ(差動/シングルエンド)の選択、送信 PLL クロック インターフェイスへのクロック入力(シングル/デュアル)の選択)に基づいて参照クロックを生成します。
トランシーバインターフェイス	PF_XCVR_ERM	要求された数のレーン(最大 4 レーン)を同じ PMA および PCS 設定(回路が要求するレーンと CDRPLL の設定)を使って設定します。

各トランシーバ モジュールのコンフィグレータ内でユーザが設定を選択するに従い、その後の選択肢と既定値が自動的に絞り込まれます。各コンフィグレータは、ユーザがモジュールのプロパティを選択する間、モジュールダイアグラムを表示します。全ての選択が完了すると、コンフィグレータは回路の要件に応じたマクロをインスタンス化した RTL netlist を生成します。生成されたマクロには関連するポートのみが含まれます。以下では、Transceiver Configurator GUI 内でこれらのコンフィグレータ パラメータを入力する方法について説明します。

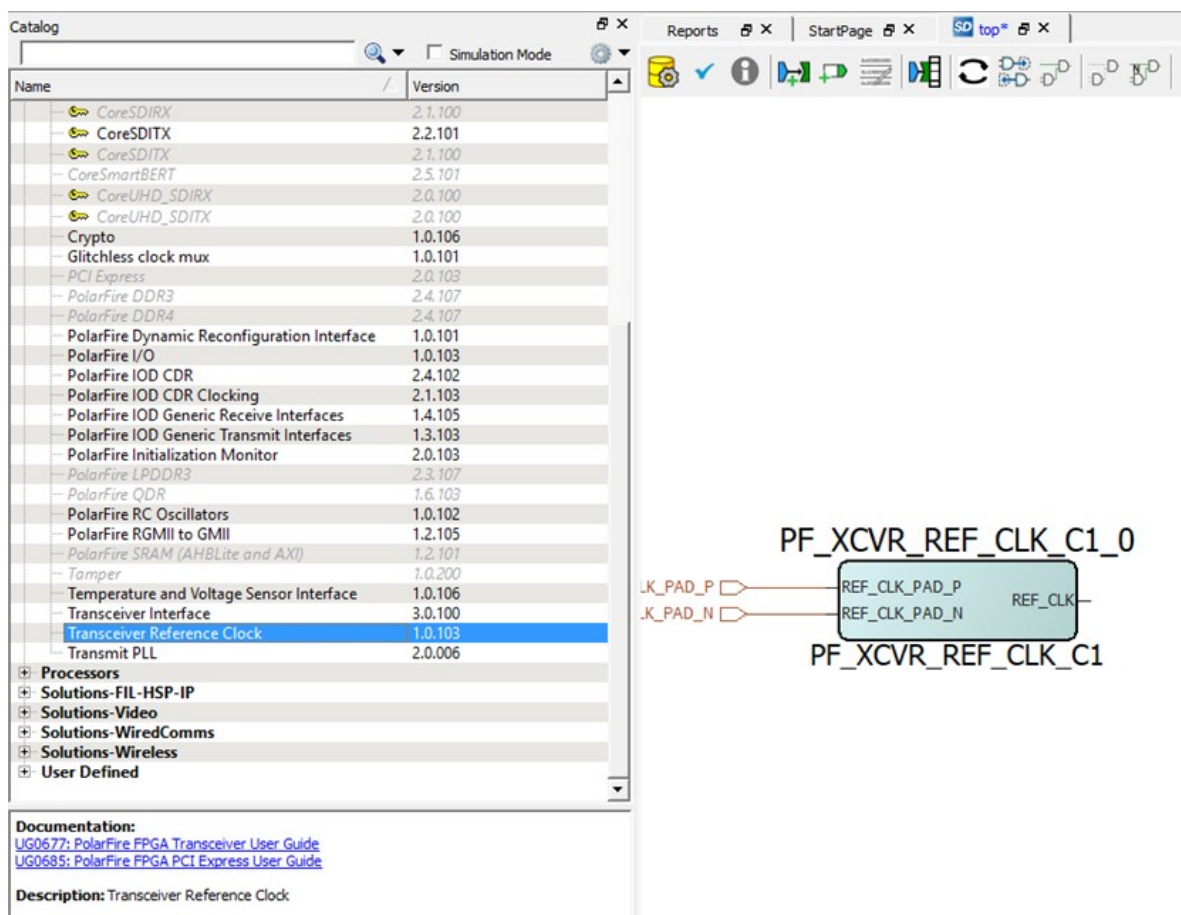
2.1.1 トランシーバ参照クロック コンフィグレータ

トランシーバ参照クロック コンフィグレータは、トランシーバと Tx PLL への参照クロック入力を構成するために使います。ユーザは、入力のタイプと各種入力オプションを選択できます。

参照クロック コンフィグレータは、以下の手順により開始できます。

1. 「Catalog」ウィンドウ内の[Features]の下で[Transceiver Reference Clock] コアにアクセスします(図 59 参照)。

図 59. カタログからトランシーバ参照クロックを選択する



2. カタログから各 PF_XCVR_REF_CLK ブロックをダブルクリックしてコンフィグレータを起動します。GUI から参照クロックの関連するプロパティを選択できます。

図 60. トランシーバ参照クロック コンフィグレータの GUI

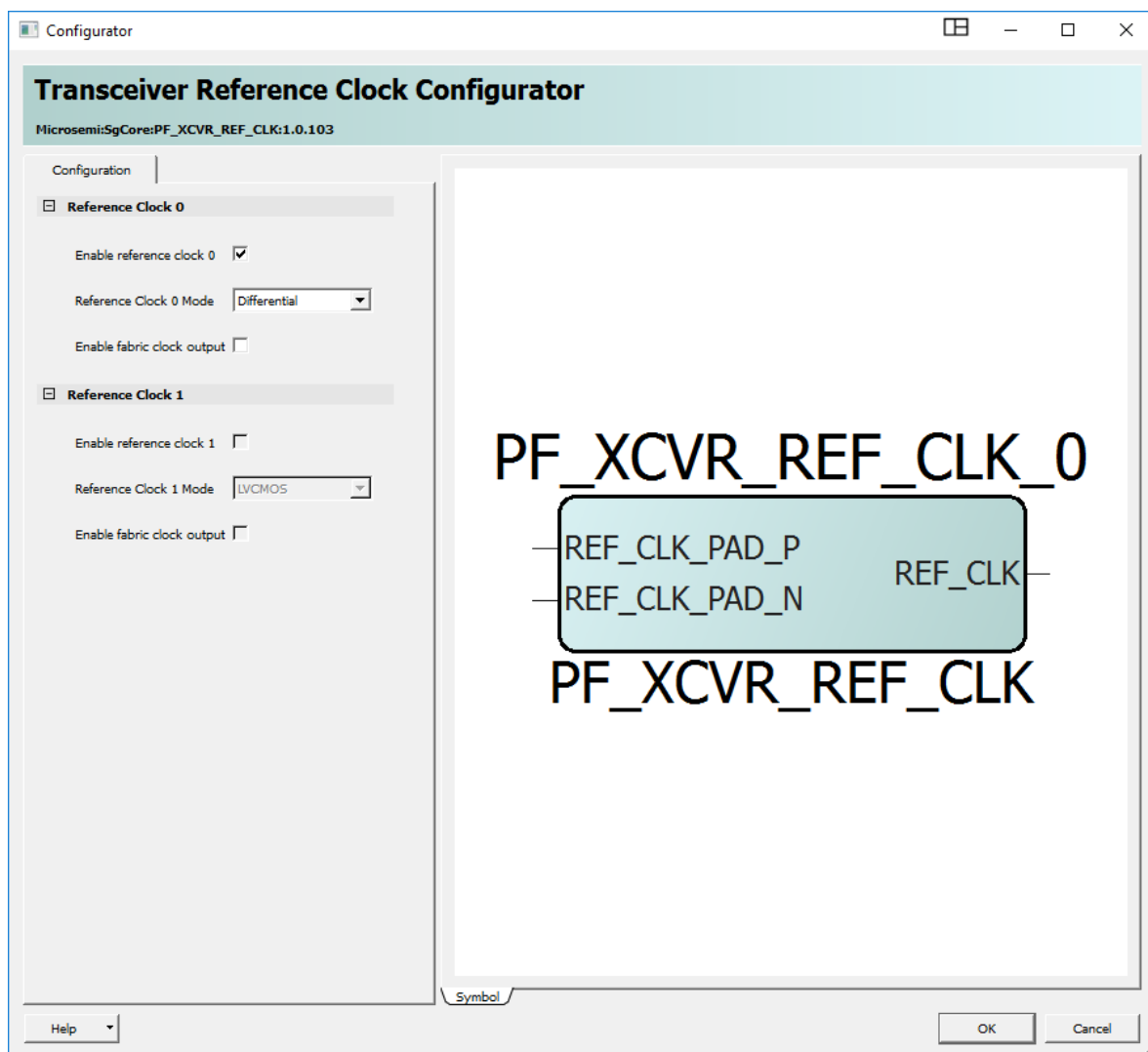


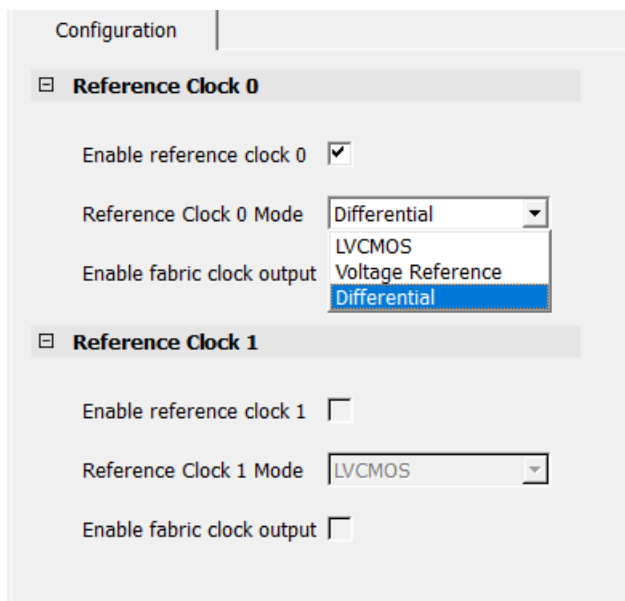
表 29 に、トランシーバ参照クロック コンフィグレータの GUI オプションを示します。

表 29. トランシーバ参照クロック コンフィグレータの GUI オプション

	オプション	既定値	詳細
Reference Clock 0			
Enable reference clock 0	有効/無効	有効	チェックを入れると有効になります。
Reference Clock 0 Mode	LVCMOS、Voltage reference、Differential	Differential	
Enable fabric clock output	有効/無効	無効	チェックを入れると有効になります。 有効にした場合、ポートはファブリックへの接続用に利用可能となります。
Reference Clock 1			
Enable reference clock 1	有効/無効	無効	チェックを入れると有効になります。
Reference Clock 1 Mode	LVCMOS、Voltage reference	LVCMOS	
Enable fabric clock output	有効/無効	無効	チェックを入れると有効になります。 有効にした場合、ポートはファブリックへの接続用に利用可能となります。

3. アプリケーション内の入力バッファのタイプに基づいて参照クロックモードを選択します。**Differential** が既定値モードです。

図 61. トランシーバ参照クロックのモード



LVC MOS または Voltage Reference を選択した場合、PF_XCVR_REF_CLK の 1 つのインスタンス内に最大 2 つの独立した参照クロック入力を持たせる事ができます。この構成では、参照クロック 0 および 1 の両方または片方にアクセスできます。

図 62. 1 つのシングルエンド入力と 1 つの出力クロックを持つ PF_XCVR_REF_CLK

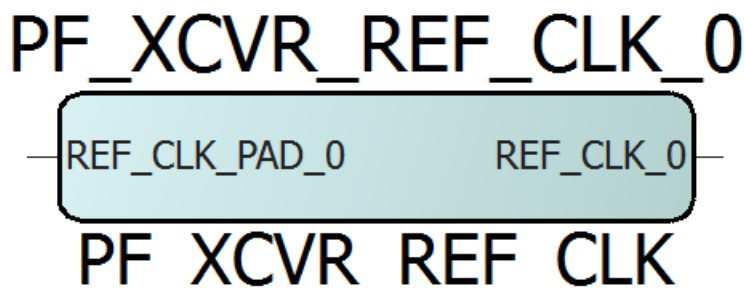
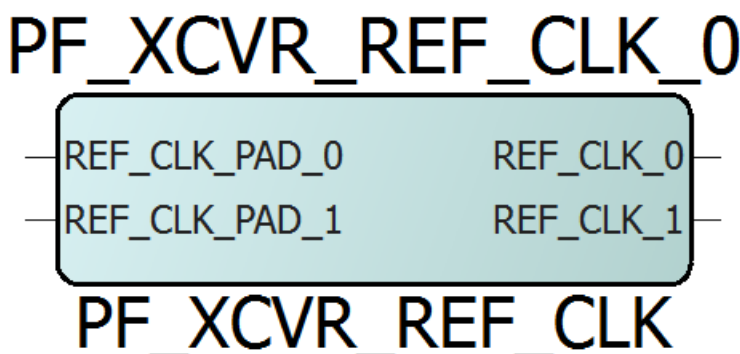
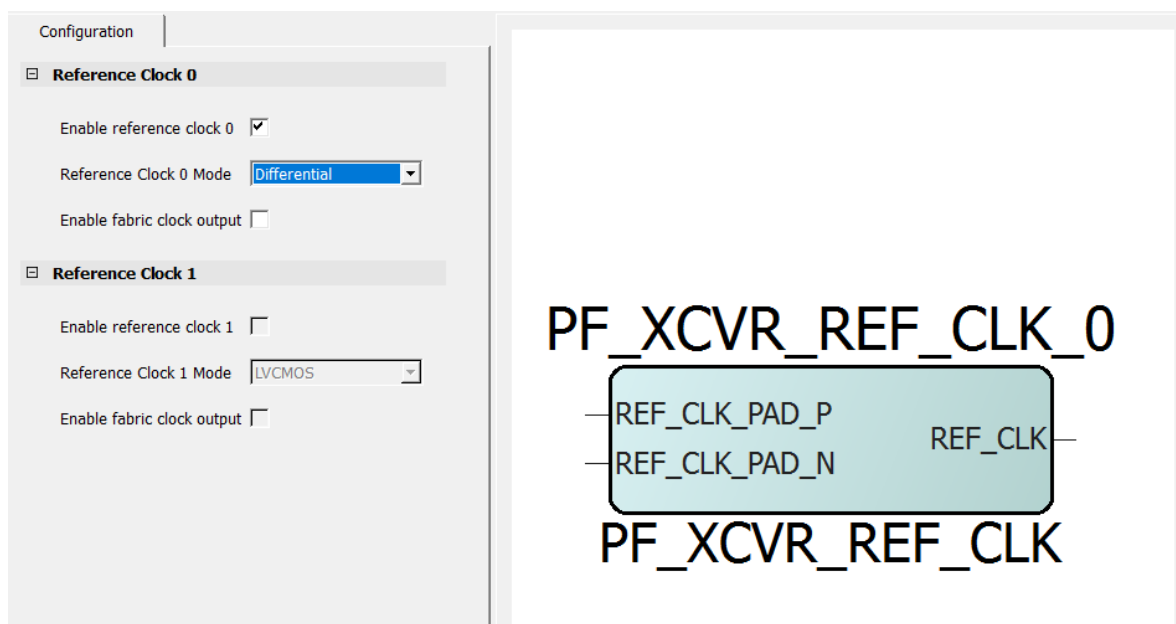


図 63. 2 つのシングルエンド入力と 2 つの出力クロックを持つ PF_XCVR_REF_CLK



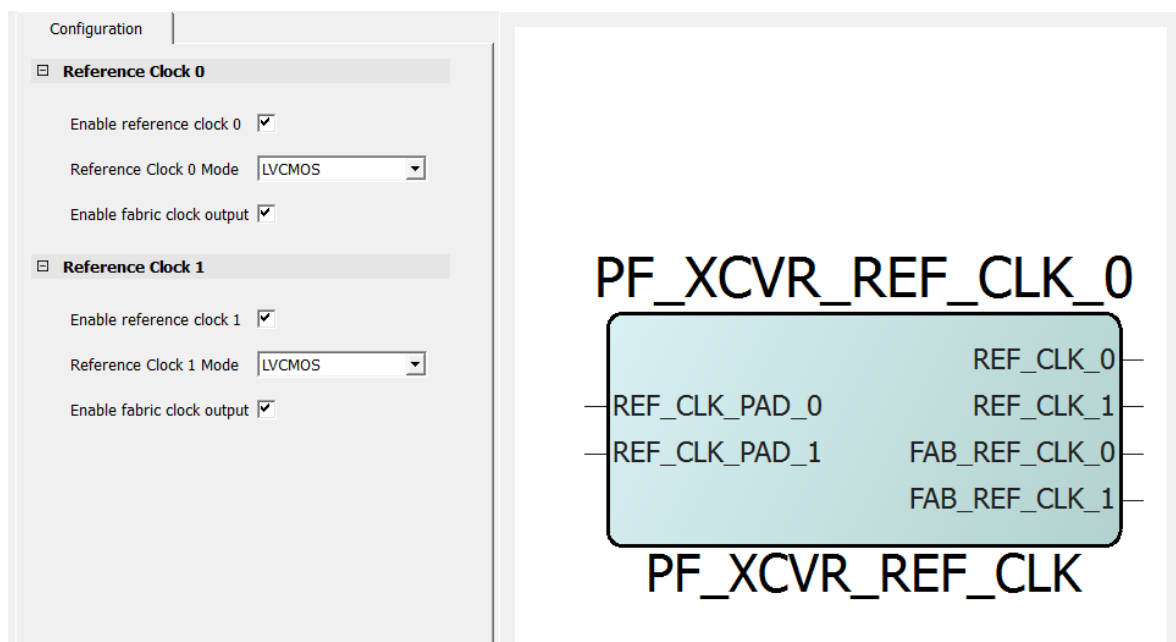
Differential を選択した場合、参照クロック入力は 1 つしか使えません(図 61)。この場合、Reference Clock 0 で差動クロックソース信号が使えます。

図 64. 差動入力と 1 つの出力クロックを持つ PF_XCVR_REF_CLK



4. オプションにより、参照クロック 0 または参照クロック 1 の両方または片方のみ FPGA ファブリックへの接続を有効にする事ができます。接続を有効にした場合、その参照クロックの関連ポートがファブリックへの接続用に利用可能となります。

図 65. ファブリック出力クロックを持つ PF_XCVR_REF_CLK



5. 必要な選択を行った後に[OK]をクリックします。

参照クロック コンフィグレータが参照クロックブロックを生成する際に、必要な I/O を PDC ファイルに追加する事により IP 規格を指定します。PDC ファイルへの I/O の追加については、2.4.2. 「物理的制約」を参照してください。

XCVR REFCLK 入力設定の詳細は、1.5.4.3.4. 「XCVR REFCLK の使用法」を参照してください。

PF_XCVR_REF_CLK により、CLKINT グローバル バッファを介して FAB_REF_CLK 出力へのグローバル ルーティング接続が可能になります。FAB_REF_CLK 出力は正規のファブリック ルーティング リソースと、デバイスの半分 (デバイスの中央で CLKINT ファブリック グローバル バッファに接続するまで)を横切る接続を使います。回路の設計

にもよりますが、FAB_REF_CLK クロックはファブリック スイッチング ノイズの影響を受けやすく、ファブリック ヘブロードキャストされるクロックで予測不可能な量のクロックジッタが生じる可能性があります。

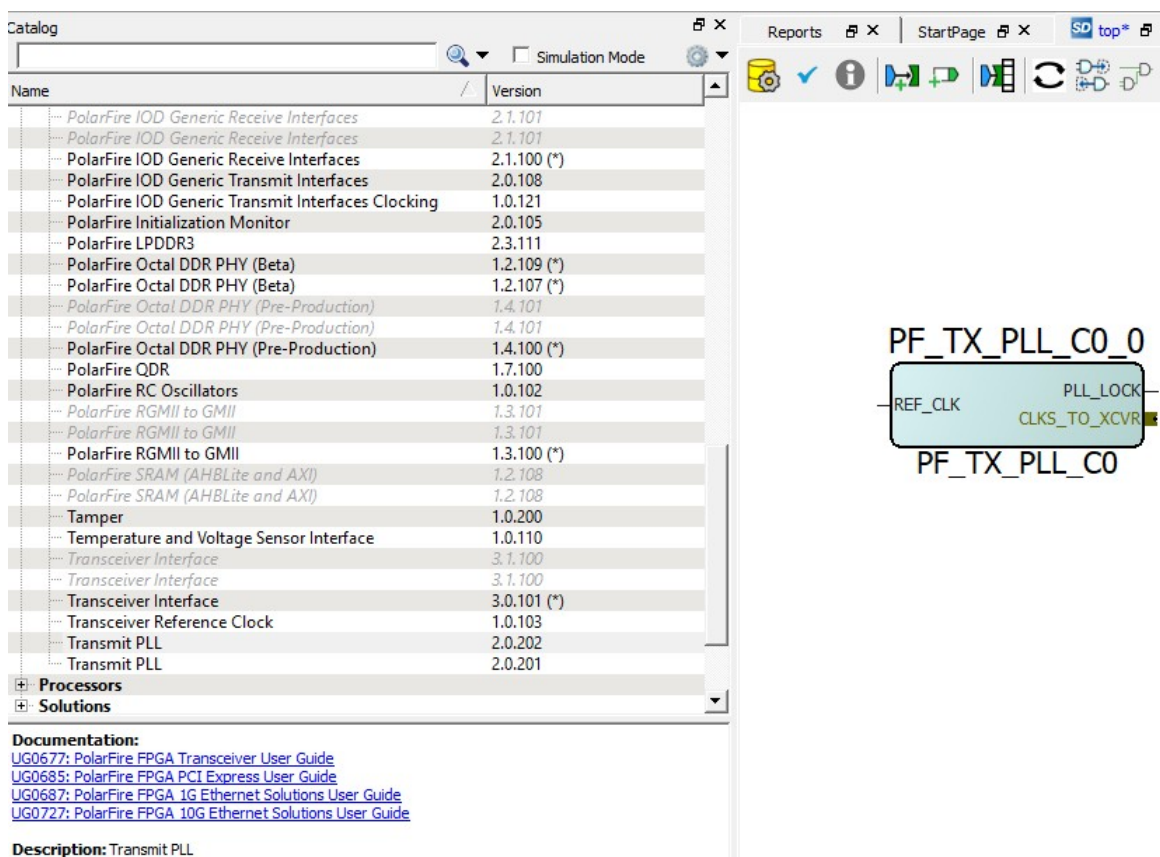
2.1.2 送信 PLL コンフィグレータ

トランシーバ送信 PLL コンフィグレータは、トランシーバに対する送信 PLL を構成するために使います。トランシーバ向けに使われる多数の PLL オプションをアプリケーションに基づいて選択できます。

トランシーバ送信 PLL コンフィグレータは、以下の手順により開始できます。

1. 「Catalog」ウィンドウ内の[Features] の下で[Transmit PLL] モジュールにアクセスします(図 66 参照)。

図 66. カタログからトランシーバ送信 PLL を選択する



2. カタログから各 PF_TX_PLL ブロックをダブルクリックしてコンフィグレータを起動します。GUI では、送信 PLL のプロパティに関連するオプションを選択できます。

図 67. 送信 PLL コンフィグレータの GUI

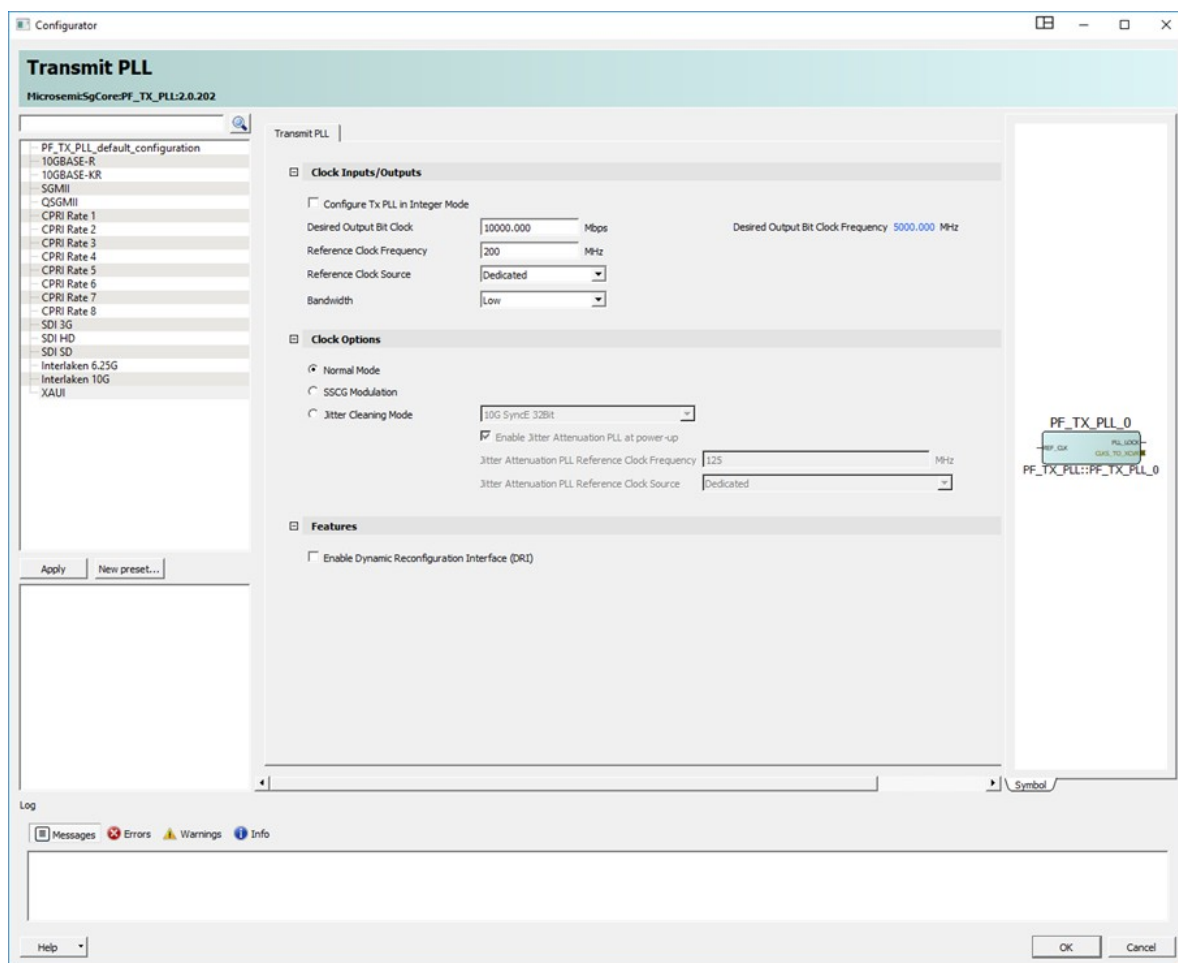


表 30 に、送信 PLL コンフィグレータ GUI オプションを示します。

表 30. 送信 PLL コンフィグレータ GUI のオプション

クロック入力	オプション	既定値	詳細
Configure Tx PLL in Integer Mode	有効/無効	無効	無効にした場合、TXPLL フラクショナル N モードに設定されます。有効にした場合、利用可能な参照クロック周波数の固定値を設定できます。
Reference Clock Source	Dedicated、Fabric	Dedicated	ダイアログ ボックスで入力クロックレートを指定する必要があります(既定値は 200 MHz)。
Desired Output Bit Clock	VCO レート、出力クロック周波数(MHz)	10000 Mbps、5000 MHz	参照クロックと PLL の能力に基づく有効な組み合わせのみ入力できます。この値は、BIT_CLK 出力速度を表します。
Bandwidth	Low、High	Low	既定値では、参照クロックジッタをより多く除去するために、Tx PLL に対して Low 帯域幅オプションが選択されます。 システムが低ジッタの参照クロックを提供する場合、High 帯域幅モードに設定する事で総ジッタを削減できます。ロック時間は Low 帯域幅の方が長くなります。
Clock options (いずれか 1 つのオプションのみ選択可能)			
Normal Mode	有効/無効	有効	ラジオボタンを ON にした時に有効です。
SSCG Modulation	有効/無効	無効	ラジオボタンを ON にした時に有効です。

.....続き			
クロック入力	オプション	既定値	詳細
Jitter Cleaning Mode	有効/無効	無効	ラジオボタンを ON にした時に有効です。 有効にした場合、以下のオプションが利用できます。 10G SyncE 32Bit 10G SyncE 64Bit 1G SyncE 10Bit CPRI Rate 1 CPRI Rate 2 CPRI Rate 3 CPRI Rate 4 CPRI Rate 5 CPRI Rate 6 CPRI Rate 8 – 64-bit SDI 3G SDI HD SDI SD Custom Protocol Settings
Features			
Enable Dynamic Reconfiguration Interface (DRI)	有効/無効	無効	動的再コンフィグレーション インターフェイス(DRI)を使うために TXPLL コンポーネントにピンを追加します。DRIの詳細は、 『PolarFire FPGA and PolarFire SoC FPGA Device Power-Up and Resets User Guide』 を参照してください。

Note: ピン機能については[表 20](#)を参照してください。

- クロック入力を定義するため、**[Reference Clock Source]**で参照クロック源(既定値は Dedicated)を選択し、参照クロック周波数を入力します。

図 68. クロック入力

Clock Inputs/Outputs

☐ Configure Tx PLL in Integer Mode

Desired Output Bit Clock

10000.000

Mbps

Reference Clock Frequency

20.0000000

MHz

Reference Clock Source

Dedicated

Bandwidth

Low

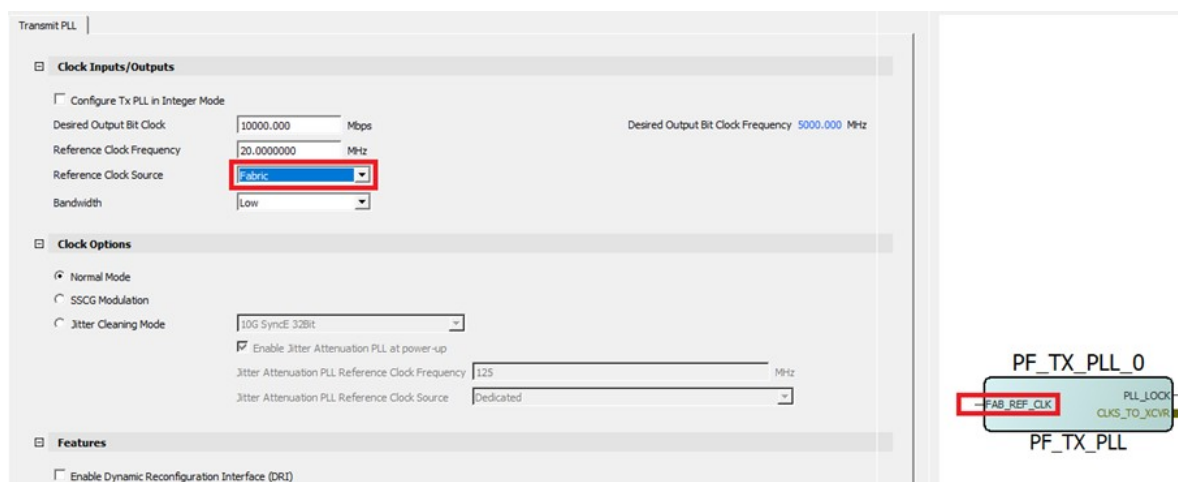
Desired Output Bit Clock Frequency

5000.000

MHz

- [Desired Output Bit Clock]**に値を入力します。周波数を入力する事はできません。周波数はデータレート (Mbps)と参照クロックに基づいて自動的に計算されます。

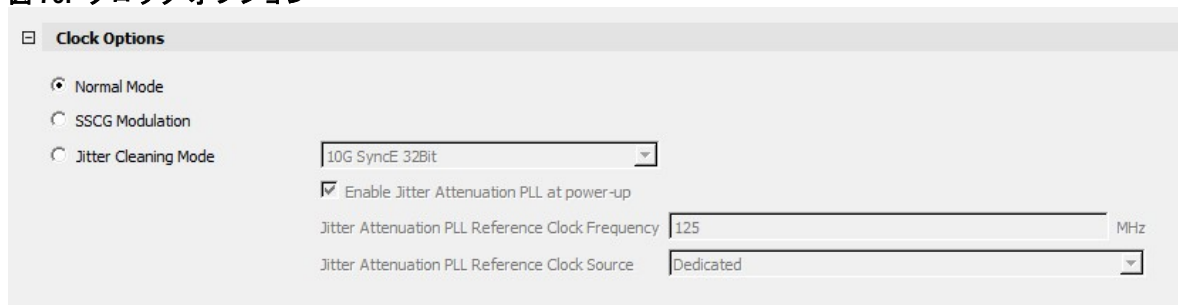
図 69. ファブリック クロック入力



[Normal Mode]は、クロック入力/出力設定に基づいて TX PLL を既定値動作に設定します。

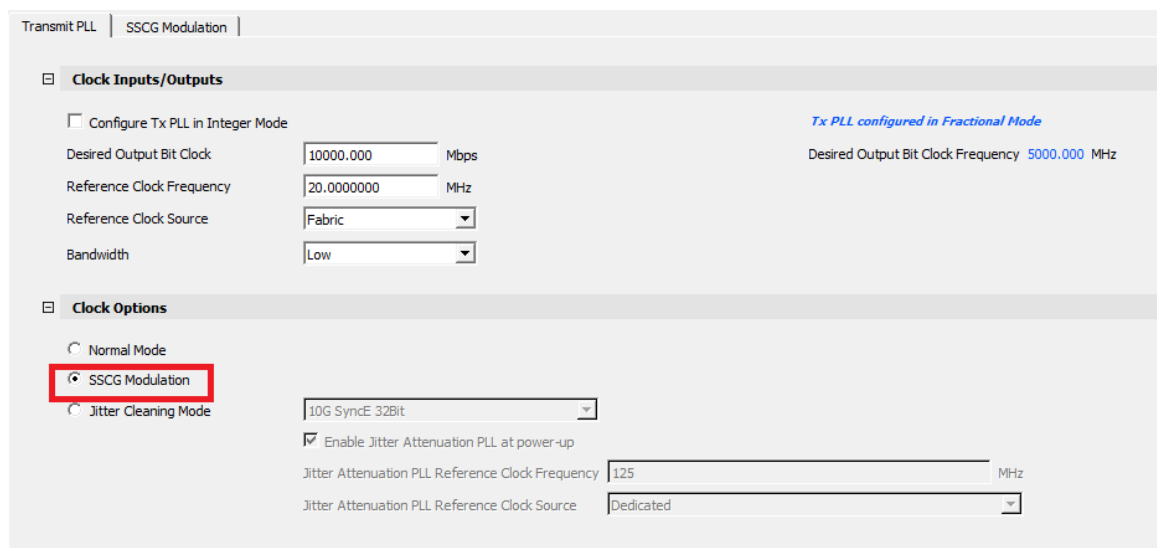
[Jitter Cleaning Mode]は、定義済み規格の減衰係数をカスタマイズします。これにより、再生クロックをプロトコルのジッタ仕様に適合する TX 参照クロックとして使う事ができます。

図 70. クロック オプション



5. [SSCG Modulation]ラジオボタンを ON にします(Libero SoC v12.3 より前のバージョンでは利用できません)。この機能により、送信位相ロックループから SSCG (Spread-Spectrum Clock Generation)を有効にできます。SSCG の仕様は、『[PolarFire FPGA Datasheet](#)』または『[PolarFire SoC Advance Datasheet](#)』を参照してください。

図 71. SSCG の有効化



6. SSCG モードを選択すると、[SSCG Modulation]タブが有効になります。

図 72. [SSCG Modulation]タブ

7. 必要な選択を行った後に[OK]をクリックします。
SSCG の詳細は 1.5.2. 「スペクトラム拡散クロック」を参照してください。

表 31. [SSCG Modulation]タブのオプション

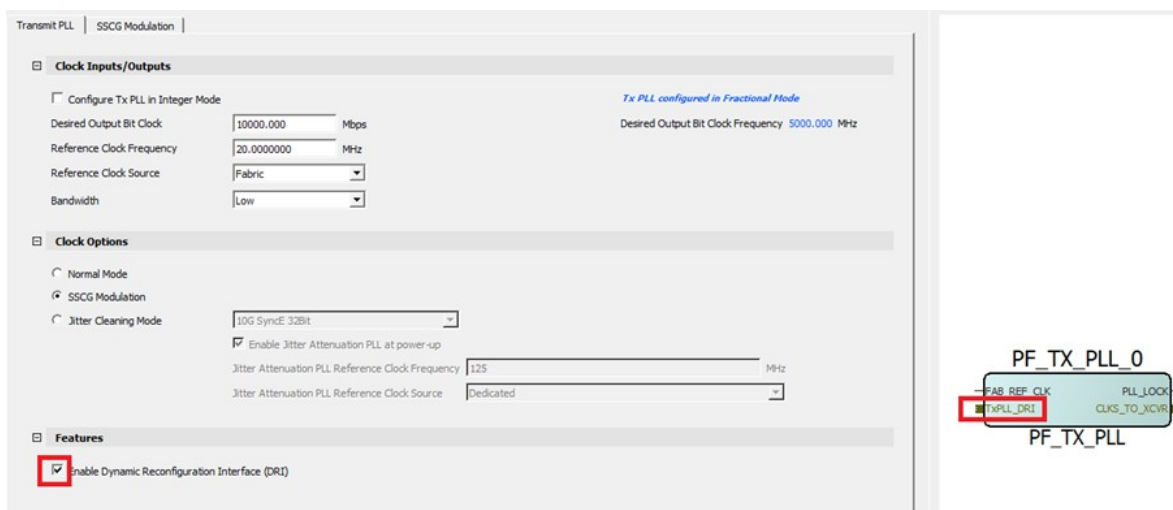
	オプション	既定値	詳細
Modulation Frequency			
Target	ユーザ入力	64 KHz	目標のスペクトル拡散変調周波数を設定します。
Calculated		60.0962 KHz	TXPLL 参照クロック設定に基づく計算値です。
Spread Mode	Down Spread Center Spread	Down Spread	変調スタイルを設定します。
Spread/Divval			
Spread	プルダウンから選択	0	最大 32 通りの設定(0、01、...3.1)が選択できます。 この値は、Down Spread または Center Spread の変調振幅を百分率で設定します。
Wave Table			
Internal (128)		有効	内部の 128 点三角波を選択します。
Pseudo-random Noise Modulation Source		無効	3 通りの定義済み変調パターンから選択します。
Enable Random Noise Filter	有効/無効 ¹	無効	必要に応じてジッタ低減用フィルタを有効にできます。

(1) このチェックボックスは、ユーザが定義済み変調パターンのいずれかを選択した場合に利用可能となります。このオプションにより、ハイパスフィルタ処理された PRBS が PLL に対して変調され、高調波のピーク振幅が低減されます。

ジッタ除去動作の詳細は、1.5.4.2. 「ジッタ減衰器」を参照してください。

8. **[Enable Dynamic Reconfiguration Interface (DRI)]**チェックボックスをチェックすると、送信 PLL を DRI に接続するためのポートが追加されます。DRI の使用法と仕様の詳細は、『[PolarFire FPGA and PolarFire SoC FPGA Device Power-Up and Resets User Guide](#)』を参照してください。

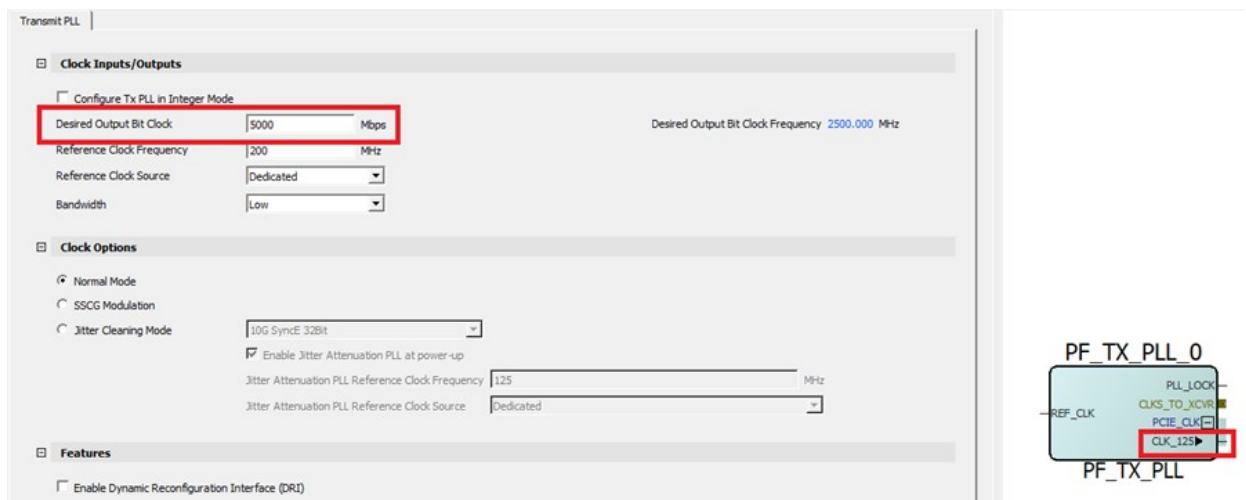
図 73. [Enable Dynamic Reconfiguration Interface (DRI)]チェックボックス



9. 必要な選択を行った後に[OK]をクリックします。

TxPLL は追加のクロック出力をサポートします。TxPLL BIT_CLK が 5 Gbps である場合、この CLK_125 出力ポートが自動的に利用可能となります。このクロックは、トランザクション層または AXI クロックへの入力として PCIE マクロで使われます。CLK_125の詳細は、『[PolarFire FPGA and PolarFire SoC FPGA PCI Express User Guide](#)』を参照してください。

図 74. CLK_125 GUI



Note: PLL_LOCK ポートは、TXPLL ブロック上で出力ポートとして自動的に利用可能となります。PLL_LOCK は PLL がロックされた事を示すインジケータ信号です。この信号を使ってファブリック内のロジックを駆動できます。これはファブリック ルーティング信号です。

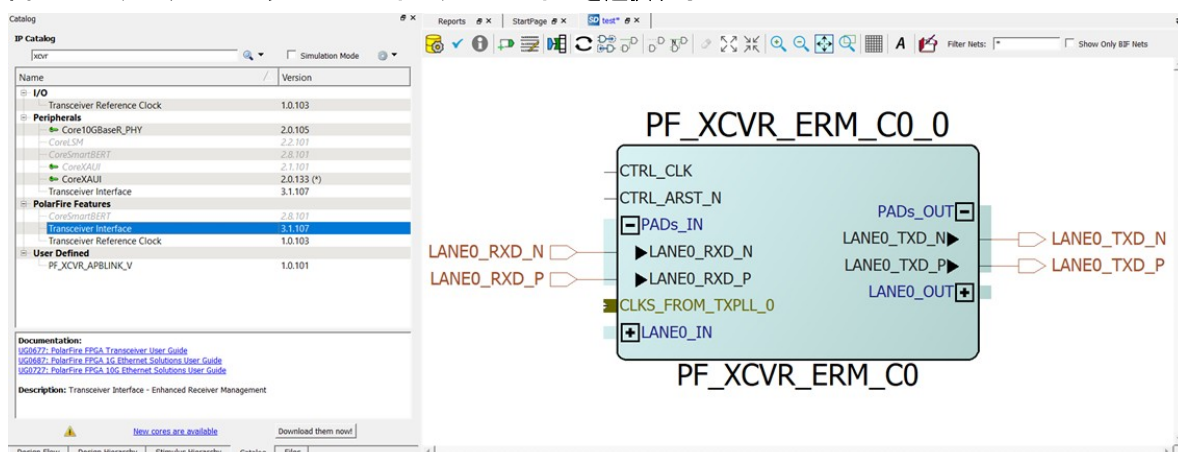
2.1.3 トランシーバインターフェイス コンフィグレータ

トランシーバインターフェイス コンフィグレータは、プロトコル要件に基づいてトランシーバを構成するために使います。このコンフィグレータ内でレーン数、データレート、プロトコル固有の設定を選択できます。

トランシーバインターフェイス コンフィグレータは、以下の手順により開始できます。

1. 「Catalog」ウィンドウ内の[Features]の下で[Transceiver Interface] モジュールにアクセスします(図 75 参照)。

図 75. カタログからトランシーバインターフェイスを選択する



2. カタログ内で各 PF_XCVR ブロックをダブルクリックしてコンフィグレータを起動します。GUI では、XCVR プロパティに関連するオプションを選択できます。

図 76. トランシーバインターフェイス コンフィグレータの GUI

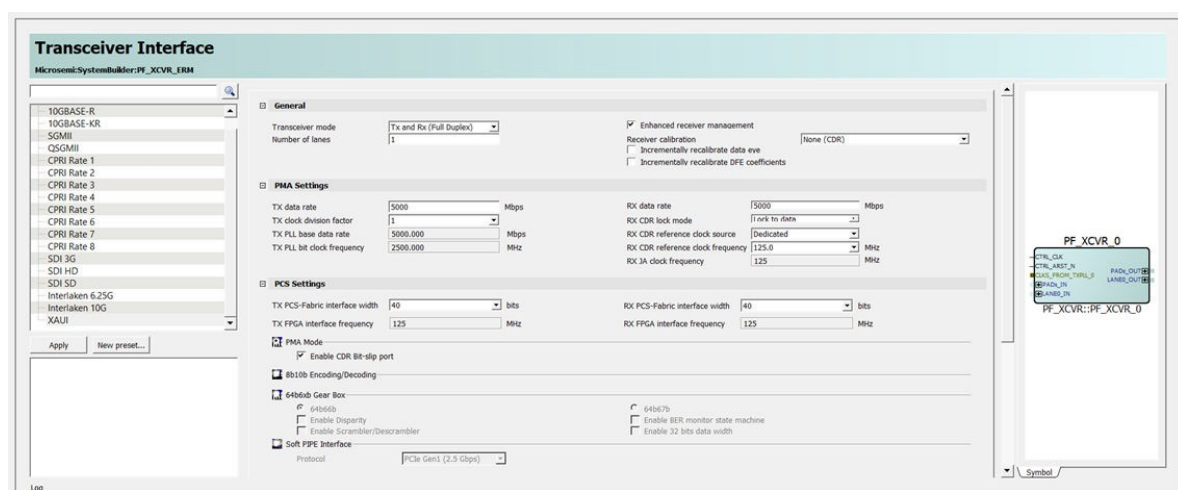


表 32～表 35 に、トランシーバインターフェイス コンフィグレータ内のオプションを示します。

表 32. トランシーバインターフェイスの「General」オプション

General	オプション	既定値	詳細
Number of lanes	1～4	1	
Transceiver mode	Tx and Rx (Full Duplex)	Tx and Rx (Full Duplex)	詳細は 2.2. 「トランシーバモード」を参照してください。
	Tx Only		
	Rx Only		
	Tx and Rx (Independent)		
Enhanced Receiver Management	有効/無効	有効	チェックを入れると、ERM (Enhanced Receiver Management)ソリューションが有効になります(1.2. 「ERM (Enhanced Receiver Management)」参照)。
Receiver Calibration	None (CDR)、On-Demand、On-Demand & First Lock、None (DFE)、Incrementally Recalibrate Data Eye、Incrementally Recalibrate DFE Coefficients	On-Demand & First Lock	1.1.1. 「レシーバ」を参照してください。

表 33. トランシーバインターフェイスの「PMA Settings」オプション

PMA Settings	オプション	既定値	詳細
Tx data rate	250 Mbps～12700 Mbps	5000 Mbps	10312.5 Mbps (STD 最大)
TX clock division factor	1、2、4、8、11	1	—
TXPLL base data rate	計算値を表示します ¹ 。	—	—
TX PLL bit clock frequency	計算値を表示します。	—	—
RX Data rate	250 Mbps～12700 Mbps	5000 Mbps	10312.5 Mbps (STD 最大)
RX CDR lock mode	Lock to Reference、Lock to Data、Burst Mode Receiver ² 、 Lock to Data with 2x gain ³	Lock to Data	—
RX CDR reference clock source	Dedicated、Fabric	Dedicated	—
RX CDR reference clock frequency ⁴	トランシーバ データレートに基づきます。	—	—
RX JA Clock Frequency	設定に基づく計算値を表示します。	—	—

(1) TXPLL base data rate は、XCVR UI で入力されたトランシーバ データレート (レーンレート) と TX クロック分周比に基づいて計算されます。TX_BIT_CLK 周波数は TXPLL base data rate の 1/2 です。TXPLL base data rate は、PF_TX_PLL ブロックの[Desired Output Clock]オプションで入力する必要があります。

PF_TX_PLL は BIT_CLK 出力(PF_XCVR の TX_BIT_CLK_0/1 入力に接続)を生成します。

(2) Burst Mode Receiver (BMR)を選択した場合、LANE_X_CDR_LOCKMODE[1:0]ポートが利用可能となります。

(3) 既定値ゲインでは CDR ロック時間は遅く、ジッタ耐性が低い。2x ゲインでは CDR ロック時間は速く、ジッタは大きい。

(4) この入力周波数は、レシーバ PLL の整数フィードバック分周器をサポートするためにユーザが指定します。ドロップダウンから、レシーバ PLL に対して使われる参照クロックと同じ周波数(MHz)を入力します。計算により、レシーバ データパスのクロック用に使われるフィードバック 分周比が決まります。

表 34. トランシーバインターフェイスの「PCS Settings」オプション

PCS Settings	オプション	既定値	詳細
PCS-fabric interface width	8、10、16、20、32、40、64、80 ¹	40	—
FPGA interface frequency ²	計算値を表示します。	—	—
PMA Mode	Enable CDR Bit-slip port	有効	—
8b10b Encoding/Decoding	なし	—	—
64b6xb Gear Box	64b66b 64b67b	64b66b	64b6xb モードを有効にした場合、「PCS-Fabric interface width」オプションを 32 または 64 ビットに設定する必要があります。
64b66b を選択した場合	Enable disparity	無効	—
	Enable scrambler/de-scrambler	無効	—
	Enable BER monitor state machine	無効	—
	Enable 32 bits data width	無効	—
64b67b を選択した場合	Enable BER monitor state machine	無効	—
	Enable Disparity	有効	—
	Enable Scrambler/de-scrambler	無効	—
	Enable 32 bits data width	無効	—
Soft PIPE Interface	PCIe Gen1 (2.5Gbps) PCIe Gen2 (5.0Gbps)	PCIe Gen1 (2.5 Gbps)	—

(1) PCS 設定に依存します。

(2) $\text{TX_CLK_G/R 周波数} = \text{RX_CLK_G/R 周波数} = \text{FPGA インターフェイス周波数} = \text{データレート} / (\text{PMA-PCS 幅} \times \text{PCS ギャリング})$

表 35. クロックとリセット

Interface Options	オプション	既定値	詳細
Interface clock	Use as PLL reference clock	無効	「Use as PLL reference clock」を選択した場合、PLL REFCLK への接続が可能な以下のポートが利用可能となります。 LANEn_TX_CLK_TO_PLL_REFCLK LANEn_RX_CLK_TO_PLL_REFCLK これにより、より幅が広いファブリック インターフェイスで 2:1 以外のギアリングを要求し、PLL への専用経路を使う回路が可能となります。これは、PLL への専用経路を持たない CLKDIV の代わりに使われます。
TX clock	Global, Regional Regional (Deterministic) Global Shared	Regional	表 18 を参照してください。
RX clock	Global Regional Regional (Deterministic) Global Shared NA	Regional	PCS が Soft PIPE モード(PCIe)に設定されている場合、NA オプションを選択する必要があります。表 18 を参照してください。
Interface Resets	PMA Reset ¹	TX and RX	—
	PCS Reset	Tx Only Rx Only Tx and Rx	RX Only: ファブリックから RX 側のみリセット可能 RX Only: ファブリックから TX 側のみリセット可能 TX and RX: ファブリックから RX と TX の両方がリセット可能
Optional Ports	有効/無効	—	TX_BYPASS ポート/TX_ELEC_IDLE ポート 表 12 または表 14 を参照してください。
			RX_READY_CDR および RX_VAL_CDR ポート 1.2. 「ERM (Enhanced Receiver Management)」を参照してください。
			JA_CLK ポート 1.5.4.2. 「ジッタ減衰器」を参照してください。
Dynamic Reconfiguration	Enable Dynamic Reconfiguration Interface (DRI)	無効	—

(1) 16 クロックサイクル以上のパルス幅が必要です。

トランシーバ インターフェイス コンフィグレータでは、プリセット設定を利用する事でトランシーバを容易に設定できます。工場設定のプリセットは、Libero リリース内で利用できます。さらに、カスタマイズしたプリセットを保存する事も可能です。詳細は、2.2. 「トランシーバ モード」を参照してください。

- 「General Settings」内の[Number of lanes]で 1~4 のレーン数を選択します。
- [Transceiver data rate] を入力し、[TX clock division factors] から 1 つを選択します。[TX PLL base data rate] の値は GUI 内で自動的に計算されます。この値は、PF_TX_PLL コンフィグレータ内の[Desired output clock]オプションで入力する必要があります。LANE#_TX_PLL_REF_CLK_#、LANE#_TX_BIT_CLK_0、LANE#_TX_PLL_LOCK_#は CLKS_FROM_TXPLL_# BIF (バス インターフェイス)に含まれます。この接続は、TXPLL とトランシーバ インターフェイスの間で必要です。
- アプリケーションに基づいて、ドロップダウン リストから [CDR reference clock mode]と[CDR reference clock frequency]を選択します。
Note: [CDR reference clock frequency]ドロップダウン リストでは、データレートに応じた有効な周波数オプションが提示されます。
- 回路要件に基づいて[CDR reference clock source]を選択します(**Dedicated** は専用 CDR_REF_CLK ポートを追加しますが、**Fabric** はファブリック リソースに接続可能なポートしか含みません)。専用 CDR_REF_CLK_0/1 ポートは、PF_XCVR_REF_CLK ブロックの REF_CLK または REF_CLK_0/1 出力に接続する必要があります。
- GUI から [PCS-Fabric interface width]を選択します。この選択により、[FPGA interface frequency]が計算されます。この周波数はトランシーバ データレート、PCS-Fabric インターフェイス幅、PCS 設定/モードに基づいて計算されます。
- GUI のラジオボタンで PCS モードを選択します。PCS モードの詳細は、1.3. 「トランシーバ PCS インターフェイス モード」を参照してください。
- [Interface Options] GUI でインターフェイス クロック オプションを選択します。1.4. 「PCS/FPGA ファブリック インターフェイス」を参照してください。
- PMA Only モード(CDR bit-slip)を使う場合、[Enable CDR Bit-slip port]にチェックを入れて LANE#_RX_SLIP ピンを追加します。

図 77. PMA Mode - Enable CDR Bit-Slip Port

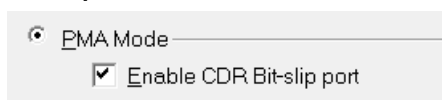
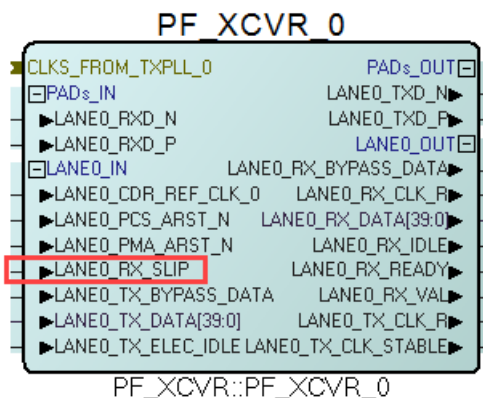
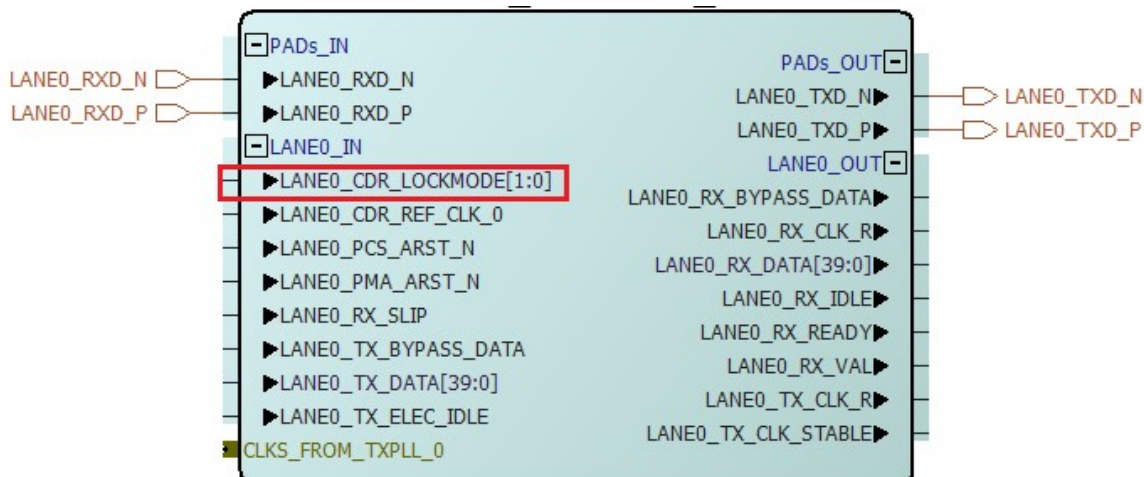


図 78. CDR ビットスリップ ポートを有効にした場合の XCVR コンポーネント



Note: RX_SLIP の詳細は [1.1.1.7. 「ビットスリップ」](#) を参照してください。

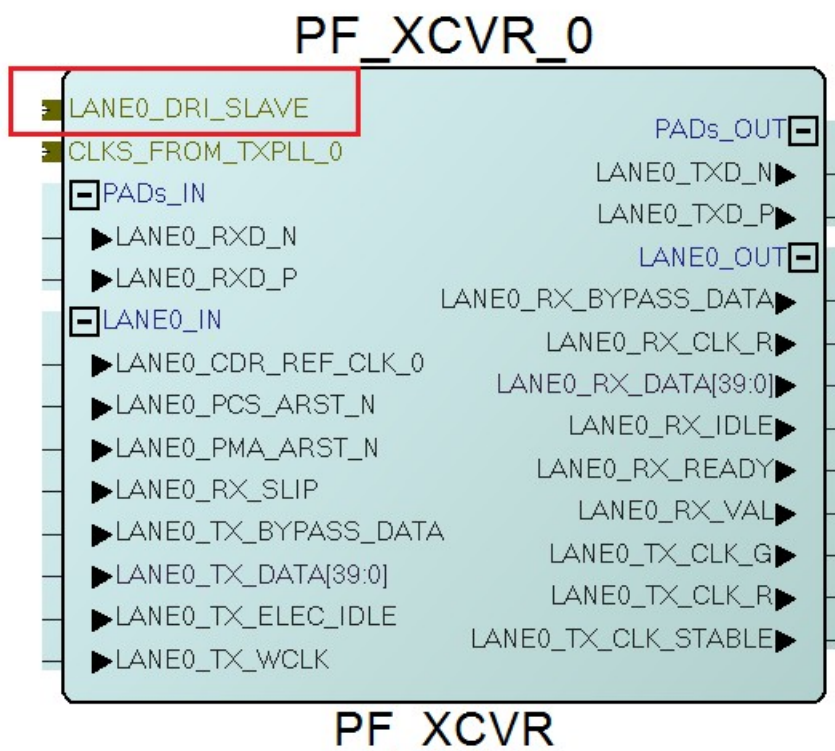
図 79. BMR ポートを有効にした場合の XCVR コンポーネント



Note: CDR_LOCKMODE ピンについては、[1.1.1.6.1. 「CDR オプション」](#) 内のバーストモード レシーバの説明を参照してください。

11. **[Enable Dynamic Reconfiguration]**を選択して LANE#_DRI_SLAVE ピンを追加します。使用法は [5.3. 「DRI \(Dynamic Reconfiguration Interface\)」](#) を参照してください。

図 80. DRI ポートを有効にした場合の XCVR コンポーネント



12. トランシーバ インターフェイス コンフィグレータ内で必要な全てのオプションを選択した後に、**[OK]**をクリックします。

トランシーバ インターフェイスの設定が完了すると、Liberio ソフトウェアによって PF_XCVR マクロが生成されます。このマクロは、設定に基づいたポートを含みます。図 81～図 85 に PCS マクロの例を示します。PF_XCVR マクロは、アプリケーションの接続をカスタマイズするために、ユーザ回路内へインスタンス化されます。

図 81. ERM を備えたトランシーバの SmartDesign コンポーネント例

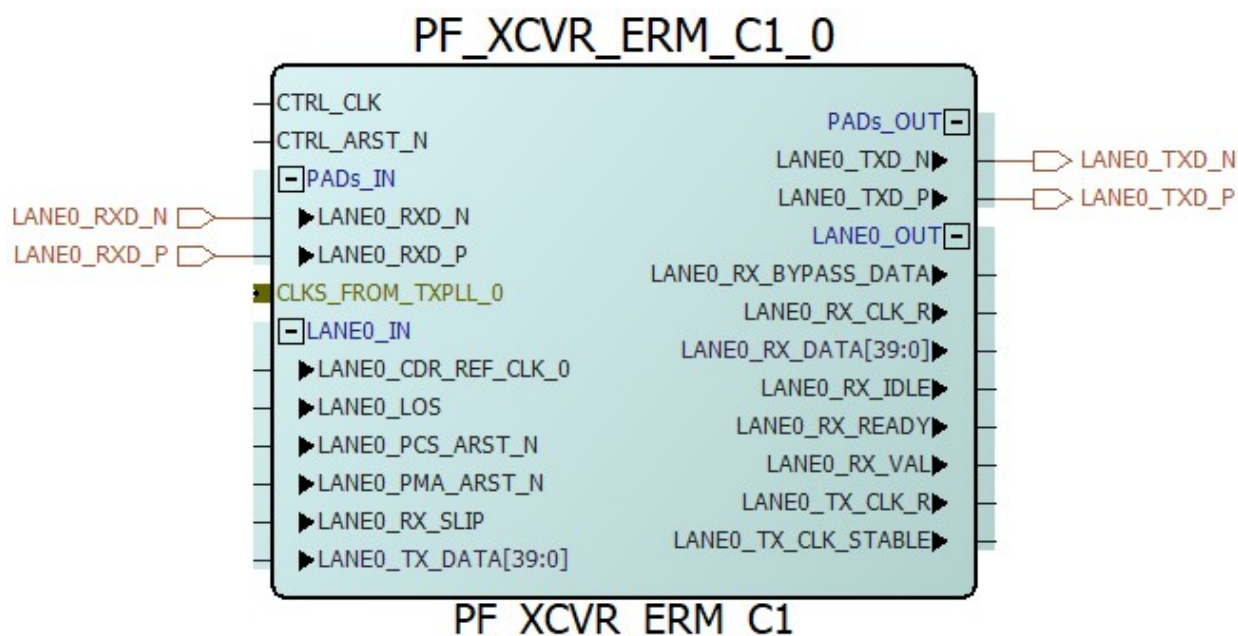


図 82. PMA Only PCS の SmartDesign コンポーネント例

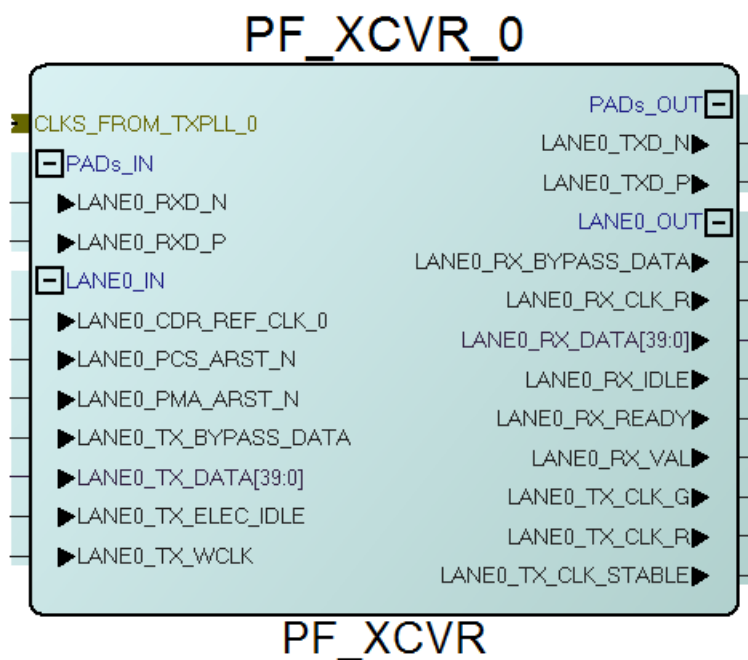


図 83. 8b10b PCS の SmartDesign コンポーネント例

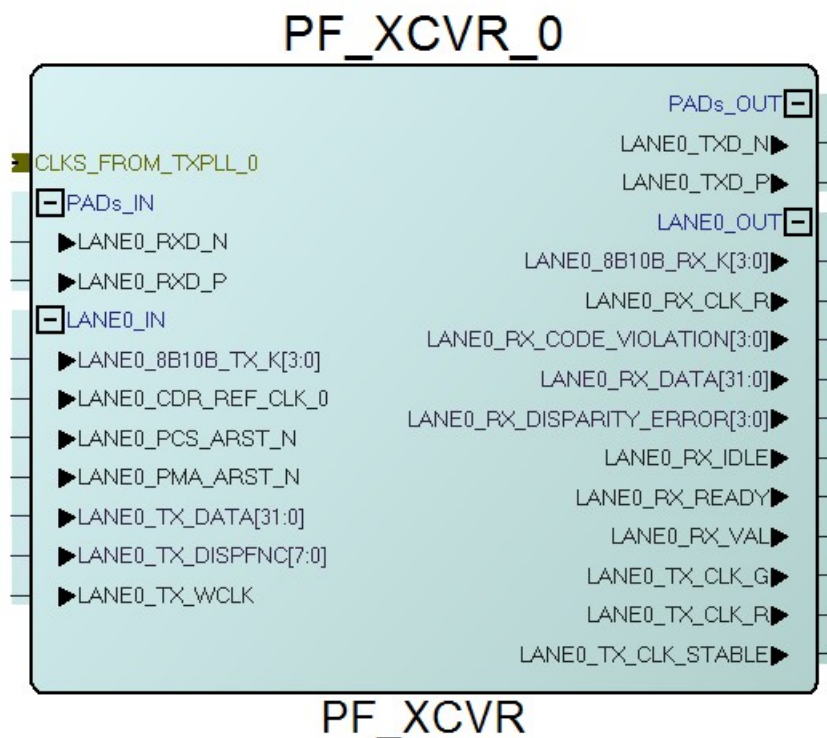


図 84. 64b66b PCS の SmartDesign コンポーネント例

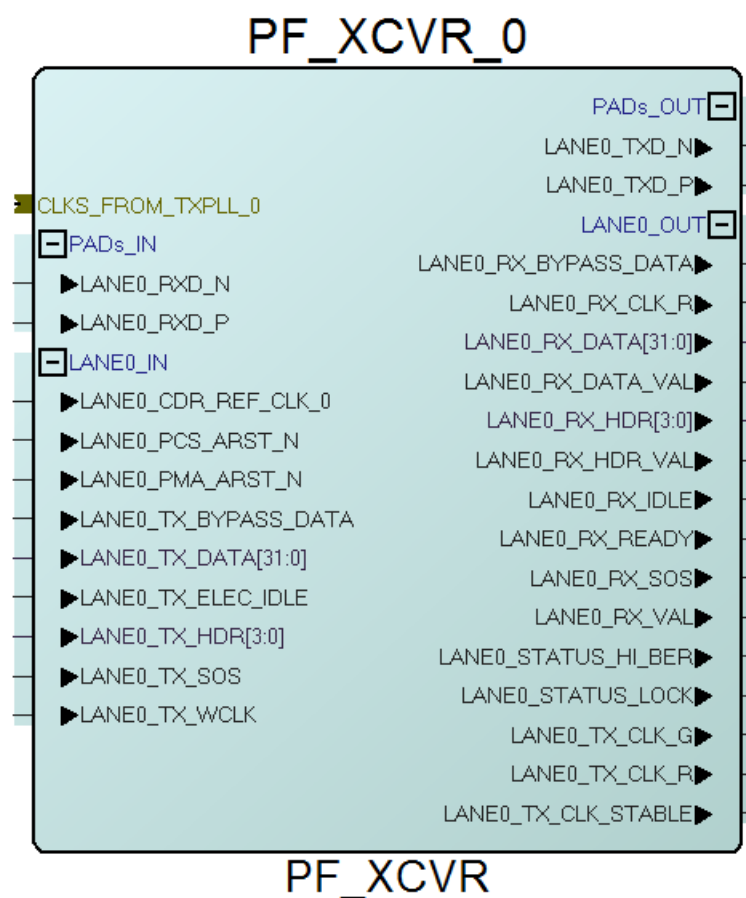
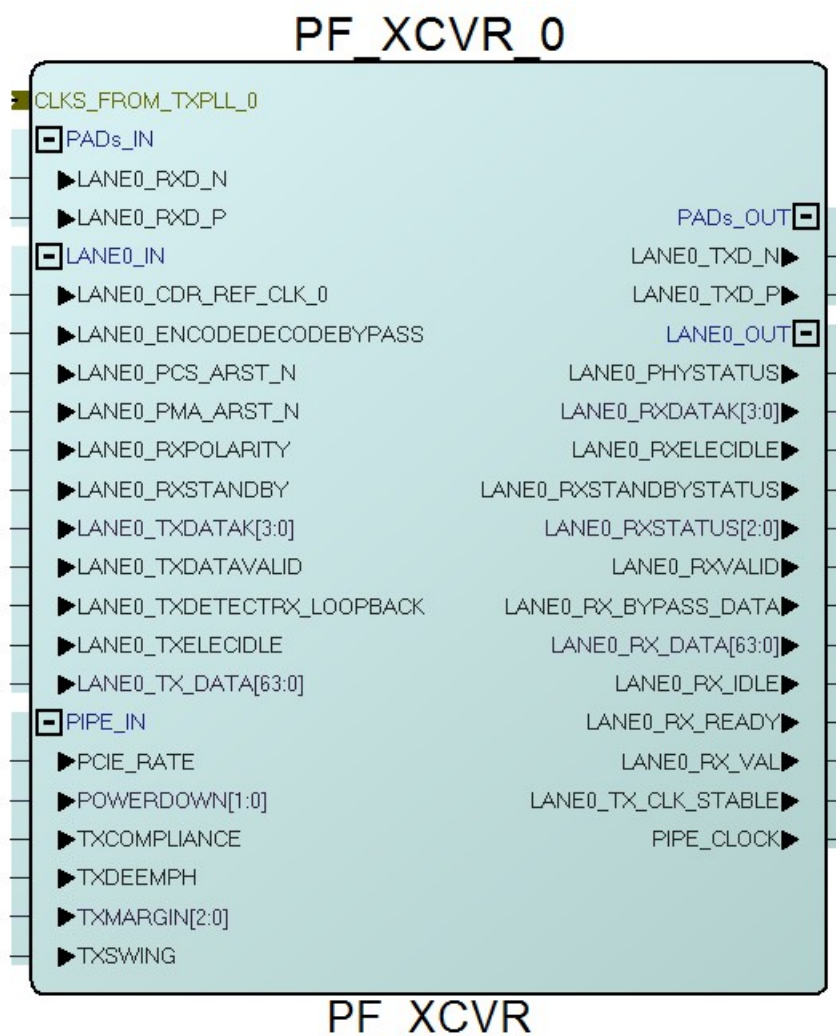


図 85. Soft PIPE PCS の SmartDesign コンポーネント例



PF_XCVR、PF_TX_PLL、PF_XCVR_REF_CLK コアを構成した後に、SmartDesign キャンバス内でトランシーバ サブシステムを互いに接続する必要があります。通常、PF_XCVR_REF_CLK の REF_CLK 出力と FAB_REF_CLK 出力の片方または両方を PF_XCVR の対応する入力と PF_TX_PL の REF_CLK 入力に接続します。LANE#_TX_PLL_REF_CLK_#、LANE#_TX_BIT_CLK_0、LANE#_TX_PLL_LOCK_#は CLKS_FROM_TXPLL_# BIF (バス インターフェイス)に含まれます。この接続は、TXPLL とトランシーバ インターフェイスの間で必要です。その後に SmartDesign コンポーネントを生成する必要があります。

図 86. トランシーバサブシステムの完成図

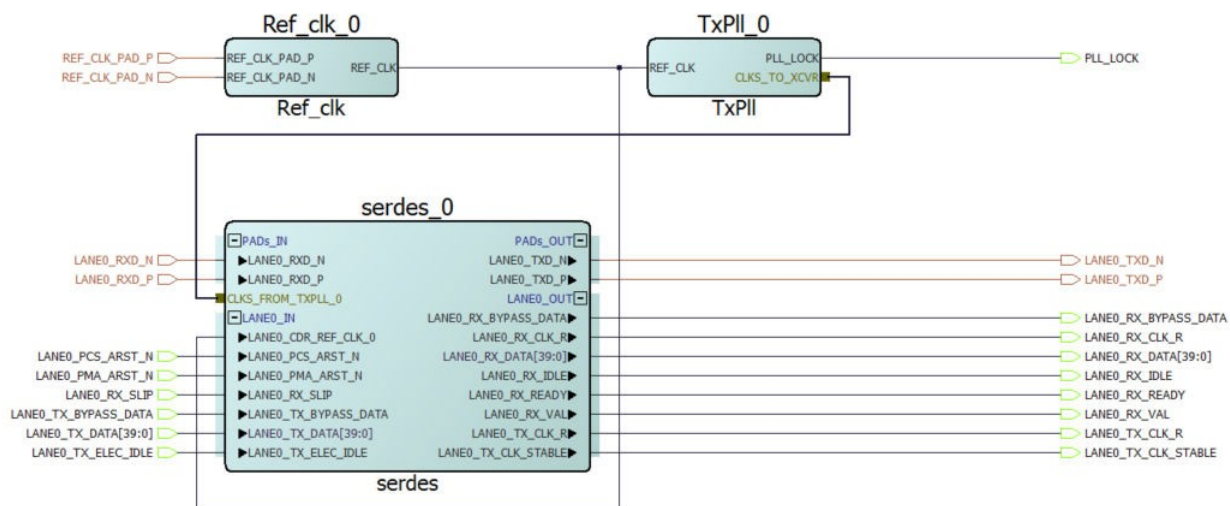
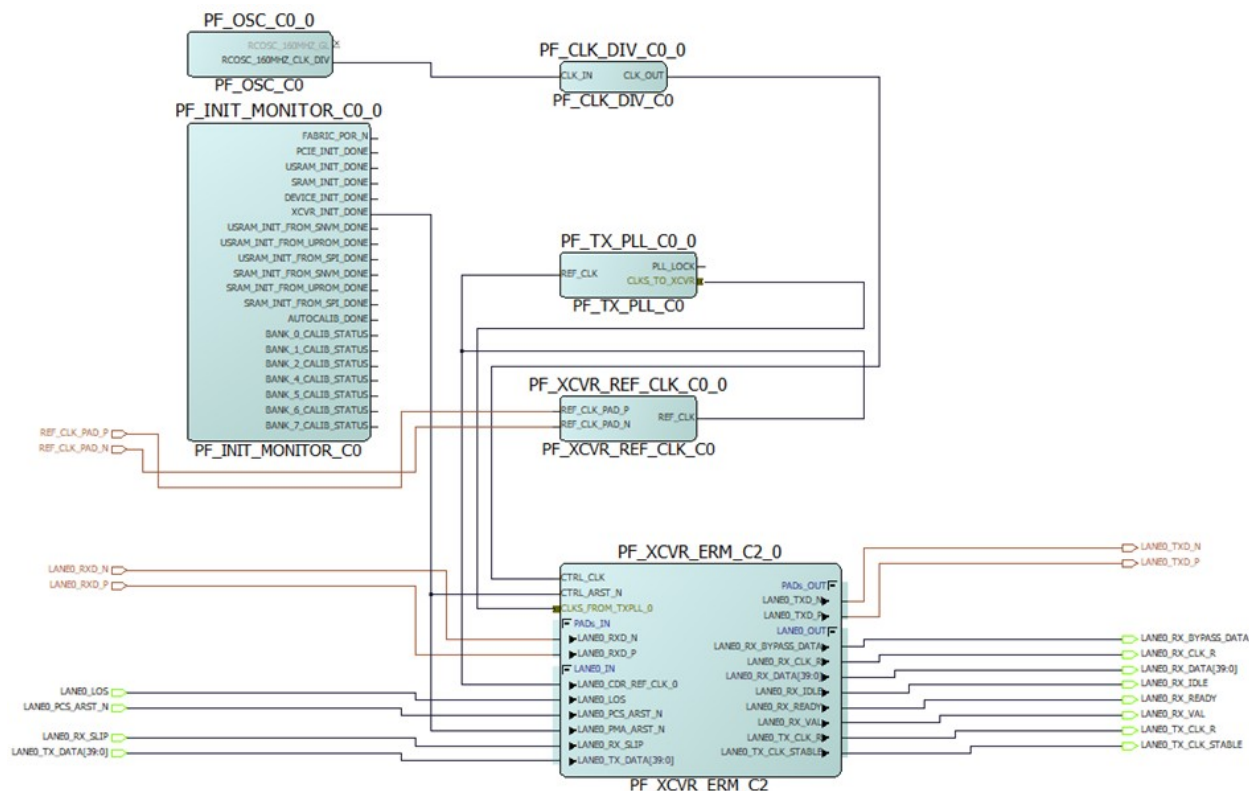


図 87. ERM を備えたトランシーバサブシステムの完成図



1.3. Transceiver Configurator で生成される全てのピンの説明は、「[トランシーバ PCS インターフェイス モード](#)」内のポーター一覧を参照してください。

2.2 トランシーバモード

トランシーバ アーキテクチャにより、PMA および PCS の送信部と受信部を各種の方法で使う事ができます。TXPLL は Transceiver Configurator によってインスタンス化されず、ユーザによってインスタンス化する必要があります。Transceiver Configurator は、Tx と Rx を各種方法で使うためのオプションをユーザに提供します。これにより Tx と Rx を一緒に使うか、別々に使うか、どちらかだけを使う事ができます。

トランシーバ ブロックを生成するために、ユーザはトランシーバモードに対して回路に固有の要件を入力する必要があります。トランシーバ モードは、PMA_ARSTN および PCS_ARSTN ピンの動作と、これらのピンがトランシーバ機能をリセットする方法も定義します。

図 88. トランシーバ GUI に表示されるトランシーバ モード

2.2.1 全二重モード

Tx and Rx (Full Duplex) は、最も一般的に用いられるトランシーバの使用法であり、全二重モードと呼ばれます。このモードは、PMA の Rx 部と Tx 部がリソース (クロックおよびリセット機能等) を共有するモードとして定義されます。全二重モードは Tx と Rx で共通のクロックを使うため、ベースレートと PCS 幅は Tx と Rx で同じです。PMA_ARSTN と PCS_ARSTN は、それぞれ PMA と PCS の Tx と Rx の両方をリセットします。

全二重モードは、Tx と Rx で同じデータレートを使って XCVR を設定します。Libero SoC DRC は、TX と RX が全二重モードである場合にユーザが TX と RX で異なるレート/幅を選択する事を禁止します。全二重モードでは、ユーザは Rx と Tx の要件を一致させる必要があります。

2.2.2 半二重モード

もう 1 つのトランシーバ モードは半二重モードです。このモードでは、Rx 部と Tx 部が独立して動作可能です。半二重モードでは 1 つのレーン内の Rx と Tx の動作が分離されるため、XCVR クワッド内のレーンの使用法を最適化できます。トランシーバの半二重モード向けには以下のオプションが利用できます。

- Tx Only
- Rx Only
- Tx and Rx (Independent)

Tx Only または Rx Only オプションを選択した場合、1 つの物理的 XCVR レーンが完全に Tx 専用または Rx 専用に使われます (Tx Only で Rx は使えず、Rx Only で Tx は使えません)。Rx Only を選択した場合、GUI 内の Tx オプションは N/A として示されます。同様に、Tx Only を選択した場合、GUI 内の Rx オプションは N/A として示されます。しかし、どちらの場合も、未使用の Tx または Rx のパラメータは、生成されるコア内で有効な値に設定されます (コアからの既定値パラメータ値に基づいて設定されます)。PMA_ARSTN は PMA の Tx と Rx の両方をリセットしますが、PCS_ARSTN は TX のみまたは RX のみをリセットします。

同じ物理的 XCVR レーン内で 2 つの独立した半二重チャンネルを実装する場合、**[Transceiver mode]** ドロップダウンで **Tx and Rx (Independent)** オプションを選択します。このオプションを使うと、RX チャンネルと TX チャンネルに対して異なるデータレートを指定できます。この場合、追加の入力ピン (LANE#_CLK_REF) が利用可能となります。ピン定義は、関連するポート一覧を参照してください。加えて、PCS-ファブリックインターフェイス幅も RX と TX で異なる値に設定できます。しかし、半二重アプリケーションを 1 つの XCVR レーンにマージする場合、両方のアプリケーションで同じ PCS の基本モードを使う必要があります。その理由は、4 つの基本モード (PIPE、64B6xB、8B10B、NATIVE/PMA) の間でデータパスを操作するシステムレジスタ制御が TX と RX で共有されるからです。

Tx Only および Rx Only トランシーバ モード中にシリアルライザまたはデシリアルライザの電源を遮断するため、Libero SoC はトランシーバ内の適切なレジスタを設定します。

表 36. サポートされる PCS モード

トランシーバ モード	サポートされる PCS モード
Tx and Rx (Full Duplex)	PMA、8b10b、64b6xb、PIPE
Tx Only	PMA、8b10b

.....続き	
トランシーバモード	サポートされる PCS モード
Rx Only	PMA、8b10b
Tx and Rx (Independent)	PMA

Tx Only、Rx Only、Tx and Rx (Independent)モードは、PMA モードでのみサポートされます。8b10b モードでは、Tx と Rx の両方で同じファブリック インターフェイス幅を使う必要があります。Tx and Rx (Independent)モードの場合、同じ PCS モードが Tx と Rx の両方に適用されます(Tx と Rx で異なる PCS モードは使えません)。例えば Rx が 64b66b モードである場合、Tx を 8b10b モードにできません。

TXPLL はフラクショナル-N 周波数シンセサイザをサポート可能ですが、CDR PLL は整数型シンセサイザのみサポートします。通常、全二重レーンには TXPLL と CDR PLL の両方に対して同じ REFCLK が使われます。必要な周波数が問題なく得られるのであれば、TXPLL 向けに整数型シンセサイザを使う事ができます。

TXPLL にフラクショナル N 型シンセサイザを使ってビットクロックを合成する場合でも、CDR PLL は整数型シンセサイザしか使えません。このため、CDR の PPM トレランスが TXPLL レートを補償するのに十分であるかどうかをユーザが判断する必要があります。

2.3 Libero が生成するファイル

Libero SoC ソフトウェアは、トランシーバの回路パラメータが入力された後に、必要なファイルを自動的に生成します。これには以下のファイルが含まれます。

- Netlist ファイル: RTL netlist は、プロトコルに固有の機能に基づいて、トランシーバ マクロおよび関連する RTL ラッパーをインスタンス化します。
- <design name>.sdc ファイル: TXPLL および XCVR コンフィグレータを使った場合に生成されるタイミング制約ファイルです。
- <module name>.v、_syn_comps.v、_pre_comps.v ファイル
 - 全てのシンセサイザおよびシミュレーション ツール向けの HDL ソースファイル
 - Synopsys SynplifyPro シンセサイザ ツール向けの HDL ソースファイル
 - Mentor Precision シンセサイザ ツール向けの HDL ソースファイル

Note: 完全なファイルリストとそれらのパスは manifest.txt ファイル(<Project Directory>/component/work/<Component name>/*_manifest.txt) 内で維持されます。

Note: XCVR および PCIESS 初期化データは TXPLL、XCVR、PCIE ブロックの生成された netlist 内で提供されます。これは、ユーザ回路のカスタマイズ専用ブロックを設定するために使われます。2.6. 「トランシーバの初期化」を参照してください。

2.4 回路制約

回路制約とは、回路内の要件または特性の事です。これらの制約に従う事で、トランシーバ回路の性能目標、組み込みブロックの配置要件、ピン割り当て要件を確実に満たす事ができます。

ソフトウェアは、トランシーバに対するタイミング制約、物理的制約、netlist 最適化制約をサポートします。回路制約は、Microsemi 社のインタラクティブ ツールを使うか、design session に制約ファイルを直接インポートする事により設定できます。

2.4.1 タイミング制約

タイミング制約は、トランシーバ インターフェイスの性能目標を達成するために必要です。タイミング制約は SDC 内で直接指定するか、タイミング制約エディタを使って指定します。以下で説明するタイミング制約を回路に適用する必要があります。Libero は、トランシーバクロックに関連するタイミング制約を自動的に生成します。

全ての XCVR インターフェイス向けにコンポーネント レベルの SDC ファイルが生成され、Libero デザイン プロジェクト全体向けに生成される SDC ファイルに取り込まれます。以下にそれらの例を示します。

CDR 参照クロック源

Dedicated

```
create_clock -period <T> [get_pins {LANE<n>/REF_CLK_P}]
```

Fabric

```
create_clock -period <T> [get_pins {LANE0<n>RX_REF_CLK}]
```

インターフェイス クロック

Global

```
create_clock -period <T> [get_pins {LANE<n>/TX_CLK_G}]
create_clock -period <T> [get_pins {LANE<n>/RX_CLK_G}]
```

Regional または Regional (Deterministic)

```
create_clock -period <T> [get_pins {LANE<n>/TX_CLK_R}]
create_clock -period <T> [get_pins {LANE<n>/RX_CLK_R}]
```

Global-shared

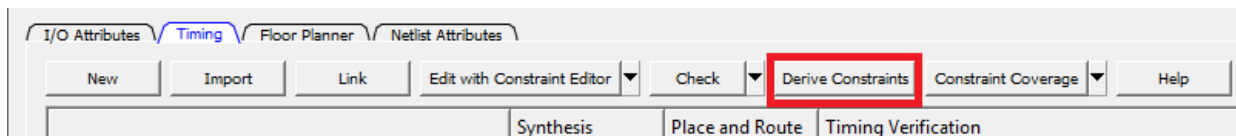
```
create_clock -period <T> [get_pins {LANE<n>/TX_CLK_G}]
create_clock -period <T> [get_pins {LANE<n>/RX_CLK_G}]
create_clock -period <T> [get_pins {LANE<n>/TX_CLK_R}]
create_clock -period <T> [get_pins {LANE<n>/RX_CLK_R}]
```

Libero SoC ソフトウェアの「Constraint Manager」ウィンドウの[Timing]タブ内で[Derive Constraints]をクリックする事により生成した **Derived SDC** ファイルを使う必要があります。

以下に、トランシーバを使う Libero プロジェクトの例を示します。

```
create_clock -name {REF_CLK_PAD_P} -period 6.4 [ get_ports { REF_CLK_PAD_P } ]
create_clock -name {My_Project_0/my_xcvr_0/PF_XCVR_0/LANE0/TX_CLK_R} -period 16 [ get_pins
{ My_Project_0/my_xcvr_0/PF_XCVR_0/LANE0/TX_CLK_R } ]
create_clock -name {My_Project_0/my_xcvr_0/PF_XCVR_0/LANE0/RX_CLK_R} -period 16 [ get_pins
{ My_Project_0/my_xcvr_0/PF_XCVR_0/LANE0/RX_CLK_R } ]
create_clock -name {My_Project_0/my_pll_0_0/pll_xvier_0_0/txpll_isnt_0/DIV_CLK} -period 8
[ get_pins { My_Project_0/my_pll_0_0/my_pll_0_0/txpll
```

図 89. 制約エディタを使った制約ファイルの生成



トランシーバは 3 種類のクロック(TX_CLK、RX_CLK、REFCLK (FAB_REF_CLK))をファブリックに対して供給できます。これらのクロック リソースは、各種のオプション ネットワーク (グローバルまたはリージョナル経路構造等)を備えています。グローバル クロックリソースは、回路に固有の同時スイッチング動作によって生じるクロックジッタと内部デバイスおよび基板レベルの配電ネットワーク(PDN)の応答に対して敏感です。

Libero SoC ソフトウェア(v2022.1 以上)のデザインフローは、自動的にクロック不確実性制約を適用するよう機能が強化されており、静的タイミング解析(STA)中にこれらのクロック ネットワークのジッタに対処します。Libero SoC ルーチンは、ロードされたクロック ネットワークを解析し、データ駆動型計算を使って、標準的なスイッチング クロック ネットワーク上で予測されるクロック不確実性を制約に適用します。トランシーバから供給されるグローバルクロックに加えて、その他の FPGA グローバル クロック リソース(PLL、DLL、内部 RC オシレータ、グローバル ネットワーク自体)もクロックジッタに対して敏感です。FPGA クロック リソースの詳細は、『PolarFire [FPGA and PolarFire SoC FPGA Clocking Resources User Guide](#)』を参照してください。Libero SoC の自動クロック不確実性予測フローによって使われるクロックジッタの仕様値は、各デバイスのデータシートに記載されています。

2.4.2 物理的制約

トランシーバ回路は物理的制約を要求します。これらの制約は、組み込みトランシーバ ブロック(XCVR_REF_CLK、XCVR_TXPLL、XCVR 等) の配置に関するガイドラインを提供します。回路の PDC ファイルに配置に関する制約を追加する事により、RXD および TXD トランシーバ ピンと参照クロック入力ピンの配置を選択します。XCVR レーンの TX および RX I/O、XCVR_REF_CLK I/O、TX_PLL の位置を明示的に指定していない場合、配置は失敗します。Libero I/O Editor は、GUI を使って物理的制約の生成を支援します(2.5. 「Libero を使って物理的制約を追加する」を参照してください)。

ユーザによる物理的制約の場合、インスタンス名はデバイス/パッケージのピン配置(PPAT に記載)に基づいてトップレベルの物理ピンに割り当てられます。ユーザは、表 37 の通りに PDC ファイルに対して制約を提供します。

XCVR レーン向け:

```
set_io -port_name <port name> \-pin_Name <package pin name> \-DIRECTION INPUT
```

XCVR REFCLK 向け:

```
set_io -port_name <refclk port name> \
```

```
-pin_name <package pin>\
```

```
-DIRECTION INPUT \
```

-io_std: 利用可能な I/O 規格については、[『PolarFire SoC FPGA User I/O User Guide』](#) を参照してください。

-ODT VALUE: 利用可能な ODT 値については、[『PolarFire SoC FPGA User I/O User Guide』](#) を参照してください。

表 37. XCVR 向けの物理的制約インスタンス

XCVR インスタンス ¹	対応するトップレベル ピン ²
Q#_LANE0	XCVR_Q#_RX0_P/N XCVR_Q#_TX0_P/N
Q#_LANE1	XCVR_Q#_RX1_P/N XCVR_Q#_TX1_P/N
Q#_LANE2	XCVR_Q#_RX2_P/N XCVR_Q#_TX2_P/N
Q#_LANE3	XCVR_Q#_RX3_P/N XCVR_Q#_TX3_P/N
Q#_TXPLL_SSC	回路のクロック要件に依存 (PolarFire FPGA: 図 53 と 図 55 参照、PolarFire SoC FPGA: 図 54 参照)
Q#_TXPLL0	回路のクロック要件に依存 (PolarFire FPGA: 図 53 と 図 55 参照、PolarFire SoC FPGA: 図 54 参照)
Q#_TXPLL1 ³	回路のクロック要件に依存 (PolarFire FPGA: 図 53 と 図 55 参照、PolarFire SoC FPGA: 図 54 参照)
Q#_REFCLK_A	XCVR_Q#A_REFCLK_P/N
Q#_REFCLK_B	XCVR_Q#B_REFCLK_P/N
Q#_REFCLK_C	XCVR_Q#C_REFCLK_P/N

(1) Q# = トランシーバクワッド ID (Q0、Q1、....)

(2) 各デバイス/パッケージ タイプのトップレベルピンに対するピン割り当ては PPAT (Physical Pin-Assignment Table)を参照してください。PPAT については [PolarFire SoC FPGA 製品ページ](#)を参照してください。

(3) PolarFire FPGA では、TXPLL_SSC と TXPLL0 のみが Quad4 と Quad5 向けに利用可能です。[図 53](#) を参照してください。差動 REFCLK 値は既定値により 100 (-ODT_VALUE 100)に設定されます。ODT 値を無効にするには、差動 REFCLK の値を 0 (PDC ファイル内で-ODT_VALUE 0)に設定します。

2.4.2.1 DFE 係数

DFE 係数のキャリブレーションは静的 DFE では実行されません。[1.1.1.9.3. 「DFE キャリブレーション」](#) を参照してください。

必要なレジスタで静的な値を設定するには、「set_io」 PDC コマンドを拡張して新しい属性を追加する必要があります。追加する必要がある新しい属性を以下の PDC コマンド例に示します。

PDC コマンド例:

```
set_io -port_name LANE0_RXD_N \
-RX_DFE_COEFFICIENT_H1 20 \
-RX_DFE_COEFFICIENT_H2 20 \
-RX_DFE_COEFFICIENT_H3 20 \
-RX_DFE_COEFFICIENT_H4 20 \
-RX_DFE_COEFFICIENT_H5 20 \
-DIRECTION INPUT
```

RX_DFE_COEFFICIENT 属性はオプションです(静的キャリブレーションが選択された場合にのみ適用されます)。これらの属性の値は0~15の整数です。対応するレジスタ フィールドの幅は常に5ビットであり、MSb(最上位ビット)は符号ビット用に予約されています。

2.5 Libero を使って物理的制約を追加する

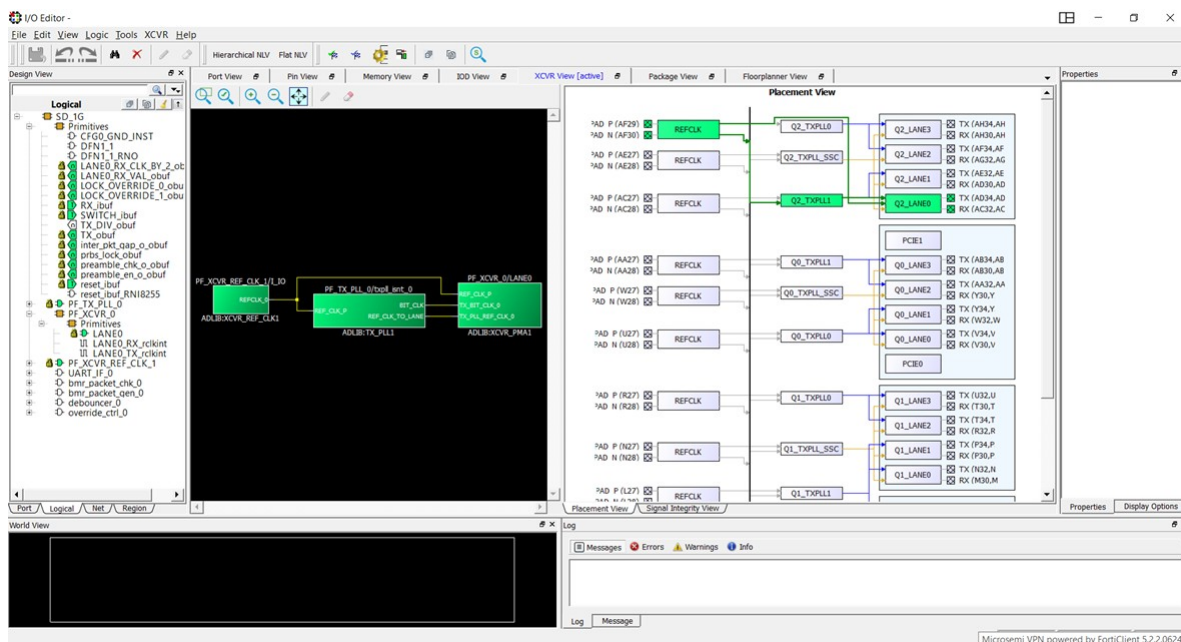
PDC コマンドを使って作成したトランシーバ I/O ピンの割り当てを物理的回路制約として物理的レイアウトツールに渡す事ができます。XCVR LANE RX ピン/TX ピンおよび XCVR_REF_CLK ピン向けの I/O PDC 制約を I/O PDC ファイル内で指定する必要があります。TXPLL 向けのデバイスプラン配置制約をフロアプラン PDC ファイル内で指定する必要があります。PDC コマンドを書く代わりに、I/O Editor が提供する GUI ツールを使って容易に I/O ピンを割り当てる事ができます。Pin Planner 内でピン割り当てを指定して保存すると、PDC ファイルが生成されます。この PDC ファイルを Place and Route ツールに物理的回路制約として渡します。

2.5.1 Pin Planner の起動

Pin Planner を呼び出すには、回路が post-synthesis ステートである事が必要です。

1. **Design Flow > Manage Constraints > Open Manage Constraints View** と操作する事により、「Design Flow」ウィンドウから Constraint Manager を呼び出します。
2. Constraints Manager 内で[I/O Attributes]タブを選択し、**Edit > Edit with I/O Editor** を選択します。すると I/O Editor が開きます。
[Placement View]タブには、トランシーバ レーン(XCVR)、参照クロック(REFCLK)、送信 PLL(TxPLL)を含むトランシーバの物理的接続図が表示されます。

図 90. I/O Editor の GUI



[Placement View] タブでは XCVR、REFCLK、TxPLL を割り当てる事ができます。画面には以下の 2 つの図が表示されます。

[Placement View] タブでは XCVR、REFCLK、TxPLL を割り当てる事ができます。画面には以下の 2 つの図が表示されます。

- REFCLK および TXPLL と、それらが駆動する XCVR の回路図
- REFCLK の物理的ブロック図(ピンから TXPLL および XCVR レーンへの接続を示す)

これらの図は XCVR I/O、TxPLL、REFCLK 入りの間を適切に接続するための設計ガイダンスを提供します。これは、デバイスの接続規則を使ってデバイスの物理的リソースに対する論理マッピングを提供します。

図 91. [Placement View]タブ

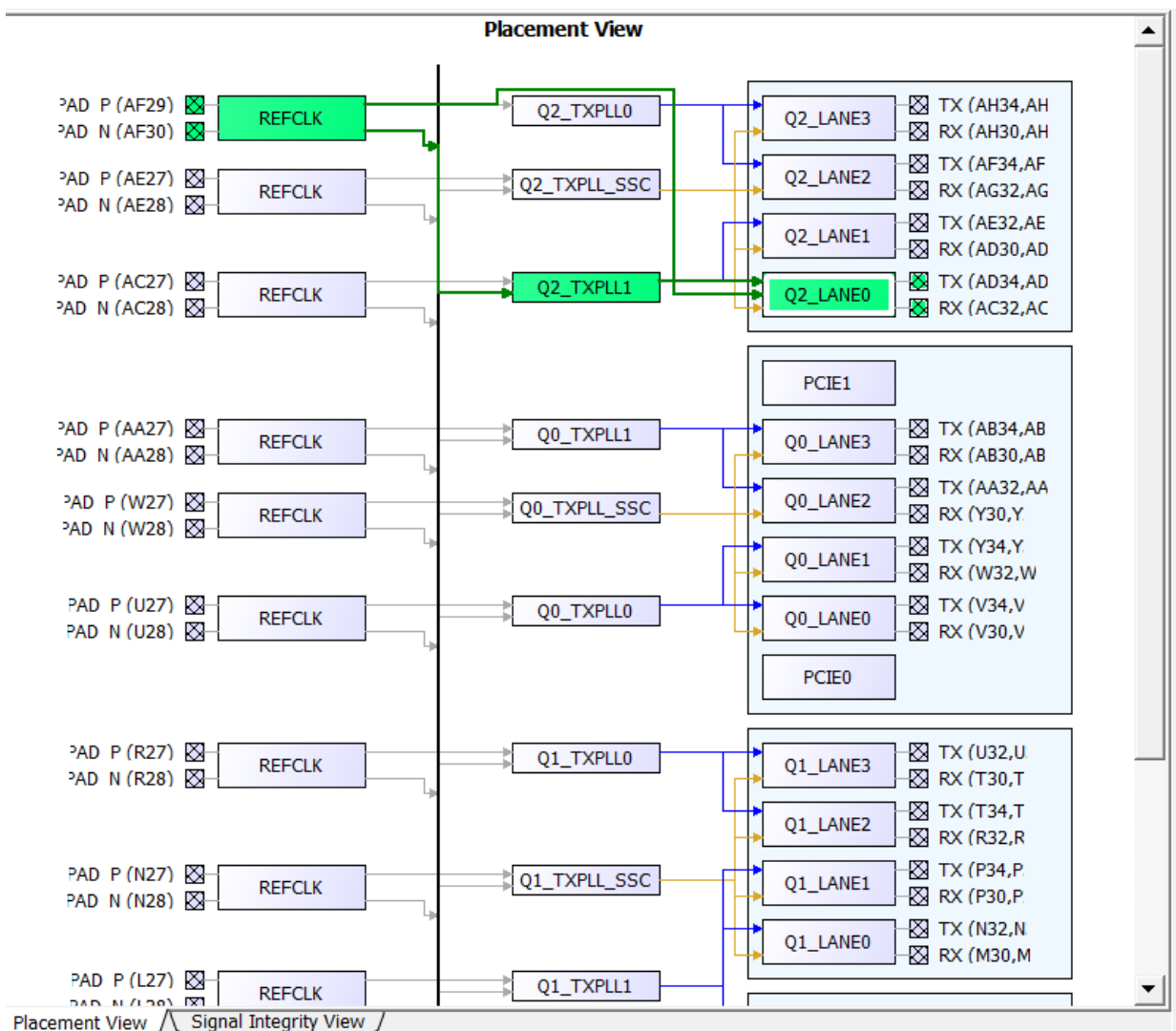


図 92 に、[Signal Integrity View]タブを示します。左側のパネルでレーンを選択すると、Rx および Tx トランシーバポートのシグナルインテグリティパラメータが表示され、それらを変更する事ができます。

図 92. [Signal Integrity View]タブ

トランシーバのシグナル インテグリティ パラメータの詳細な調整方法は、3. 「シグナル インテグリティ コンディショニング」を参照してください。

2.6 トランシーバの初期化

ユーザがコンフィグレータを使ってトランシーバまたは PCIe 機能をカスタマイズした後に、トランシーバは初期化されます。トランシーバ初期化データとは、デバイスの起動時に実行される 3 ステージの初期化に必要なメモリファイルと初期化クライアントの事です。適正動作を得るために、プログラミング(Generate Bitstream and the Export Programming File、Export Programming Job、Export Programming Job Data、Export SmartDebug Job Data、Generate SPI Flash Image、Generate SPI Flash Image、Export SPI Flash Image の実行)の前に、ユーザ回路は初期化データを生成する必要があります。

1. 設定および生成動作は、2つの独立したデザインフロー(**Configure Design Initialization Data and Memories** と **Generate Design Initialization Data**)に分割されます。
2. **Configure Design Initialization Data and Memories** を呼び出すと、初期化用 UI が開きます。
3. **[Design Initialization]**タブ内で**[Apply]**をクリックした場合、初期化データ向けの設定が保存されるだけであり、初期化データは生成されません。

Libero ソフトウェアは、トランシーバを備えた回路向けに必要な初期化データをデザイン プロジェクトに自動的に取り込みます(ユーザによる手動操作は不要です)。トランシーバ回路では、Libero SoC によって直接サポートされないケース向けにカスタム設定ファイルが使われるインスタンスが存在します。これらの稀なケースでは、トランシーバコンポーネントを初期化するために、カスタム設定ファイルを使って回路をコンパイルします。回路内に存在する XCVR 設定データは、電源投入時に不揮発性 sNVM メモリ内の初期化クライアントを使って初期化されます。生成された初期化データは、ステージ 2 クライアントのバイナリ(*.mem)ファイルに保存されます。この初期化データは、回路内に存在する TXPLL、PCIe、XCVR ブロックを初期化します。

プログラミング手順(Generate Bitstream and the Export Programming File、Export Programming Job、Export Programming Job Data、Export SmartDebug Job Data、Export SPI Flash Image)は、**Generate Design Initialization Data** に依存します。これらのプログラミング手順のいずれかの実行時に(既に pass ステート中でなければ)、Libero は自動的に **Generate Design Initialization Data** を実行します。

これにより、最新の初期化データがプログラミング前に確実に提供されます。

2.6.1 トランシーバ初期化データ

Libero SoC でカスタマイズが完了した後、回路の生成中に XCVR、PCIe、TxPLL、CCC は自動的に設定され初期化されます。レジスタのカスタマイズは、Libero SoC 内の **Generate Design Initialization Data** 手順中に生成されるレポートで確認できます。関連するレジスタ内の値を記録した「Configuration Report for SERDES XCVR, PCIe, CC, Transmit PLL」が生成されます。このレポートは *project\designer\impl\Design_Initialization_Data_report.xml* に保存されます。

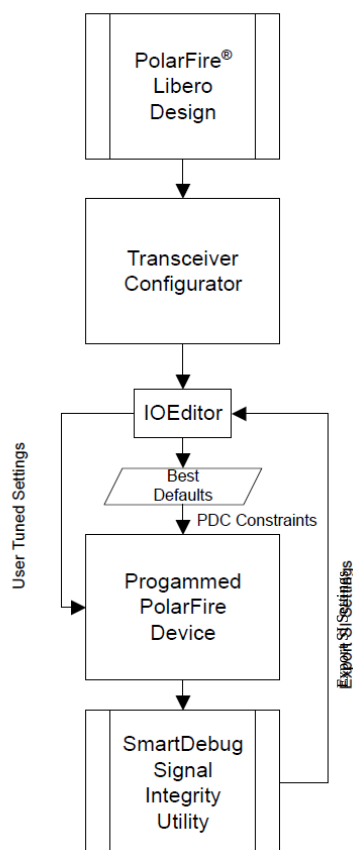
シグナル インテグリティ コンディショニング

トランシーバは PMA のアナログ部向けに多数の調整機能を備えており、それらを使ってシステムに対するシグナル インテグリティを最適化できます。これらの機能には Rx CTLE (Continuous Time Line Equalization)、Rx 終端処理、極性反転、プリカーソルおよびポストカーソル出力エンファシス、出力インピーダンス設定、Tx 振幅調整が含まれます。トランシーバは、回路のカスタマイズおよび生成中にユーザが指定したプロトコルとデータレートに基づき、Libero SoC ソフトウェアに与えられた既定値設定情報を使って、起動時にプログラミングされます。Libero コンフィグレータは、電源投入時または DEVRSTN ピンのトグルによるデバイスリセット時に、トランシーバを初期化するための Rx および Tx 既定値設定を生成します。

その他の組み込みトランシーバ機能としてレシーバ PMA 内の DFE (Decision Feedback Equalization) 機能が含まれます。この機能は、プリント基板の損失によって生じる信号の不完全性を補正し、Rx に対する信号の品質を高めます。Rx 信号経路は、入力信号のアイパターンを監視する機能も備えています。

さらに、デバイスのプログラミング後に、FlashPro プログラミング ケーブルと SmartDebug トランシーバ ソフトウェア ユーティリティを使って、トランシーバ設定を制御する事も可能です。トランシーバはメモリにマッピングされた DRI (Dynamic Reconfiguration Interface)を備えており、SmartDebug から DRI を介してトランシーバ ブロックと通信する事により、トランシーバをリアルタイムに変更および監視できます。この機能はデバッグ機能を提供するため、トランシーバの設定を変更してシステムの性能を最適化できます。SmartDebug によるシグナル インテグリティの最適化が完了した後は、調整した情報を Libero SoC ソフトウェアへエクスポートする事で、将来回路を再生成する際に利用できます。

図 93. シグナル インテグリティ コンディショニング フロー



Libero SoC ソフトウェア フローを使ってトランシーバ回路を生成する事により、システム内のトランシーバの性能を柔軟に最適化できます。Libero SoC ソフトウェアは、Transceiver Configurator に入力された情報に基づき、ユーザのカスタム回路に適した既定値を最初に設定します。初期の回路生成後に、I/O Editor を使って対応するトランシーバ入力/出力を変更できます。回路を配置および配線してビットストリームを生成した後に、SmartDebug 機能を使ってトランシーバのシグナル インテグリティを改善する事ができます。これにより、システム内のデバイスをプログラミングした後もシグナル インテグリティの調整を続ける事ができます。また、調整した結果を、その後の回路生成時に反映する事ができます。

I/O Editor と SmartDebug のシグナル インテグリティ 設定画面の両方に、同じトランスミッタおよびレシーバ向けシグナル インテグリティ 設定が表示されます。これらの工場定義済みの設定を使って XCVR を柔軟に調整することができます。

3.1 トランスミッタ

トランスミッタは、FPGA ファブリックから PCS ファブリック インターフェイス ブロックとギアリング ブロックを介してパラレルデータを取得します。データは PMA-PCS インターフェイスを介してシリアルライザに渡され、送信 PLL から提供されるシリアルクロックを使って高速シリアルデータ ストリームが生成されます。トランスミッタの詳細は [1.1.2. 「トランスミッタ」](#) を参照してください。

3.1.1 送信エンファシスと DC 振幅

送信エンファシスと DC 振幅の設定により、トランスミッタの出力ドライバを調整します。定義済みの送信エンファシス/DC 振幅設定の組み合わせがドロップダウン メニューから選択できます。

ドライバ セグメントを変更する事により、DC 振幅を調整して受信デバイスへ出力する差動振幅を変更します。出力振幅を大きくすると、消費電力と出力戻り損失が増加します。送信エンファシスは、信号ビットの遷移に基づいて出力の振幅を調整します(同じビットが連続する場合に出力振幅を低減します)。送信エンファシスは、伝送距離の長い遠端のレシーバにおけるチャンネル損失を補償し信号アイパターンの開口を拓げます。これは、ディエンファシスまたはドライバタップの重み付け(負の dB 調整)により達成されます。

送信振幅と送信エンファシスは、回路をプリント基板の相互接続損失に適合させるために使います。定義済みの送信エンファシスおよび DC 振幅設定については、[『AC483: PolarFire FPGA Transceiver Signal Integrity Application Note』](#) を参照してください。

3.1.2 インピーダンス(差動)

この機能は、キャリブレートされた内部インピーダンス(85/100/150Ω のいずれか)を差動出力に追加します。この設定によりインピーダンスをシステムに適合させる事で、性能を最適化します。

3.1.3 Tx 挿入損失

[表 38](#) に、チャンネル伝送距離(Short/ Medium/ Long)に応じて推奨する送信振幅およびエンファシス値を示します。ユーザは、プリント基板の Tx チャンネルに適合するように手動で振幅/エンファシス値を調整する必要があります。Rx 向けのこれらの値は、Libero 内で設定できます。

表 38. 振幅とエンファシス

チャンネル タイプ(伝送距離)	振幅(mV)	エンファシス(dB)
Short	400	-3.5
Medium	800	-6
Long	1000	-6

3.1.4 送信コモンモード レベル

送信コモンモード レベルは、フル コモンモード レベルまたは VDDA に対する百分率(50/60/70/80%のいずれか)として、DC 結合(例: SDI または高 CID プロトコル)向けにのみ調整されます。これは DC 結合されたレシーバに対してコモンモードレベルを適切な位置に合わせるために行われます。AC 結合システムの場合、このレベルは既定値のままにする必要があります。

3.2 レシーバ

レシーバは入力バッファを介して受信した高速シリアルデータをデシリアルライズする事で、FPGA ファブリック向けのパラレル データストリームを生成すると共に、受信データからクロック情報を再生します。レシーバの詳細は [1.1.1. 「レシーバ」](#) を参照してください。

3.2.1 Rx 挿入損失

レシーバ挿入損失は、回路をシステムのプリント基板の品質と適合させるために使います。定義済みの設定を使って、レシーバの CDR と DFE を静的に調整します。CDR および DFE パラメータは、目標のデータレートとバックプレーン モデルに基づいて割り当てられます。CDR は PMA レシーバの CTLE 機能のみを使います。DFE は CTLE と DFE 最適化を組み合わせで使います。

トランシーバの設計を開始する際に、Libero 内で Rx 挿入損失値を選択します。Libero は、データレートに基づいて最も一般的な設定に調整します。定義済みの設定では最善の性能が得られない場合、初期のシステム起動後に、Rx CTLE 設定を微調整する事でシステム要件に厳密に適合させる事ができます。

バックプレーンまたはプリント基板の伝送距離(Reach 定義)は、コネクタの数と総挿入損失に基づきます(Tyco Electronics Z-Pack Tinman testing platform によって定義された CEI-11G SR/MR/LR 仕様に従う)。6.4. 「トランシーバ挿入損失」を参照してください。

データレートのレンジとバックプレーン長のモデルについては、『AC483: PolarFire FPGA Transceiver Signal Integrity Application Note』を参照してください。

3.2.2 Rx CTLE

レシーバ側の CTLE は、受信信号の応答特性を平坦化する標準的なイコライザ技術です。CTLE は、信号の低周波成分を減衰させ、高周波成分を増強します。レシーバのイコライザ設定は、カットオフ周波数とデータレートに対する振幅ゲインによって決まります。イコライザ回路は、プリント基板と相互接続部における物理チャンネルでの高周波成分の減衰によって生じる信号歪みを補償するよう調整できます。

例えば、イコライジングが不足しているチャンネルでは十分なアイパターンの開口を得る事はできず、イコライジングが過剰なチャンネルではジッタが増加します。

適正なイコライジングにより、最大限のアイパターン開口が低ノイズ/低ジッタで得られます。CTLE は Rx 挿入損失の既定値を使って設定されます。『AC483: PolarFire FPGA Transceiver Signal Integrity Application Note』に記載されている設定の組み合わせは、データレート「バケット」に基づいて入力信号に対する最適な応答を見つけるために役立ちます。各バケット内に、ゲインとピーキングに基づく最適設定が存在します。DFE 回路を使う場合、CTLE の定義済み値を変更してはいけません。これらの値は、AC483 内の Table 5: Rx CTLE Settings にあるように、Rx 挿入損失の既定値に基づいて DFE 設定との組み合わせで機能するよう最適化されています。

3.2.3 Rx 終端抵抗

Rx バッファ内で、キャリブレートされた入力終端抵抗(差動インピーダンス = 85/100/150 Ω のいずれか)を設定できます。入力インピーダンスは、システム要件に適合するように設定できます。

3.2.4 AC/DC 結合接続

AC/DC 結合接続オプションは、レシーバに対して AC 結合または DC 結合チャンネルを使うために設定します。デバイスは内部カップリング コンデンサ オプションを備えています。AC 結合アプリケーション向けに内部バイパス回路も備えています。

- 外付けコンデンサによる AC 結合 - Vcim は内部で生成されます。
- DC 結合 - リンクパートナーは受信信号を介して Vcim を管理します。

Note: 外付けコンデンサを使った AC 結合では、プリント基板上に AC カップリング コンデンサを配置する必要があります。

AC 結合/DC 結合は、Libero SoC v12.2 以上で利用可能な XCVR シグナル インテグリティ オプションを使って設定します。これらのオプションは[Signal Integrity View]タブ(I/O Editor > XCVR View で開く)内で設定できます。

3.2.5 LOS (Loss-Of-Signal)検出器

LOS (Loss-Of-Signal)検出器(LOW/HIGH 値)は、電圧検出回路の要件を設定します。表 39 に、良好な信号がレシーバに印加されている事を確認するための上限および下限設定点を示します。LOS 検出では、データシートに記載されたピーク検出レンジ(V_{DETLOW})の min.値を下回る場合は「信号ではない」として解釈され、max.値を上回る場合は「信号」として解釈されます。min.値と max.値の間は、不定状態と見なされます。

表 39. LOS レンジ

設定	レンジ
PCIE	プリセット PCIe Low しきい値設定 = 1 V _{DETLOW} の Min. および Max. 値は『PolarFire FPGA Datasheet』または『PolarFire SoC Advance Datasheet』参照
	プリセット PCIe High しきい値設定 = 2 V _{DETLOW} の Min. および Max. 値は『PolarFire FPGA Datasheet』または『PolarFire SoC Advance Datasheet』参照
SATA	プリセット SATA Low しきい値設定 = 2 V _{DETLOW} の Min. および Max. 値は『PolarFire FPGA Datasheet』または『PolarFire SoC Advance Datasheet』参照
	プリセット SATA High しきい値設定 = 3 V _{DETLOW} の Min. および Max. 値は『PolarFire FPGA Datasheet』または『PolarFire SoC Advance Datasheet』参照
0	V _{DETLOW} の Min. および Max. 値は『PolarFire FPGA Datasheet』または『PolarFire SoC Advance Datasheet』参照
1	V _{DETLOW} の Min. および Max. 値は『PolarFire FPGA Datasheet』または『PolarFire SoC Advance Datasheet』参照
2	V _{DETLOW} の Min. および Max. 値は『PolarFire FPGA Datasheet』または『PolarFire SoC Advance Datasheet』参照
3	V _{DETLOW} の Min. および Max. 値は『PolarFire FPGA Datasheet』または『PolarFire SoC Advance Datasheet』参照
4	V _{DETLOW} の Min. および Max. 値は『PolarFire FPGA Datasheet』または『PolarFire SoC Advance Datasheet』参照
5	V _{DETLOW} の Min. および Max. 値は『PolarFire FPGA Datasheet』または『PolarFire SoC Advance Datasheet』参照
6	V _{DETLOW} の Min. および Max. 値は『PolarFire FPGA Datasheet』または『PolarFire SoC Advance Datasheet』参照
7	V _{DETLOW} の Min. および Max. 値は『PolarFire FPGA Datasheet』または『PolarFire SoC Advance Datasheet』参照

ソフトウェアが設定する既定値は LOS-Low = 1/ LOS-High = 3 です。

3.2.6 極性反転

極性反転は、P および N レシーバピンをスワップする事により、プリント基板の配線に柔軟性を提供します。プリント基板上の差動トレースの極性がデバイスピンとは逆になっている場合、差動データの極性を反転する事により対応できます。PIPE モードでは、Rx 極性反転用の入力ポートが存在しますが、その他のモードには存在しません。極性反転は、システムレジスタ(INV_RX_POLARITY_LN#)により制御されます(PMA/8b10b/64b6xb モード向け入力ポートは対象外)。

3.3 I/O Editor によるシグナル インテグリティ パラメータの設定

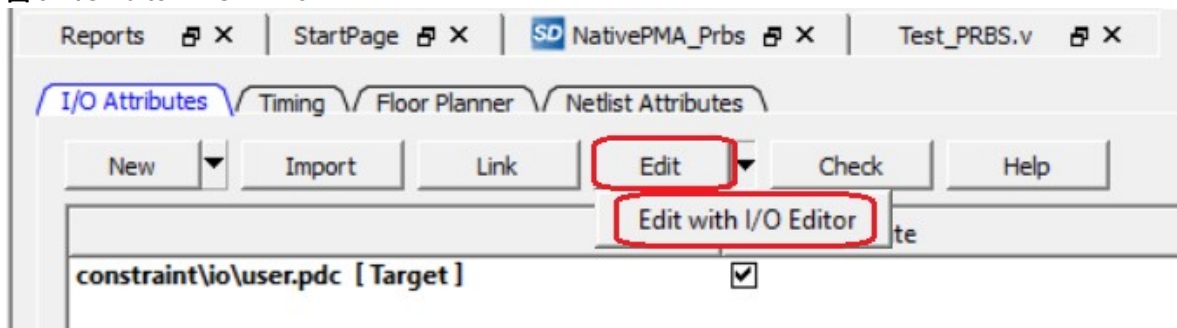
Libero SoC I/O Editor により、既定値のシグナル インテグリティ パラメータ設定を調整できます。これらの設定は PDC フォーマットでポート名、ピン、方向等の情報と一緒に I/O Editor からエクスポートされます。生成された io.pdc ファイルは、SmartDesign 内で使われる全ての XCVR レーン インスタンスの物理的配置およびシグナル インテグリティ オプションを格納します。

3.3.1 I/O Editor - Signal Integrity

I/O Editor から[Signal Integrity]タブにアクセスします。

1. **Constraint Manager** を開き、**Edit > Edit with I/O Editor** と操作します。

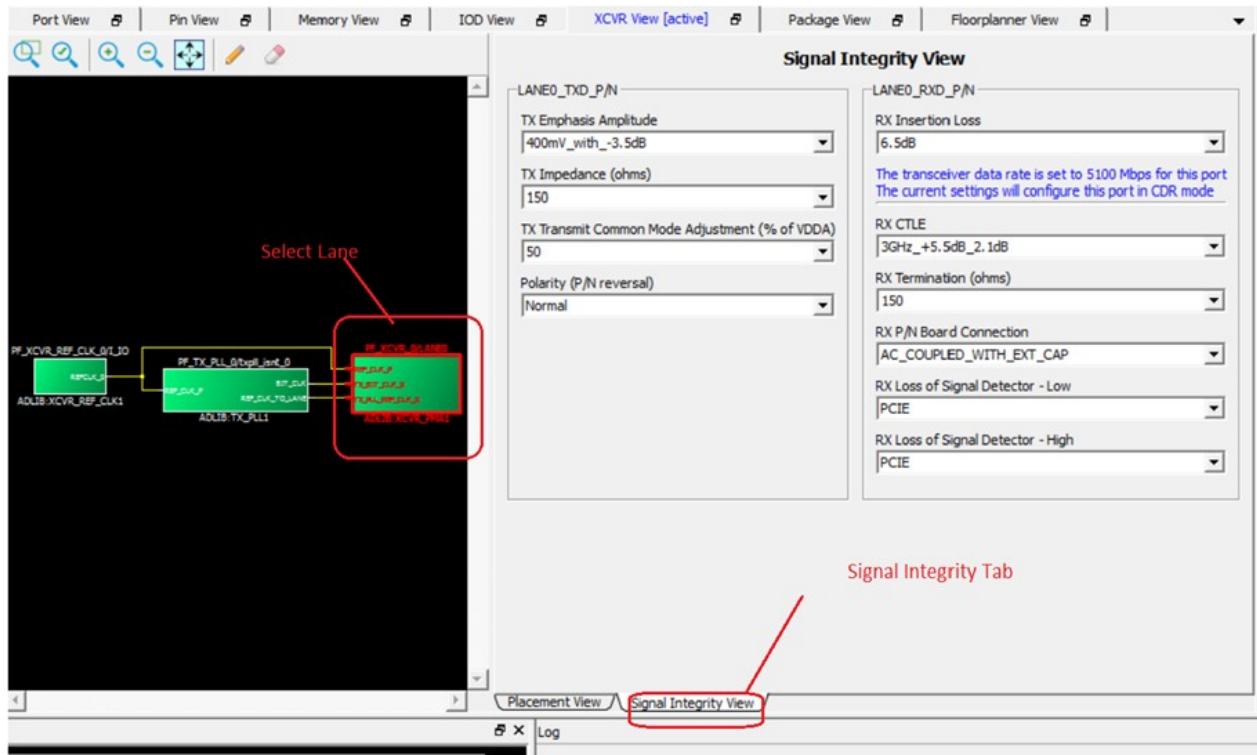
図 94. I/O Editor - XCVR View



2. **[XCVR View [active]]** タブ内で、**[Signal Integrity View]** タブを選択し、編集する XCVR レーンを選択します (図 95 参照)。

Signal Integrity View パネルには、Libero SoC ソフトウェアによって XCVR が生成された時の初期 PDC から
の既定値が表示されます。I/O Editor の[Signal Integrity] タブ内で既定値を変更すると PDC に書き込まれます。

図 95. I/O Editor - Signal Integrity View



3.3.2 XCVR シグナル インテグリティ向けの PDC 制約ファイルコマンド

PDC 制約は、関連するパラメータの設定用に set_io PDC コマンドをサポートします。設定は専用 XCVR ポート (TX_P/TX_N (出力)、RX_P/RX_N (入力)) に対してのみ適用されます。

例: set_io -port_name TX_P -TX_EMPHASIS_AMPLITUDE 100mV_with_0dB

Note: P または N 側のどちらかでパラメータを設定し、それを P と N の両方に適用する事ができます。

3.3.2.1 PDC がサポートする属性と値

表 40 に、PDC がサポートする送信向けの属性と値を示します。属性の詳細な説明は、3.1. 「トランスミッタ」を参照してください。

表 40. TX 属性と値

名称	方向	値	既定値
TX_EMPHASIS_AMPLITUDE	出力	400mV_with_-3.5dB	400mV_with_-1.0dB
		100mV_with_0dB	
		200mV_with_0dB	
		200mV_with_-1.0dB	
		200mV_with_-2.5dB	
		200mV_with_-3.5dB	
		200mV_with_-4.4dB	
		200mV_with_-6.0dB	
		300mV_with_0dB	
		400mV_with_0dB	
		400mV_with_-1.0dB	
		400mV_with_-2.5dB	
		400mV_with_-4.4dB	
		400mV_with_-6.0dB	
		500mV_with_0dB	
		600mV_with_-3.5dB	
		600mV_with_-6.0dB	
		800mV_with_0dB	
		800mV_with_-1.0dB	
		800mV_with_-2.5dB	
		800mV_with_-3.5dB	
		800mV_with_-4.4dB	
		800mV_with_-6.0dB	
		1000mV_with_0dB	
		1000mV_with_-1.0dB	
		1000mV_with_-2.5dB	
		1000mV_with_-3.5dB	
		1000mV_with_-4.4dB	
		1000mV_with_-6.0dB	
TX_IMPEDANCE	出力	150	100
		100	
		85	
TX_TRANSMIT_COMMON_MODE_ADJUSTMENT	出力	50	50
		60	
		70	
		80	

表 40 に、PDC がサポートする受信向けの属性と値を示します。属性の詳細な説明は、[3.2. 「レシーバ」](#) を参照してください。

表 41. RX 属性と値

名称	方向	値	既定値
RX_INSERTION_LOSS	入力	6.5 dB	6.5 dB
		17.0 dB	
		25.0 dB	
RX_CTLE	入力	『AC483: PolarFire FPGA Transceiver Signal Integrity Application Note』内の Rx CTLE 設定表を参照	データレートと Rx 挿入損失モデルに基づいて設定
RX_TERMINATION	入力	100	100
		150	
		85	
RX_PN_BOARD_CONNECTION	入力	AC_COUPLED_WITH_EXT_CAP	AC_COUPLED_WITH_EXT_CAP
		DC_COUPLED	
RX_LOSS_OF_SIGNAL_DETECTOR_LOW	入力	OFF	OFF
		PCIE	
		SATA	
		1	
		2	
		3	
		4	
		5	
		6	
		7	
RX_LOSS_OF_SIGNAL_DETECTOR_HIGH	入力	OFF	OFF
		PCIE	
		SATA	
		1	
		2	
		3	
		4	
		5	
		6	
		7	
POLARITY	入力	Normal	Normal
		Inverted	

3.4 SmartDebug Signal Integrity

SmartDebug Signal Integrity は、デバッグ トランシーバから呼び出されます。SmartDebug Signal Integrity は、トランシーバを使った高速シリアルリンクの信頼性の評価を支援します。シグナル インテグリティの設定用 GUI は、I/O Editor と同じです。ソフトウェアの操作方法は、『UG0773: PolarFire FPGA SmartDebug User Guide』を参照してください。トランシーバ信号のチューニング方法は、『AC483: PolarFire FPGA Transceiver Signal Integrity Application Note』を参照してください。

図 96. SmartDebug Signal Integrity の GUI パネル

Signal Integrity View

LANE0_TXD_P/N

TX Emphasis Amplitude
400mV_with_-3.5dB

TX Impedance (ohms)
100

TX Transmit Common Mode Adjustment (% of VDDA)
50

LANE0_RXD_P/N

RX Insertion Loss
6.5dB

The transceiver data rate is set to 10312.5 Mbps for this port
The current settings will configure this port in CDR mode

Calibration
OnDemand_FirstLock

RX CTLE
5GHz_+7.3dB

CDR GAIN
High

RX Termination (ohms)
100

RX P/N Board Connection
AC_COUPLED_WITH_EXT_CAP

RX Loss of Signal Detector - Low
1

RX Loss of Signal Detector - High
3

Polarity (P/N reversal)
Normal

Signal Integrity GUI パネルは[SmartBERT]、[Loopback Modes]、[Static Pattern Transmit]、[Eye Monitor]タブ内に表示されます。これによりユーザはテスト動作とシグナル インテグリティのチューニングの間で移動できるため、設定を調整しながらインタラクティブに動作をテストできます。

高速シリアル チャンネルのデバッグ テクニックに従い、SmartDebug GUI を使って内蔵されたテストデータ ストリームを選択し、デバイスの組み込みループバックを有効にします。これにより、アクティブ チャンネルをプリント基板の損失と不連続性に適合するよう調整できます。テストパターン機能の詳細は 5.1.2. 「PRBS ジェネレータ/チェッカー」を参照してください。

3.4.1 ループバック モード

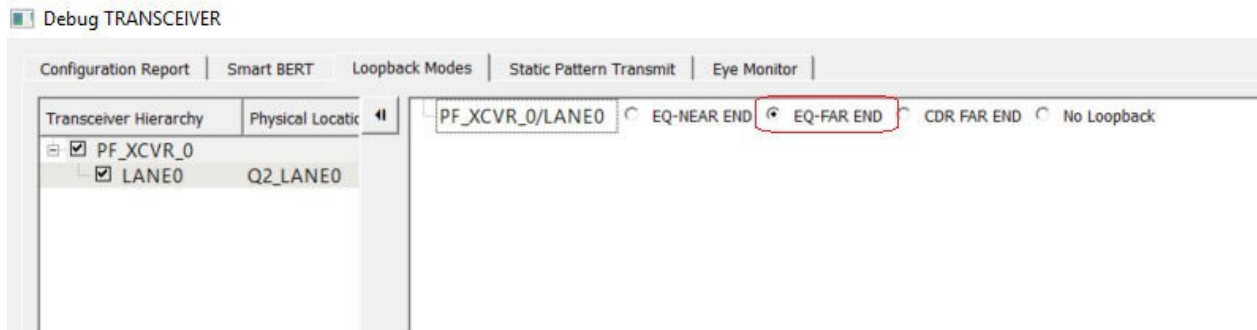
ループバック動作は XCVR 内に組み込まれており、デバッグ用に使われます。これらのループバックは、デバイス内部のみの送受信でテストするか、システムとの間の実際のデータの送受信でテストする事ができます。詳細は 5.2. 「ループバック」を参照してください。

例えば、トランシーバを EQ-FAR END ループバックに設定する事により、システムから Rx へとデータを駆動し、そのデータを直接 Tx からシステムへと返送できます。この場合、データ ストリームは入力バッファと出力バッファを経由します。「Signal Integrity」パネル内の設定を変更する事で、システムに適合する最適な設定を見つけます。

[Loopback Modes] タブ内の [Transceiver Hierarchy] の下でテストするレーンを選択し、[EQ-FAR END]ラジオボタンを選択してから[Apply]ボタンをクリックして、ファーエンドからシステム性能を監視します。シグナル インテグリティ設定を調整しながらトランシーバの Rx および Tx 性能を最適化します。図 97 に、Debug TRANSCEIVER のループバック モードを示します。

Note: [Apply]ボタンは、いずれかのパラメータを選択した時に利用可能となります。

図 97. ループバック モード - EQ-FAR END



[CDR FAR END]ラジオボタンを選択すると、XCVR の内部深くのパスをテストする事もできます。この場合、EQ-FAR ENDと同じシステム データストリームは入力バッファから Rx PMA を経由して渡され、パラレル データストリームは Tx PMA を経由して出力バッファから戻されます。

3.4.2 SmartBERT

CoreSmartBERT IP コアは、トランシーバ(PF_XCVR) 向けに幅広い評価およびデモ用プラットフォームを提供します。『HB0788:CoreSmartBERT Handbook』(Liberio カタログからダウンロード)を参照してください。全てのトランシーバ回路向けに、XCVR PMA からの RPBS テストが既定値として利用可能です。SmartBERT により、トランシーバレーン上で解析テストを実行できます。開発中のデバッグまたはフィールドでの解析では、自己テスト機能により、トランシーバの内蔵 PRBS ジェネレータ/チェッカーを使って障害を見つける事ができます。

SmartBERT は、各トランシーバ レーン内の PRBS ジェネレータ/チェッカー機能を使って、レーンの BER (Bit Error Rate)を特定します。各種の PRBS パターン(PRBS7、PRBS9、PRBS15、PRBS23、PRBS31)がサポートされます。ニアエンド ループバックは、これらの PRBS パターンの 1 つを使って実行できます。PRBS テストの実行中に BER が表示されます。

PRBS パターンは以下の手順により実行します。

1. 「Patterns」の下でのドロップダウン リストからパターンを選択します。
2. 「EQ-NearEnd」の下での[Enable]チェックボックスを ON にします。これにより、選択されたレーンが右側に追加され、そこで PRBS テストを実行できます。[Enable]チェックボックスを OFF にすると、選択されたレーンは追加リストから削除されます(図 98 参照)。
3. ウィンドウの下部にある[Start]ボタンをクリックすると、ループバック サイクルが開始され、結果が表示されます。選択されたレーンのトランスミッタとレシーバの両方で、選択された PRBS パターンが実行されます。GUI には TXPLL、RXPLL、Lock to Data、Data Rate、BER のステータスが表示されます(図 99 参照)。
4. ウィンドウの下部にある[Stop]ボタンをクリックすると、ループバックは停止します。

ロック インジケータとエラーカウンタを監視する事により、リンクの品質を確認できます。このテストにより、XCVR に対する電源、クロック、リセットが正常である事をデバイスからシステムへのトラフィックを必要とせずに確認できます。図 98 と図 99 に、Debug TRANSCEIVER の Smart BERT オプションを示します。

図 98. PRBS 自己テストのニアエンド ループバックの例

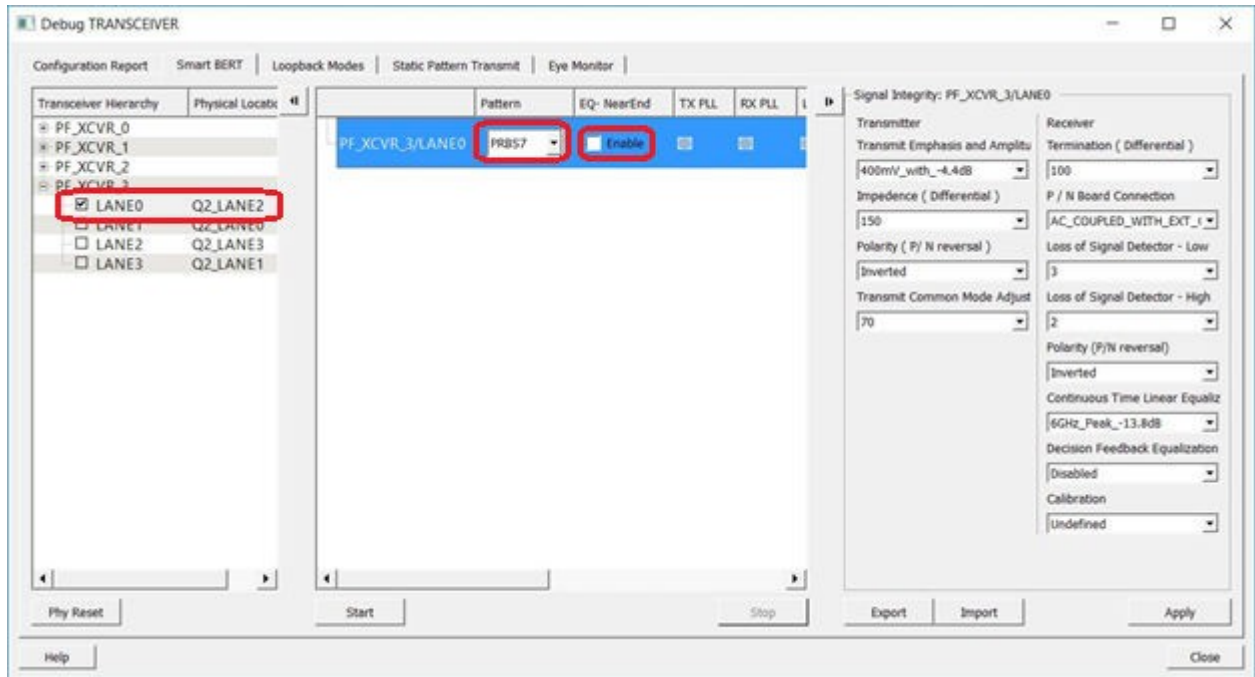


図 99. テストステータス インジケータ

	Pattern	EQ- NearEnd	TX PLL	RX PLL	Lock to Data	Cumulative Error Count	Data Rate (Gbps)	BER	Error Counter	Error Injection
PF_XCVR_0/LANE0	PRBS7	Enable	●	●	●	0	5.1	3.77e-12	Reset	

3.4.3 アイパターン モニタ

アイパターン モニタにより、レシーバ内のアイパターン図を表示できます。この機能は、CTLE および DFE 機能が適用された後の受信アイパターンを表示します。アイパターン図には、時間(1 UI 内の位相)を横軸、DC オフセットを縦軸にして、計測された BER 性能が色分けして示されます(図 100 参照)。アイパターン モニタは、3.125 Gbpsps を超えるデータレートをサポートしません。

XCVR レシーバでのアイパターンの開口をオシロスコープで物理的に計測する事はできません。通常、デバイスに最も近い計測点は、レシーバのデバイス パッケージピンとプリント基板の接続点です。この計測点では、データ サンプリング点での実際のアイパターン開口幅を十分な精度で計測できません。なぜなら、この位置は入力コライザによって信号がコンディショニングされる前にあるからです。

内部のアイパターン監視回路は、イコライザ後のレシーバ アイパターン マージンを計測して表示できるため、高精度に信号品質を評価できます。アイパターン監視回路は全てのトランシーバ回路に含まれており、ユーザが RTL ブロックを追加する必要はありません。アイパターン監視機能は、レシーバ アイパターンの中央となるオフセットでのデータ サンプリングに基づきます。これは、横軸(位相)方向の開口を推定して、レシーバにおける最適データ サンプリング位置を選定するために役立ちます。アイパターン監視機能は、1 UI (Unit Interval) 内で 32 ステップの位相位置を提供します。各位相ステップでアイパターン監視アルゴリズムは BER を監視する事で、レシーバ イコライザ後の横軸(位相)方向のアイパターン開口を計測します。

3.4.3.1 SmartDebug Eye Monitor ユーティリティ

各トランシーバ レーンのアイパターン情報は SmartDebug Eye Monitor ユーティリティ内で提供され、レシーバ イコライザによる信号コンディショニング後のアイパターン開口を表示できます。SmartDebug 内の Eye Monitor ユーティリティが表示する受信バッファ後のアイパターン開口図により、信号の品質を評価する事ができます。アイパターン監視回路はレシーバゲイン、ノイズレベル ジッタを含んだ受信データを解析します。Eye Monitor ユーティリティは、[Eye Monitor]タブから呼び出せます。このユーティリティは、レシーバに対して駆動されるライブデータ トラフィックを必要とします(デバイス内部のループバック パスでは使えません)。

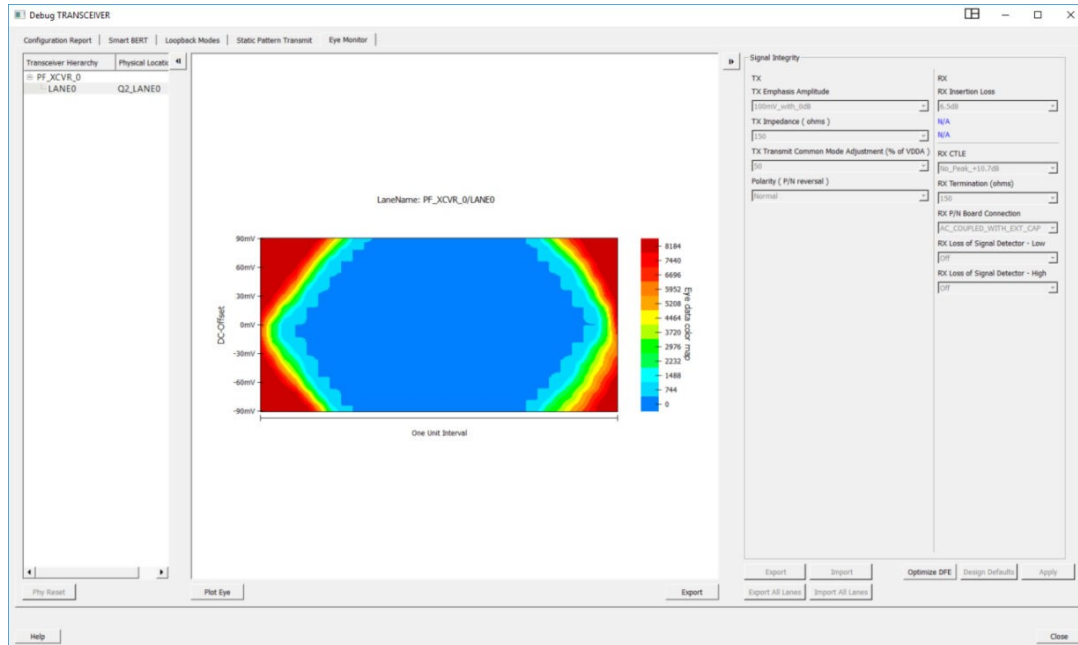
生成されたアイパターン図は、x 軸を 1 UI (Unit Interval、1 ビット周期)の時間、y 軸を DC オフセット電圧として示されます。y 軸の上限および下限値は、キャプチャによって制限されます。y 軸の上端と下端のオフセット電圧で

信号はクリップされます。これはアルゴリズムの演算結果であり、入力信号の実際の品質ではありません。x 軸は 1 UI 内の位相を示します。

このアイパターン図は、多数のビットをオーバーサンプリングした結果を示しており、ビットエラーの密度が色分けして示されます。従って、開口は、最小ヒットの領域として表されます。

「Debug TRANSCEIVER」ウィンドウ内で[Eye Monitor]タブをクリックすると、レシーバ内のアイパターン監視結果が表示されます。

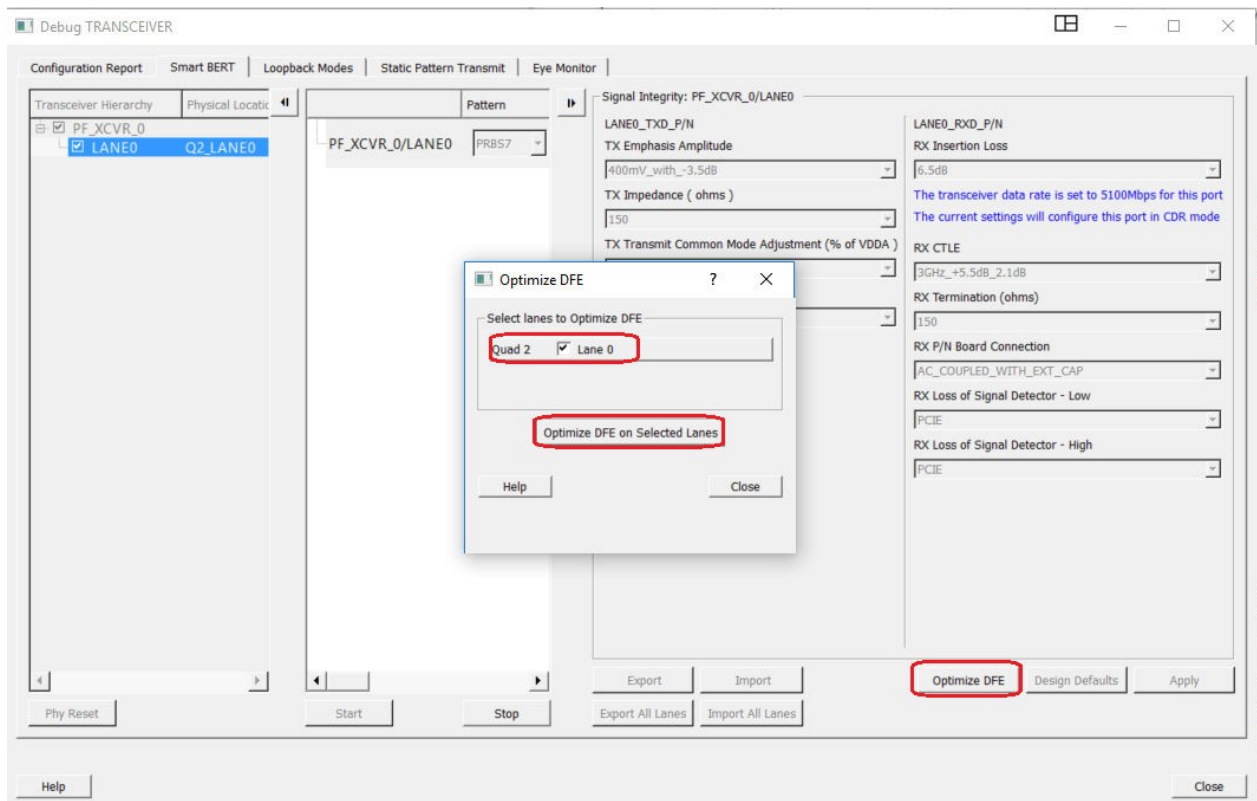
図 100. アイパターン図



3.4.3.2 SmartDebug DFE (Decision Feedback Equalization)サポート

SmartDebug は、テスト環境下のシステムでレシーバにおける総合的なシグナル インテグリティを最適化するための DFE 係数の調整用に使います。ユーザからの要求に応じ、SmartDebug ユーティリティは DFE フィルタに対して適応型アルゴリズムを実行する事で、DFE 係数の TAP 値を求めます。これは、5G を超える任意の XCVR 回路に適用できます。このルーチンは、GUI 内の[Optimize DFE] ボタンにより呼び出せます。DFE 手順を開始するには、TXPLL がロックされている必要があります。アルゴリズムの実行により、最適な設定が得られます。最適化された設定は、次のデバイスリセット(DEVRSTn)または電源再投入まで保持されます。図 101 に、「Optimize DFE」ウィンドウを示します。

図 101. 「Optimize DFE」 ウィンドウの例

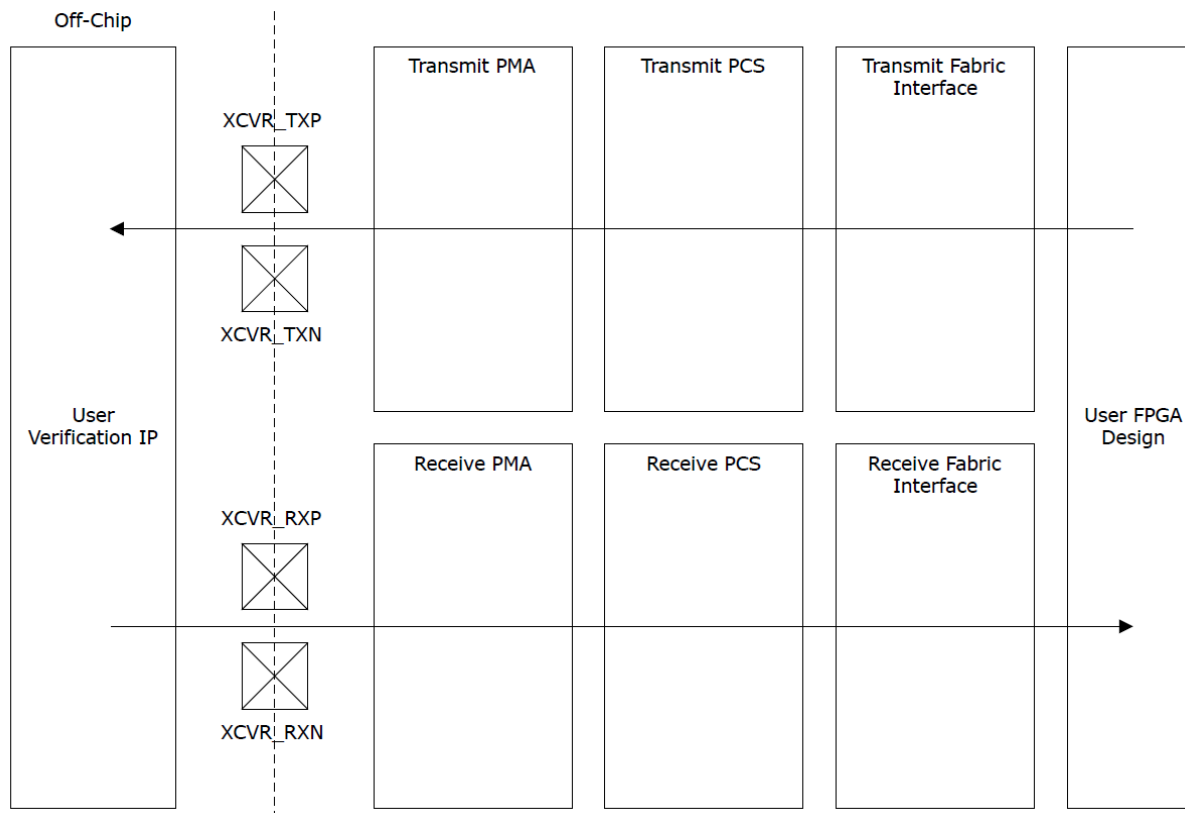


Optimized DFE 機能の詳細は、[『UG0773: PolarFire FPGA SmartDebug User Guide』](#) を参照してください。

シミュレーション

全てのトランシーバモード向けにRTLシミュレーションモードが利用可能です。このシミュレーションモードにより、全てのプロトコル通信レイヤ(PMA、PCS、ファブリック インターフェイスを含む)の正確なサイクルシミュレーションが可能です。しかし、RTLシミュレーションにより、実行時ペナルティが生じます。Microchip社は、組み込みPCIeコントローラを使ったPCIe回路の拡張シミュレーション用に専用のPCIe BFMモデルを提供しています(『PolarFire FPGA and PolarFire SoC FPGA PCI Express User Guide』参照)。

図 102. RTLシミュレーションのブロック図



4.1 RTLシミュレーションモード

RTLシミュレーションモードは、ファブリック インターフェイスからシリアル I/O インターフェイスまでのXCVRブロックをシミュレートします。RTLシミュレーションモードは、全てのXCVRモード向けに利用できます。このモードは、全てのプロトコル通信レイヤ(物理層を含む)をサポートし、回路の正確なサイクルシミュレーションを提供します。しかし、RTLシミュレーションによって実行時ペナルティが生じます。IPユーザブロックはデバイス外部の回路であるため、これをトップレベルテストベンチ内のユーザ回路に接続する必要があります。このモードを使う場合、XCVRブロックと同じプロトコルでXCVRブロックと通信可能な外部IP向けのモデルをユーザの責任で提供する必要があります。ERM (Enhanced Receiver Management)をOFFまたはONのどちらに設定しても、PF_XCVR_ERM回路でPost-synthesisシミュレーションが利用できます。

シミュレーション時間を短縮するため、トランシーバ内の特定の周辺モジュールには完全な動作モデルが与えられません。これらのモデルは、周辺モジュール内部のメモリ位置がアクセスされた時にメッセージを出力するメモリモデルに置き換えられます。メモリモデルは、Liberoによって生成されたレジスタ情報を使って生成されます。XCVRレジスタデータは、<Libero Project>\component\work\<top_level>\<xcvr_component_name>に保存されています。周辺モジュール信号は、レジスタへの書き込みに基づいてトグルせず、プロトコルピンでの信号入力に対して応答もしません。

RTL シミュレーション モードを使う事で、ユーザはトランシーバと通信するデバイス外部の検証用 IP モデルを作成できます。例えば、回路が 8b10b XCVR ブロックを使う場合、要求されるプロトコルを使って XCVR ブロックと通信するために、ユーザは 8b10b 検証用 IP 外部ブロックを提供する必要があります。IP ユーザブロックはデバイス外部の回路であるため、これをトップレベル テストベンチ内の回路に接続する必要があります。

デバッグとテスト

どちらのデバイスファミリも、マルチ ギガビット トランシーバ向けのデバッグ/テスト機能を備えています。これは、解析テスト セットアップ向けの機能を提供し、FPGA のテスト/デバッグ中にテストパターンを挿入します。以下では、高速リンクの解析を可能にする組み込みトランシーバ機能について説明します。

5.1 PRBS ジェネレータ/チェッカー

各トランシーバは、PRBS ジェネレータ/チェッカーを内蔵した組み込みブロックを備えており、これを使ってリンクのテストおよび解析を実行できます。ユーザは、SmartDebug ツールセットからこれらのテスト機能を利用できます。PRBS ジェネレータ/チェッカーの詳細は、[3.4.2. 「SmartBERT」](#) を参照してください。

PRBS ジェネレータの実装には線形帰還シフトレジスタ(LFSR)が使われます。ジェネレータは、定義済みのビットシーケンス(0 と 1 が同じ確率で発生)を生成します。連続する $n \times (2^n - 1)$ 個のビットにより 1 つのデータパターンが形成され、このパターンが自動的に繰り返されます。シーケンス内のエラーを検出するため、このシーケンスはチェッカー内で比較されます。

PRBS ジェネレータ/チェッカーは、32 および 40 ビット幅の PMA パラレルバス向けに以下のテストパターンをサポートします。

- PRBS31: $x^{31} + x^{28} + 1$
- PRBS23: $x^{23} + x^{18} + 1$
- PRBS15: $x^{15} + x^{14} + 1$
- PRBS9: $x^9 + x^5 + 1$
- PRBS7: $x^7 + x^6 + 1$

PRBS7 は、8/10/16/20 ビット幅向けにもサポートされます。

Note: 一部の PRBS パターン多項式は、各種の規格(ITU-T 勧告等)で使われています。PRBS7 多項式は必ずしも通信規格向けではありませんが、8b10b エンコード パターンに類似するため、テスト機器で一般的に用いられています。

PRBS チェッカーは、デシリアライザのパラレル側に配置されています。PRBS テスト中に LANE#_RX_SLIP がトリガした場合、次のワードは同じ PRBS パターンではなくなるため、パターンの比較が一致しくなくなります。

5.2 ループバック

リンクをセグメントに分割してシステムの分割デバッグを支援するため、トランシーバ ブロック内で 3 種類のループバックがサポートされます([図 103](#) 参照)。これらのループバックは、SmartDebug ツールから利用できます。ループバック パスのデータレート性能については、『[PolarFire FPGA Datasheet](#)』または『[PolarFire SoC Advance Datasheet](#)』を参照してください。

5.2.1 EQ-FAR END ループバック

ファーエンド シリアル ループバック(レシーバからトランシーバへ)または EQ FELB は、全ての入力コライザ(CTLE と DFE)をバイパスするため([1.1.1. 「レシーバ」](#) 参照)、低速動作のみサポートします。

このループバックは CDR を使わないため(受信および送信レーンは本質的に互いに短絡される)、受信データと送信データの間に PPM 関係は存在しません。

5.2.2 EQ-NEAR END ループバック

ニアエンド シリアル ループバック(トランスミッタからレシーバへ)または EQ NELB は、デジタル シリアライズ後の送信データを使います。これは送信出力バッファをバイパスし、データをステージ 3 CTLE 入力へとループバックします(レシーバ入力をバイパスし、CDR にのみ接続)。

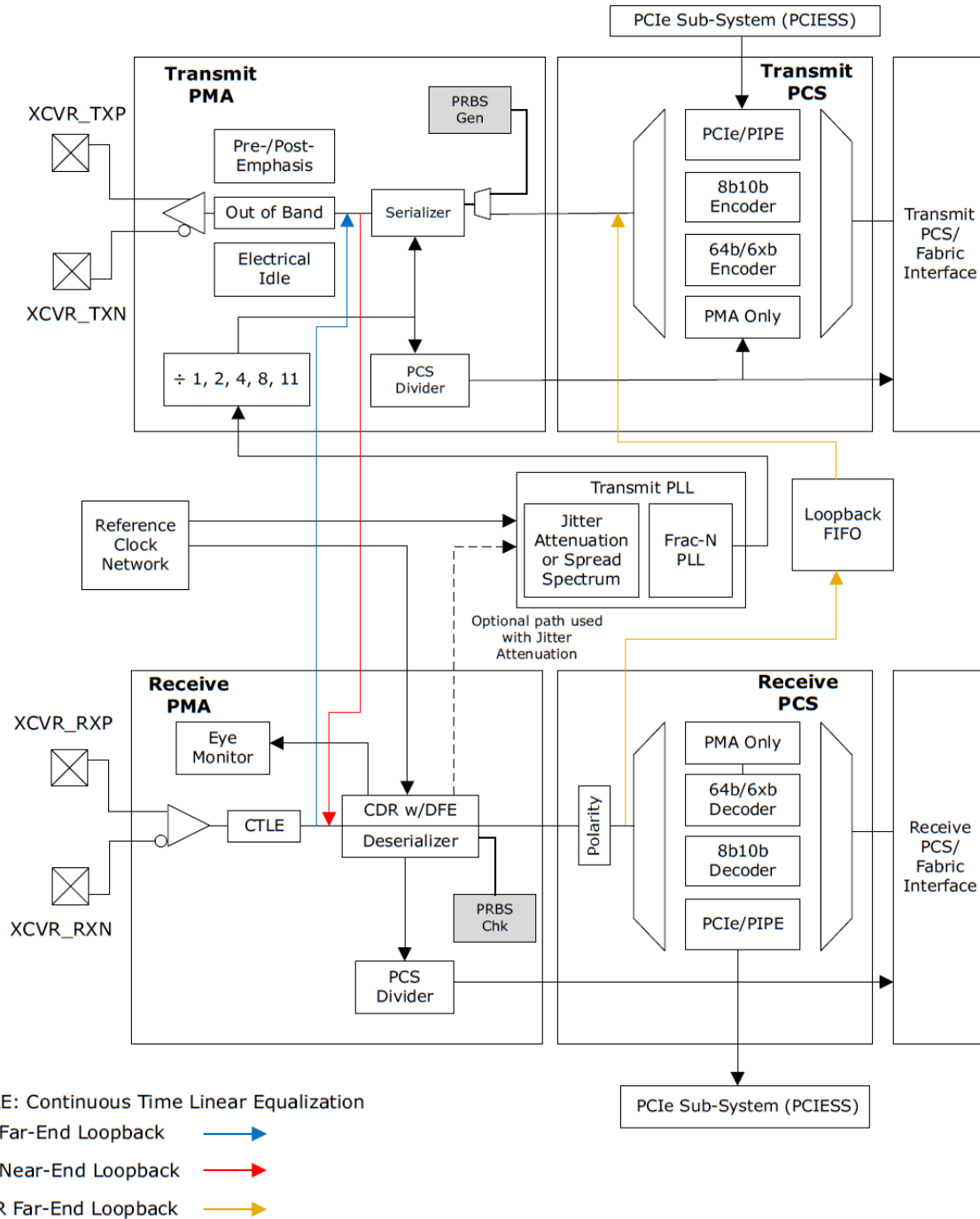
EQ NELB モードは送信バッファ、高速受信バッファ、低速受信バッファ、CDR の CTLE ステージ 1/2、DFE の CTLE ステージ 1/2/3、アイパターン監視回路をテストしません。

5.2.3 CDR FAR END ループバック

CDR FELB (CDR ファーエンド ループバック) は、ループバック FIFO を介して PCS 内でパラレルワードが生成された後に発生します。送信ワードはシリアル化後にトランスミッタから出力されます。

これは CDR 後のループバックであり、受信パスと送信パスが正確に同じクロックレート(0 ppm 差)を持つ事を要求します。ファーエンド ループバックの場合、データパスが有効である事を示すために、LANE#_RX_VAL の代わりに LANE#_RX_READY を使う必要があります。

図 103. トランシーバループバック

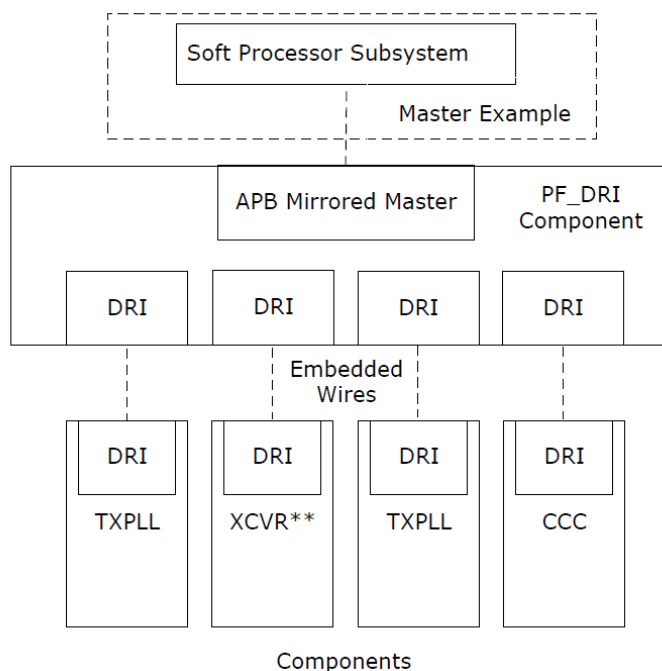


5.3 DRI (Dynamic Reconfiguration Interface)

DRI (Dynamic Reconfiguration Interface) は、トランシーバ ブロックのメモリマップにアクセスするために使われます。DRI は全てのトランシーバ レーン、PCIe ブロック、送信 PLL、FPGA PLL へのグローバル アクセスが可能な APB スレーブです。DRI により、動作前および動作中にトランシーバの主要機能を変更できます。DRI の接続はデバイス内部のみであり、FPGA ファブリックへの接続を必要としません。DRI の詳細は、『[PolarFire FPGA and PolarFire SoC FPGA Device Power-Up and Resets User Guide](#)』または『[PolarFire FPGA and PolarFire SoC FPGA Dynamic Reconfiguration Interface User Guide](#)』を参照してください。回路の設定については、「[トランシーバ初期化データ](#)」を参照してください。

DRI を使ってトランシーバ設定を工場設定から変更する際は、動作に異常をきたさないよう注意が必要です。

図 104. PF_DRI の例



Note: 実装例は、『[AC475: PolarFire FPGA Dynamic Reconfiguration Interface Application Note](#)』を参照してください。

Note:

** PCIESS ブロックは直接 DRI ポートに接続されていません。しかし、PCIESS で使われる XCVR 機能を動的に制御するために、クワッド 0 の対応する XCVR レーンを DRI に接続する必要があります。PCIE[0:1] ブロックは、PCIE サブシステム内でレジスタ制御にアクセスするための専用 APB ポートを備えています。

基板設計に関する推奨事項

トランシーバを使う回路のプリント基板の設計を始めるには、以下の知識が必要です。

- デバイス インターフェイス
- 送信ラインのインピーダンスとルーティング
- 電源回路のフィルタ処理と配電
- 部品の選択
- プリント基板のレイアウトと積層の設計

プリント基板へのトランシーバ回路の実装方法については、『UG0726: PolarFire FPGA Board Design User Guide』または『PolarFire SoC FPGA Board Design Guidelines User Guide』を参照してください。

6.1 トランシーバのトップレベル ピン配置

トランシーバ クワッドは、4 組の差動受信/送信ペアを備えています。送信 PLL に対する参照クロックは、デバイスが提供するプライマリ差動参照クロックピンまたは FPGA クロックリソースにより供給できます。

トランシーバピン、電源ピン、関連するクロックピンを表 42 に示します。

表 42. トランシーバのデバイスレベル ピン一覧¹

ピン名 ²	方向	概要
XCVR_#_TX3_P	出力	送信データ - トランシーバ正極性差動出力、各トランシーバクワッドは 4 つの正極性送信信号を備えます。
XCVR_#_TX2_P	出力	送信データ - トランシーバ正極性差動出力、各トランシーバクワッドは 4 つの正極性送信信号を備えます。
XCVR_#_TX1_P	出力	送信データ - トランシーバ正極性差動出力、各トランシーバクワッドは 4 つの正極性送信信号を備えます。
XCVR_#_TX0_P	出力	送信データ - トランシーバ正極性差動出力、各トランシーバクワッドは 4 つの正極性送信信号を備えます。
XCVR_#_TX3_N	出力	送信データ - トランシーバ負極性差動出力、各トランシーバクワッドは 4 つの負極性送信信号を備えます。
XCVR_#_TX2_N	出力	送信データ - トランシーバ負極性差動出力、各トランシーバクワッドは 4 つの負極性送信信号を備えます。
XCVR_#_TX1_N	出力	送信データ - トランシーバ負極性差動出力、各トランシーバクワッドは 4 つの負極性送信信号を備えます。
XCVR_#_TX0_N	出力	送信データ - トランシーバ負極性差動出力、各トランシーバクワッドは 4 つの負極性送信信号を備えます。
XCVR_#_RX3_P	入力	受信データ - トランシーバ正極性差動入力、各トランシーバクワッドは 4 つの正極性受信信号を備えます。
XCVR_#_RX2_P	入力	受信データ - トランシーバ正極性差動入力、各トランシーバクワッドは 4 つの正極性受信信号を備えます。
XCVR_#_RX1_P	入力	受信データ - トランシーバ正極性差動入力、各トランシーバクワッドは 4 つの正極性受信信号を備えます。
XCVR_#_RX0_P	入力	受信データ - トランシーバ正極性差動入力、各トランシーバクワッドは 4 つの正極性受信信号を備えます。
XCVR_#_RX3_N	入力	受信データ - トランシーバ負極性差動入力、各トランシーバクワッドは 4 つの負極性受信信号を備えます。
XCVR_#_RX2_N	入力	受信データ - トランシーバ負極性差動入力、各トランシーバクワッドは 4 つの負極性受信信号を備えます。
XCVR_#_RX1_N	入力	受信データ - トランシーバ負極性差動入力、各トランシーバクワッドは 4 つの負極性受信信号を備えます。
XCVR_#_RX0_N	入力	受信データ - トランシーバ負極性差動入力、各トランシーバクワッドは 4 つの負極性受信信号を備えます。
XCVR_#[A,B,C]_REFCLK_P ³	入力	差動クロック源が使われる場合、このピンは正極性端子として使われます。
XCVR_#[A,B,C]_REFCLK_N3	入力	差動クロック源が使われる場合、このピンは負極性端子として使われます。
XCVR_VREF	電源	このピンは、REFCLK 入力バッファの参照電圧として使われます。これはシングルエンドクロック信号用に使われます。この信号はデバイス上の全てのトランシーバで共有されます。
VDDA25	電源	2.5 V アナログ電源 - 各トランシーバ PMA 内の全ての送信 PLL と関連する高速クロック経路はデバイス内部で接続されますが、デバイス上の他の送信 PLL からは分離されています。
VDDA	電源	受信、送信、共通回路用電源 - PMA ブロック内の全てのレーンで共有されます。
VDD_XCVR_CLK	電源	全てのトランシーバ参照クロックバッファに共通の電源を提供します。VDD_XCVR_CLK 電源は、2.5~3.3 V で動作します。

- (1) ピンの使用時および未使用時に推奨される条件については、[『PolarFire Package Pin Assignment Table』](#) または [『PolarFire SoC Package Pin Assignment Table』](#) を参照してください。
- (2) #は、トランシーバクワッドの番号です(Q0=0、Q1=1、...Q5=5)。
- (3) トランシーバクワッドごとに送信 PLL あたり 1 つのピンが存在します。各クワッドは少なくとも 2 つの差動参照クロック入力ペアを備え、一部のクワッドはさらに追加のペアを備えています。差動モードで使う場合、トランシーバブロックに対してクロック源を 1 つだけ駆動できます。シングルエンドモードで使う場合は、2 つのクロック源を駆動できます。

6.2 プロトコル向けの設計

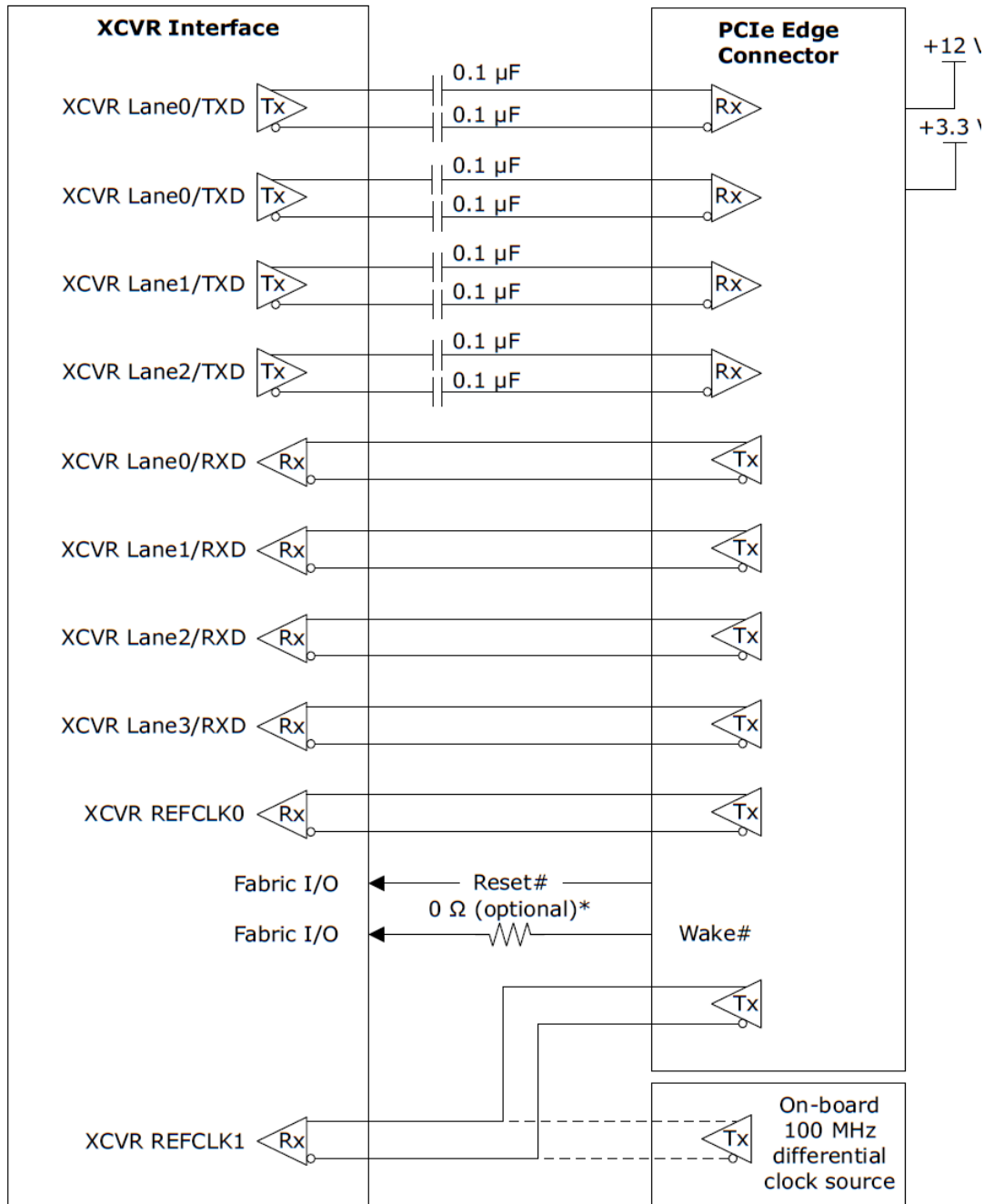
トランシーバ回路は各種の高速プロトコルで使われます。各プロトコルは、対応する規格に適合させるためのシステム要件を指定します。プリント基板は、これらのプロトコルの電氣的性能要件を満たすよう正しく設計する必要があります。以下では、各種プロトコル向けのトランシーバプリント基板設計要件について説明します。詳細は [『UG0901: PolarFire SoC FPGA Board Design Guidelines User Guide』](#) または [『UG0726: PolarFire FPGA Board Design User Guide』](#) を参照してください。

6.2.1 PCI Express

PCIe は、最大 4 チャンネルをサポートするポイントツーポイントの低電圧差動シリアル接続です。各レーンは 2 ペアの差動信号(送信ペア XCVR_x_TXy_P/N と受信ペア XCVR_x_RXy_P/N)で構成されます。各信号は 2.5 GHz 組み込みクロックを使います。

図 105 に、トランシーバインターフェイスと PCIe エッジコネクタの間の接続を示します。

図 105. XCVR インターフェイスと PCIe エッジコネクタの間の接続



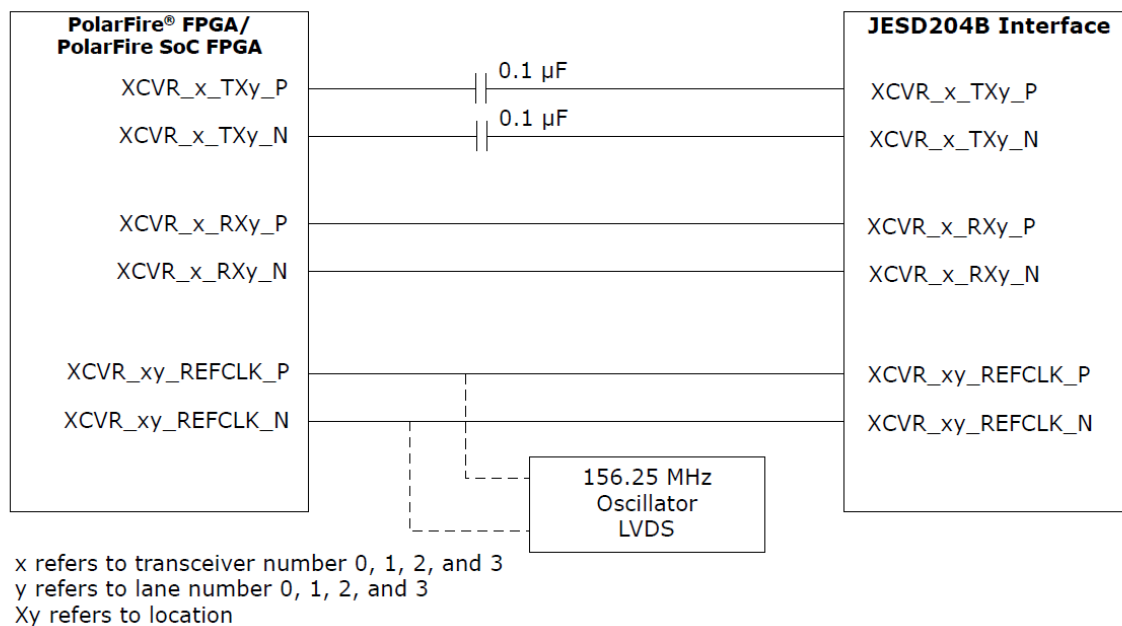
Note: トランシーバには 0201 および 0402 セラミック AC カップリング コンデンサが適しています。トランスミッタには AC カップリング コンデンサが必要です。

6.2.2 JESD204B

JESD204B バージョンは、サポートするレーン データレートを 12.5 Gbps まで拡張し、デバイスを速度が異なる 3 つのグレードに分割します。ソースおよび負荷インピーダンスは 3 つの速度グレードで同じであり、100 Ω として定義されています。第 1 速度グレードは、最高 3.125 Gbps のレーン データレート (JESD204 および JESD204A バージョンのデータレートと同じ) 向けに電氣的インターフェイスを定義します。第 2 速度グレードは、最高 6.375 Gbps のレーン データレート向けに電氣的インターフェイスを定義します。この速度グレードは、最小差動電圧レベルを 400 mV pp まで低減します (第 1 速度グレードでは 500 mV pp)。第 3 速度グレードは、最高 12.5 Gbps のレーン データレート向けに電氣的インターフェイスを定義します。

図 106 に、デバイスと JESD204B インターフェイスの間の接続を示します。

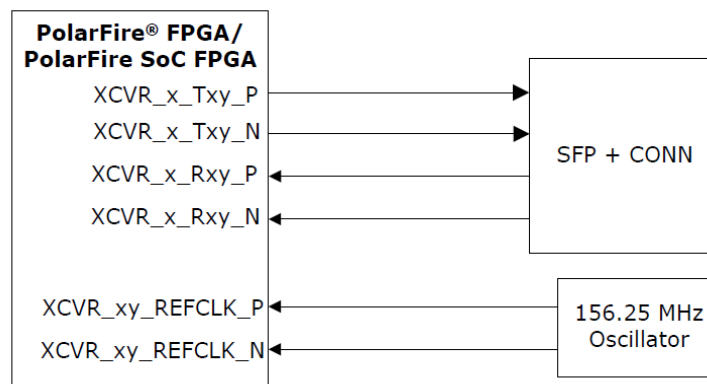
図 106. デバイスと JESD204B インターフェイスの間の接続



6.3 10G Interface

図 107 に、デバイスと SFP+インターフェイスの間の接続を示します。

図 107. デバイスと SFP+インターフェイスの間の接続



6.3.1 未使用トランシーバピン

回路内でトランシーバ インターフェイスを使わない場合、トランシーバ ピンは『[PolarFire Package Pin Assignment Table \(PPAT\)](#)』または『[PolarFire SoC Package Pin Assignment Table \(PPAT\)](#)』で定義されている通りに接続する必要があります。

6.4 トランシーバ挿入損失

表 43 に、挿入損失の各種タイプを示します。

表 43. トランシーバ挿入損失

タイプ	接続形態	挿入損失	PCB トレース長	誘電体材質	トレース幅とトレース間距離
Short	1 枚の基板内で接続、または 1 つのコネクタを介してドータカードに接続	6.5 dB @5 GHz	8 インチ ストリップライン	Nelco FR-4	トレース幅 = 7mil、 P 信号と N 信号の間の距離 = 10mil 基材
Medium	2 つのコネクタを持つバックプレーンアプリケーション	17.0 dB @5 GHz	24 インチ ストリップライン	Nelco FR-4	トレース幅 = 7mil、 P 信号と N 信号の間の距離 = 10mil 基材
Long	2 つのコネクタを持つバックプレーンアプリケーション	25.0 dB @5 GHz	40 インチ ストリップライン	Nelco FR-4	トレース幅 = 7mil、 P 信号と N 信号の間の距離 = 10mil 基材

Note:

1. FR-4 と高品質コネクタを使った場合の挿入損失(@ 5 GHz)は 1 インチあたり約 0.5 dB/コネクタ 1 個あたり約 2.5 dB です。
2. Medium タイプは、長さが 3"のラインカード トレースを 2 つ使う 18"バックプレーン向けです。
3. Long タイプは、長さが 3"のラインカード トレースを 2 つ使う 34"バックプレーン向けです。
4. DFE Equalization モードは 3 Gb/s 未満のレートでサポートされません(3 Gb/s~5 Gb/s のレート(PCI-Express を含む)は DFE でサポート可能かもしれませんが、この RX_PRESETS テーブルではサポートするようにセットアップされていません)。

改訂履歴

本書に適用された変更の履歴を下表に示します新しいリビジョンから順番に記載しています。

表 44. 改訂履歴

リビジョン	日付	概要
B	04/2022	このリビジョンでの主な変更内容は以下の通りです。 • SATA サポートに関する情報を更新しました。表 2 を参照してください。 • ERM での低データレートの使用に関する情報を更新しました。1.2. 「ERM (Enhanced Receiver Management)」を参照してください。 • Tx レーンのアライメントを更新しました。1.5.3. 「送信レーンのアライメント」を参照してください。 • クロックの不確実性に関する情報を更新しました。2.4.1. 「タイミング制約」を参照してください。
A	08/2021	本書の初版です。 このユーザガイドは、以下の文書を 1 つの文書に統合する事により作成されました。 • UG0677:PolarFire FPGA Transceiver User Guide • UG0915:PolarFire SoC FPGA Transceiver User Guide これらのデバイスファミリ ユーザガイドの改訂履歴は、将来の参照用として本書に記載します 表 45 と表 46 を参照してください。

表 45 に、『UG0677:PolarFire FPGA Transceiver User Guide』の改訂履歴を示します。この表には、各リビジョンに適用された変更内容を記載しています。

Note: 『UG0677:PolarFire FPGA Transceiver User Guide』は廃刊となり、その内容は『PolarFire® FPGA and PolarFire SoC FPGA Transceiver User Guide』(本書)に統合されました。

表 45. 『UG0677:PolarFire FPGA Transceiver User Guide』

リビジョン	日付	概要
リビジョン 9.0	5/21	このリビジョンでの主な変更内容は以下の通りです。 • インクリメンタル DFE キャリブレーションに関する情報を追加しました。「DFE キャリブレーション」を参照してください。 • ERM (Enhanced Receiver Management)に関する情報を更新しました。 • トランシーバ参照クロック インターフェイスに関する情報を更新しました。 • スペクトラム拡散に関する情報を更新しました。表 28 を参照してください。 • PIPE ポート一覧の PMA ポート一覧を更新しました。 • LOS (Loss of Signal Detect)に関する情報を追加しました。 • PMA および PCS リセットに関する情報を更新しました。 • トランシーバ参照クロック コンフィグレータに関する情報を更新しました。 • DRI (Dynamic Reconfiguration Interface)に関する情報を更新しました。 • ジッタ減衰器に関する情報を更新しました。 • トランシーバの初期化に関する情報を更新しました。

.....続き		
リビジョン	日付	概要
リビジョン 8.0	9/20	このリビジョンでの主な変更内容は以下の通りです。 8b10b データパス インターフェイス、8b10b ビット/オクテット シーケンシング、8b10b システムレジスタに関する情報を追加しました。 64b6xb データパス インターフェイス、64b6xb システムレジスタ、64b66b レシーバ、64b66b 送信、64b67b 送信、64b67b 受信に関する情報を追加しました。 - None_DFE (Static DFE)に関する情報を追加しました。「ERM (Enhanced Receiver Management)」を参照してください。 - LANE#_CLK_REF ポート名に関する情報を追加しました。表 7、表 11、表 12、表 13 を参照してください。 - 表 21 に関する情報を更新しました。 - DFE 係数に関する情報を追加しました。 - AC/DC 結合接続に関する情報を更新しました。 - 表 39 に関する情報を更新しました。 - 各種プロトコル向けの回路と未使用トランシーバ ピンに関する情報を更新しました。 - 半二重モードに関する情報を更新しました。 - 受信入力バッファに関する情報を更新しました。
リビジョン 7.0	4/20	このリビジョンでの主な変更内容は以下の通りです。 - 物理的制約に関する情報を更新しました。表 34 を参照してください。 - TX および RX インターフェイス クロックに関する情報を更新しました。表 16 を参照してください。 - ERM (Enhanced Receiver Management)に関する情報を更新しました。
リビジョン 6.0	1/20	このリビジョンでの主な変更内容は以下の通りです。 - DRI インターフェイスを介して 2 つの TXPLL の間または 2 つの CDR REFCLK の間の切り換えをサポートする機能に関する情報を追加しました。「トランシーバインターフェイス コンフィグレータ」を参照してください。 - LiteFastに関する情報を更新しました。表 1 を参照してください。 - PCS/FPGA ファブリック インターフェイスに関する情報を更新しました。 - 新しいレイテンシに関する情報を更新しました。表 15 を参照してください。 - トランシーバ データパス レイテンシに関する情報を追加しました。 - 表 21 の脚注を更新しました。表 21 を参照してください。 - CPRI 向け 8b10b モードと 64b66b モードの間の PCS レート切り換えに関する情報を追加しました。 - MPF500 トランシーバと送信 PLL レイアウトに関する情報を更新しました。図 53 を参照してください。 - 各プリセットの JA PLL 設定に関する情報を追加しました。「ジッタ減衰器」を参照してください。 - トランシーバ モードに関する情報を追加しました。 - PMA および PCS リセットに関する情報を更新しました。 - カスタム プロトコル設定に関する情報を追加しました。 - 表 7、表 11、表 12、表 13 に関する情報を更新しました。

.....続き		
リビジョン	日付	概要
リビジョン 5.0	3/19	このリビジョンでの主な変更内容は以下の通りです。 • SATA サブモードに関する情報を PIPE から削除しました。 • RX_IDLE に関する情報を更新しました。表 7、表 11、表 13 を参照してください。 • LANE#_TX_WCLK 入力ピンに関する情報を追加しました。「PCS/FPGA ファブリック インターフェイス」を参照してください。 • トランシーバクロック領域に関する情報を追加しました。 • 参照クロック途絶に関する情報を追加しました。 • ジッタ減衰器に関する情報を更新しました。 • REFCLK 入力ピンに関する情報を追加しました。「参照クロック入力ピン」を参照してください。 • PMA および PCS リセットに関する情報を追加しました。 • トランシーバ PLL 向けインターフェイス クロックに関する情報を更新しました。表 32 を参照してください。 • ERM (Enhanced Receiver Management)に関する情報を追加しました。 • PIPE インターフェイスの規格への準拠に関する例外事項を追加しました。
リビジョン 4.0	10/18	このリビジョンでの主な変更内容は以下の通りです。 • Libero® SoC PolarFire v2.3 リリース向け文書を更新しました。 • パーストモード レシーバに関する情報を追加しました(「CDR オプション」参照)。 • 送信レーンのアライメントに関する情報を追加しました(「送信レーンのアライメント」参照)。Alignment. • Tx 挿入損失に関する情報を追加しました(「Tx 挿入損失」参照)。 • 表 34 の下に、差動 REFCLK 向けに ODT 値を無効にする方法を記載した脚注を追加しました。 • 表 32 の下に、PMA リセット信号の最小パルス幅を記載した脚注を追加しました。
リビジョン 3.0	1/18	このリビジョンでの主な変更内容は以下の通りです。 • 8b10b、64b66b、PMA Only 機能に関する情報を追加しました。 • シグナル インテグリティに関する情報を更新しました。「シグナル インテグリティ コンディショニング」を参照してください。 • ビットスリップに関する情報を更新しました。「ビットスリップ」を参照してください。8b10b はビットスリップをサポートしません。
リビジョン 2.0	6/17	このリビジョンでの主な変更内容は以下の通りです。 • 8b10b、64b66b、PMA Only 機能に関する情報を追加しました。 • ワードアライメントに関する情報を 8b10b の説明に追加しました。「ワードアライメント (バイト境界または Comma 検出)」参照してください。 • 図 52 と図 53 を更新しました。 • LANE#_RX_VAL ポート名に関する情報を追加しました。表 4、表 7、表 11 を参照してください。
リビジョン 1.0	2/17	『UG0677:PolarFire FPGA Transceiver User Guide』の初版です。

表 46 に、『UG0915:PolarFire SoC FPGA Transceiver User Guide』の改訂履歴を示します。この表には、各リビジョンに適用された変更内容を記載しています。

Note: 『UG0915:PolarFire SoC FPGA Transceiver User Guide』は廃刊となり、その内容は『PolarFire® FPGA and PolarFire SoC FPGA Transceiver User Guide』(本書)に統合されました。

表 46. 『UG0915:PolarFire SoC FPGA Transceiver User Guide』

リビジョン	日付	概要
リビジョン 3.0	5/21	このリビジョンでの主な変更内容は以下の通りです。 ・ インクリメンタル DFE キャリブレーションに関する情報を追加しました。「DFE キャリブレーション」を参照してください。 ・ ERM (Enhanced Receiver Management)に関する情報を更新しました。 ・ トランシーバ参照クロック インターフェイスに関する情報を更新しました。 ・ スペクトラム拡散に関する情報を更新しました。表 28 を参照してください。 ・ PIPE ポート一覧の PMA ポート一覧を更新しました。 ・ LOS (Loss of Signal Detect)に関する情報を追加しました。 ・ PMA および PCS リセットに関する情報を更新しました。 ・ トランシーバ参照クロック コンフィグレータに関する情報を更新しました。 ・ DRI (Dynamic Reconfiguration Interface)に関する情報を更新しました。 ・ ジッタ減衰器に関する情報を更新しました。 ・ トランシーバの初期化に関する情報を更新しました。
リビジョン 2.0	9/20	このリビジョンでの主な変更内容は以下の通りです。 ・ 8b10b データパス インターフェイス、8b10b ビット/オクテット シーケンシング、8b10b システムレジスタに関する情報を追加しました。 ・ 64b6xb データパス インターフェイス、64b6xb システムレジスタ、64b66b レシーバ、64b66b 送信、64b67b 送信、64b67b 受信に関する情報を追加しました。 ・ None_DFE (Static DFE)に関する情報を追加しました。「ERM (Enhanced Receiver Management)」を参照してください。 ・ LANE#_CLK_REF ポート名に関する情報を追加しました。表 7、表 11、表 12、表 13 を参照してください。 ・ 表 21 に関する情報を更新しました。 ・ DFE 係数に関する情報を追加しました。 ・ AC/DC 結合接続に関する情報を更新しました。 ・ 表 39 に関する情報を更新しました。 ・ 各種プロトコル向けの回路と未使用トランシーバ ピンに関する情報を更新しました。 ・ 半二重モードに関する情報を更新しました。 ・ 受信入力バッファに関する情報を更新しました。
リビジョン 1.0	4/20	『UG0915:PolarFire SoC FPGA Transceiver User Guide』の初版です。

Microchip 社ウェブサイト

Microchip 社はウェブサイト(www.microchip.com)を通してオンライン サポートを提供しています。当ウェブサイトでは、お客様に役立つ情報やファイルを簡単に見つけ出せます。以下を含む各種の情報をご覧になれます。

- **製品サポート** - データシートとエラッタ、アプリケーション ノートとサンプル プログラム、設計リソース、ユーザガイドとハードウェア サポート文書、最新のソフトウェアと過去のソフトウェア
- **技術サポート** - FAQ(よく寄せられる質問)、技術サポートのご依頼、オンライン ディスカッション グループ、Microchip 社のデザイン パートナー プログラムおよびメンバーリスト
- **ご注文とお問い合わせ** - 製品セレクトと注文ガイド、最新プレスリリース、セミナー/イベントの一覧、お問い合わせ先(営業所/正規代理店)の一覧

製品変更通知サービス

Microchip 社の製品変更通知サービスは、お客様に Microchip 社製品の最新情報をお届けする配信サービスです。ご興味のある製品ファミリまたは開発ツールに関する変更、更新、リビジョン、エラッタ情報をいち早くメールにてお知らせします。

<http://www.microchip.com/pcn> にアクセスし、登録手続きをしてください。

カスタマサポート

Microchip 社製品をお使いのお客様は、以下のチャンネルからサポートをご利用になれます。

- 正規代理店
- 技術サポート

サポートは正規代理店にお問い合わせください。各地の営業所もご利用になれます。本書の最後のページに各国の営業所の一覧を記載しています。

技術サポートは以下のウェブページからもご利用になれます。

www.microchip.com/support

Microchip 社のデバイスコード保護機能

Microchip 社製品のコード保護機能について以下の点にご注意ください。

- Microchip 社製品は、該当する Microchip 社データシートに記載の仕様を満たしています。
- Microchip 社では、通常の条件ならびに仕様に従って使った場合、Microchip 社製品のセキュリティ レベルは、現在市場に流通している同種製品の中でも最も高度であると考えています。
- しかし、コード保護機能を解除するための不正かつ違法な方法が存在する事もまた事実です。弊社の理解では、こうした手法は全て Microchip 社データシートにある動作仕様書以外の方法で Microchip 社製品を使用する事です。これらのコード保護機能を解除しようとする行為は、Microchip 社の知的所有権の侵害に該当する可能性が非常に高いと言えます。
- Microchip 社はコードの保全性に懸念を抱いているお客様と連携して対応策に取り組んでいきます。
- Microchip 社を含む全ての半導体メーカーで、自社のコードのセキュリティを完全に保証できる企業はありません。コード保護機能とは、Microchip 社が製品を「解読不能」として保証するものではありません。コード保護機能は常に進歩しています。Microchip 社では、常に製品のコード保護機能の改善に取り組んでいます。Microchip 社のコード保護機能の侵害は、デジタル ミレニアム著作権法に違反します。そのような行為によってソフトウェアまたはその他の著作物に不正なアクセスを受けた場合は、デジタル ミレニアム著作権法の定めるところにより損害賠償訴訟を起こす権利があります。

法律上の注意点

本書の情報は、Microchip 社の製品を使って設計し使用する事のみを目的として提供しています。デバイス アプリケーション等の情報は、ユーザの便宜のためにのみ提供されるものであり、更新によって変更となる事があります。お客様のアプリケーションが仕様を満たす事を保証する責任は、お客様にあります。

Microchip 社は本書の情報を現状のままで提供しています。Microchip 社は、明示的、暗黙的、書面、口頭、法定のいずれであるかを問わず、本書に記載されている情報に関して、状態、品質、性能、商品性、特定目的への適合性をはじめとする、いかなる類の表明も保証も行いません。

いかなる場合も Microchip 社は、本情報またはその使用に関連する間接的、特殊的、懲罰的、偶発的または必然的損失、損害、費用、経費のいかにかわらず、また Microchip 社がそのような損害が生じる可能性について報告を受けていた場合あるいは損害が予測可能であった場合でも、一切の責任を負いません。法律で認められる最大限の範囲を適用しようとも、本情報またはその使用に関連する一切の申し立てに対する Microchip 社の責任限度額は、使用者が当該情報に関連して Microchip 社に直接支払った額を超えません。

Microchip 社の明示的な書面による承認なしに、生命維持装置あるいは生命安全用途に Microchip 社の製品を使用する事は全て購入者のリスクとし、また購入者はこれによって発生したあらゆる損害、クレーム、訴訟、費用に関して、Microchip 社は擁護され、免責され、損害をうけない事に同意するものとします。特に明記しない場合、暗黙的あるいは明示的を問わず、Microchip 社が知的財産権を保有しているライセンスは一切譲渡されません。

商標

Microchip 社の名称とロゴ、Microchip ロゴ、Adaptec、AnyRate、AVR、AVR ロゴ、AVR Freaks、BesTime、BitCloud、chipKIT、chipKIT ロゴ、CryptoMemory、CryptoRF、dsPIC、FlashFlex、flexPWR、HELDO、IGLOO、JukeBlox、KeeLoq、Kleer、LANCheck、LinkMD、maXStylus、maXTouch、MediaLB、megaAVR、Microsemi、Microsemi ロゴ、MOST、MOST ロゴ、MPLAB、OptoLyzer、PackerTime、PIC、picoPower、PICSTART、PIC32 ロゴ、PolarFire、Prochip Designer、QTouch、SAM-BA、SenGenuity、SpyNIC、SST、SST ロゴ、SuperFlash、Symmetricom、SyncServer、Tachyon、TimeSource、tinyAVR、UNI/O、Vectron、XMEGA は米国およびその他の国における Microchip Technology Incorporated の登録商標です。

AgileSwitch、APT、ClockWorks、The Embedded Control Solutions Company、EtherSynch、FlashTec、Hyper Speed Control、HyperLight Load、IntelliMOS、Libero、motorBench、mTouch、Powermite 3、Precision Edge、ProASIC、ProASIC Plus、ProASIC Plus ロゴ、Quiet-Wire、SmartFusion、SyncWorld、Temux、TimeCesium、TimeHub、TimePictra、TimeProvider、WinPath、ZL は米国における Microchip Technology Incorporated の登録商標です。

Adjacent Key Suppression、AKS、Analog-for-the-Digital Age、Any Capacitor、AnyIn、AnyOut、Augmented Switching、BlueSky、BodyCom、CodeGuard、CryptoAuthentication、CryptoAutomotive、CryptoCompanion、CryptoController、dsPICDEM、dsPICDEM.net、Dynamic Average Matching、DAM、ECAN、Espresso T1S、EtherGREEN、IdealBridge、In-Circuit Serial Programming、ICSP、INICnet、Intelligent Paralleling、Inter-Chip Connectivity、JitterBlocker、maxCrypto、maxView、memBrain、Mindi、MiWi、MPASM、MPF、MPLAB Certified ロゴ、MPLIB、MPLINK、MultiTRAK、NetDetach、Omniscient Code Generation、PICDEM、PICDEM.net、PICkit、PICKtail、PowerSmart、PureSilicon、QMatrix、REAL ICE、Ripple Blocker、RTAX、RTG4、SAM-ICE、Serial Quad I/O、simpleMAP、SimpliPHY、SmartBuffer、SMART-I.S.、storClad、SQI、SuperSwitcher、SuperSwitcher II、Switchtec、SynchroPHY、Total Endurance、TSHARC、USBCheck、VariSense、VectorBlox、VeriPHY、ViewSpan、WiperLock、XpressConnect、ZENA は米国およびその他の国における Microchip Technology Incorporated の商標です。

SQTP は米国における Microchip Technology Incorporated のサービス マークです。

Adaptec ロゴ、Frequency on Demand、Silicon Storage Technology、Symmcom はその他の国における Microchip Technology Incorporated の登録商標です。

GestIC は、その他の国における Microchip Technology Germany II GmbH & Co. KG (Microchip Technology Inc.の子会社)の登録商標です。

その他の商標は各社に帰属します。

© 2022, Microchip Technology Incorporated, Printed in the U.S.A., All Rights Reserved.

ISBN: 978-1-6683-0249-1

品質管理システム

Microchip 社の品質管理システムについては www.microchip.com/quality をご覧ください。

各国の営業所とサービス

北米

本社
2355 West Chandler Blvd.
Chandler, AZ 85224-6199
Tel:480-792-7200
Fax:480-792-7277
技術サポート :
<http://www.microchip.com/support>
URL:
www.microchip.com

アトランタ
Duluth, GA
Tel:678-957-9614
Fax:678-957-1455

オースティン, TX
Tel:512-257-3370

ボストン
Westborough, MA
Tel:774-760-0087
Fax:774-760-0088

シカゴ
Itasca, IL
Tel:630-285-0071
Fax:630-285-0075

ダラス
Addison, TX
Tel:972-818-7423
Fax:972-818-2924

デトロイト
Novi, MI
Tel:248-848-4000

ヒューストン, TX
Tel:281-894-5983

インディアナポリス
Noblesville, IN
Tel:317-773-8323
Fax:317-773-5453
Tel:317-536-2380

ロサンゼルス
Mission Viejo, CA
Tel:949-462-9523
Fax:949-462-9608
Tel:951-273-7800

ローリー, NC
Tel:919-844-7510

ニューヨーク, NY
Tel:631-435-6000

サンノゼ, CA
Tel:408-735-9110
Tel:408-436-4270

カナダ - トロント
Tel:905-695-1980
Fax:905-695-2078

アジア / 太平洋

オーストラリア - シドニー
Tel:61-2-9868-6733

中国 - 北京
Tel:86-10-8569-7000

中国 - 成都
Tel:86-28-8665-5511

中国 - 重慶
Tel:86-23-8980-9588

中国 - 東莞
Tel:86-769-8702-9880

中国 - 広州
Tel:86-20-8755-8029

中国 - 杭州
Tel:86-571-8792-8115

中国 - 香港 SAR
Tel:852-2943-5100

中国 - 南京
Tel:86-25-8473-2460

中国 - 青島
Tel:86-532-8502-7355

中国 - 上海
Tel:86-21-3326-8000

中国 - 瀋陽
Tel:86-24-2334-2829

中国 - 深圳
Tel:86-755-8864-2200

中国 - 蘇州
Tel:86-186-6233-1526

中国 - 武漢
Tel:86-27-5980-5300

中国 - 西安
Tel:86-29-8833-7252

中国 - 厦門
Tel:86-592-2388138

中国 - 珠海
Tel:86-756-3210040

アジア / 太平洋

インド - バンガロール
Tel:91-80-3090-4444

インド - ニューデリー
Tel:91-11-4160-8631

インド - プネ
Tel:91-20-4121-0141

日本 - 大阪
Tel:81-6-6152-7160

日本 - 東京
Tel:81-3-6880-3770

韓国 - 大邱
Tel:82-53-744-4301

韓国 - ソウル
Tel:82-2-554-7200

マレーシア - クアラルンプール
Tel:60-3-7651-7906

マレーシア - ペナン
Tel:60-4-227-8870

フィリピン - マニラ
Tel:63-2-634-9065

シンガポール
Tel:65-6334-8870

台湾 - 新竹
Tel:886-3-577-8366

台湾 - 高雄
Tel:886-7-213-7830

台湾 - 台北
Tel:886-2-2508-8600

タイ - バンコク
Tel:66-2-694-1351

ベトナム - ホーチミン
Tel:84-28-5448-2100

ヨーロッパ

オーストリア - ヴェルス
Tel:43-7242-2244-39
Fax:43-7242-2244-393

デンマーク - コペンハーゲン
Tel:45-4485-5910
Fax:45-4485-2829

フィンランド - エスポー
Tel:358-9-4520-820

フランス - パリ
Tel:33-1-69-53-63-20
Fax:33-1-69-30-90-79

ドイツ - ガーヒング
Tel:49-8931-9700

ドイツ - ハーン
Tel:49-2129-3766400

ドイツ - ハイムブロン
Tel:49-7131-72400

ドイツ - カールスルーエ
Tel:49-721-625370

ドイツ - ミュンヘン
Tel:49-89-627-144-0
Fax:49-(89)-627-144/-44

ドイツ - ローゼンハイム
Tel:49-8031-354-560

イスラエル - ラーナナ
Tel:972-9-744-7705

イタリア - ミラノ
Tel:39-0331-742611
Fax:39-0331-466781

イタリア - パドヴァ
Tel:39-049-7625286

オランダ - ドリュエネン
Tel:31-416-690399
Fax:31-416-690340

ノルウェー - トロンハイム
Tel:47-7288-4388

ポーランド - ワルシャワ
Tel:48-22-3325737

ルーマニア - ブカレスト
Tel:40-21-407-87-50

スペイン - マドリッド
Tel:34-91-708-08-90
Fax:34-91-708-08-91

スウェーデン - ヨーテボリ
Tel:46-31-704-60-40

スウェーデン - ストックホルム
Tel:46-8-5090-4654

イギリス - ウォーキンガム
Tel:44-118-921-5800
Fax:44-118-921-5820