



AN2587

32 ビット マイクロコントローラ向け回路設計における EMI、EMC、EFT、ESD への配慮

はじめに

本書には、電氣的ノイズの多い環境および EMI、EMC、EFT、ESD イベントに対するアプリケーションの耐性(IEC 61000-4-2、IEC 61000-4-4、IEC 61000-4-5 規格で規定)を強化するための回路保護デバイスの実装に関する推奨事項と PCB(プリント基板)レイアウトに関するガイドラインを記載しています。

本書の主な内容は以下の通りです。

1. EMI、EFT、ESD 仕様の概要
2. 主要 ESD 保護デバイス仕様の定義
3. EMI、EFT、ESD 保護対策の概要
4. フィルタ用コンデンサの特性と選定方法
5. PCB(プリント基板)設計の最良実施例とレイアウト検討チェックリスト
 - 標準的な PCB 設計/レイアウト方法
 - Ethernet 向けレイアウトの注意事項
 - DDR 向けレイアウトの注意事項
6. ソフトウェア保護テクニック
7. 保護回路の例を記載したマイクロコントローラ リファレンス回路図
 - RS-232
 - USB
 - CAN/LIN
 - Ethernet
 - オーディオ ヘッドフォン/マイクロフォン
 - LCD
 - 電源
 - リセットおよび ICSP プログラミング インターフェイス
 - SD メモリカード
 - I²C

リファレンス デザインについて

どのような回路でも常にコストが重要課題となります。本書に記載したリファレンス デザインにおいて CPU をサポートする全ての回路部品は、脅威から保護するための要件を満たした上で、コストと入手性を考慮して選定されています。異なる部品を使う場合、慎重な検討が必要です。また、保護素子を含めて基板レイアウトを設計し、試作回路での ESD、EMI、EFT 試験結果に基づいて、不要と思われる保護素子を 0 Ω 抵抗に交換する事を推奨します。そうする事で基板を再設計する手間を省き、最終的な製品を市場に投入するまでの時間を大幅に短縮できます。

アプリケーションの設計では、IEC 61000-4-2/IEC 61000-4-4/IEC 61000-4-5 要件を満たすために、電氣的ノイズの多い環境での動作信頼性ならびに高電圧放電イベントに対する耐性への要求が高まっています。その結果、多くのコンシューマ向けアプリケーション、大部分の商用アプリケーション、全てのライフ/ミッションクリティカルアプリケーションは、ESD/EFT/EMI 試験に関連する IEC 61000-4-2/ IEC 61000-4-4/ IEC 61000-4-5 規格の 1 つまたは複数に適合する必要があります。外部イベントだけでなく、時には回路内部品からの干渉源にも対応する必要があるため、設計はさらに困難となります。半導体の密度/集積度の向上と非常に高速な動作速度により、部品自体が伝導性および放射性ノイズの発生源となる可能性があります。これは回路の信頼性と干渉に悪影響を及ぼし、アプリケーションの設計にさらなる課題をもたらします。さらに、デバイス メーカーが IEC61000-4-2 仕様への適合をデータシートで主張していても、実際には完全に適合していないというケースも見られるため、注意が必要です。この問題についても、本書内で説明します。

目次

はじめに	1
1. IEC 61000-4-2、IEC 61000-4-4、IEC 61000-4-5 の定義	5
2. IEC 61000-4-2: ESD (Electrostatic Discharge).....	6
2.1. 効果的な ESD 抑止対策.....	8
3. IEC 61000-4-4: EFT (Electrical Fast Transient)耐性	9
3.1. 効果的な EFT 抑止対策.....	12
4. フィルタ コンデンサの選定	14
5. IEC 61000-4-5: EMI と EMC	16
5.1. EMI のタイプ.....	17
6. ESD、EMI、EFT 回路保護デバイス選定の要点	24
6.1. ESD 向け過渡電圧サプレッサ(TVS)を選定する際の注意点	24
7. EMC、EFT、ESD に対応するための PCB レイアウトと設計上の注意点	27
7.1. PCB レイアウトの最適化に関する推奨事項	27
7.2. PCB バイパス	34
7.3. PCB の積層構造.....	35
7.4. PCB 信号インテグリティに関する注意点	36
8. Ethernet 10/100BASE-T 設計ガイドライン.....	38
8.1. Ethernet TX±/RX±差動ペアに関する注意点	38
8.2. 未使用 Ethernet ケーブルペア	38
8.3. Ethernet RJ-45 コネクタ	39
8.4. Ethernet マグネティクス.....	39
9. DDR 設計ガイドライン	40
10. 人体モデル(HBM)と ESD IEC 61000-4-2 の違い	41
11. ソフトウェアによる EFT 保護.....	42
11.1. コード暴走からの保護.....	42
11.2. プログラムメモリとシステム インテグリティの検証	45
12. ESD、EMI、EFT に対するハードウェア保護回路例	50
12.1. CPU の保護回路	50
12.2. UART RS-232 の保護回路	52
12.3. USB 2.0 の保護回路.....	53
12.4. CAN FD (Controller Area Network Flexible Data-Rate)および LIN バスの保護回路	55
12.5. Ethernet の保護回路	
12.6. オーディオ ヘッドフォンおよびマイクロフォンの保護回路.....	57

12.7. 標準的な LCD インターフェイスの保護回路.....	58
12.8. 電源サブシステムの保護回路.....	59
12.9. リセットおよびプログラミングインターフェイスの保護回路.....	60
12.10. SD (Secure Digital)メモリカードインターフェイスの保護回路.....	61
12.11. I2C インターフェイスの保護回路.....	62
Microchip 社のウェブサイト.....	63
顧客変更通知サービス.....	63
カスタマサポート.....	63
Microchip 社のデバイスコード保護機能.....	63
法律上の注意点.....	64
商標.....	64
DNV による品質管理システム認証.....	65
各国の営業所とサービス.....	66

1. IEC 61000-4-2、IEC 61000-4-4、IEC 61000-4-5 の定義

表 1-1 に、各 IEC (International Electrotechnical Commission) 規格の概要を示します。詳細は下記のウェブサイト参照してください。

http://www.iec.ch/emc/basic_emc/basic_61000.htm

表 1-1. IEC 61000-4-2、IEC 61000-4-4、IEC 61000-4-5 規格の定義

規格	概要
IEC 61000-4-2	ESD (Electrostatic Discharge) 耐性試験
IEC 61000-4-4	EFT (Electrical Fast Transient)バースト耐性試験
IEC 61000-4-5	EMI (Electromagnetic Interference) および EMC (Electromagnetic Compatibility) 雷/サージ耐性試験

IEC 62132-1 では、IC の障害モードに 5 つのクラスが定義されています(表 1-2 参照)。これらのクラスは、ESD または EFT が存在する状況での IC の性能によって決まります。この性能は IC のタイプと、そのデータシート内で定義されている機能的挙動に依存します。

表 1-2. 性能低下度合に基づく IC のクラス分け

クラス	概要
A	外乱への暴露中および暴露後も IC の全ての機能が設計通りに動作する。
B	外乱への暴露中に IC の全ての機能が設計通りに動作するが、1 つまたは複数の機能が規定の範囲から逸脱する。外乱が取り除かれた後は、全ての機能が自動的に規定範囲内に戻る。メモリ機能はクラス A の動作を維持する必要がある。
C	外乱への暴露中に IC の 1 つまたは複数の機能が設計通りに動作しないが、外乱が取り除かれた後は自動的に正常動作に戻る。
D	外乱への暴露中に IC の 1 つまたは複数の機能が設計通りに動作せず、外乱が取り除かれた後も単純なユーザ操作によってリセットされるまで IC は正常動作に戻らない。
E	外乱への暴露中も暴露後も IC の 1 つまたは複数の機能が設計通りに動作せず、正常動作に戻す事ができない。

2. IEC 61000-4-2: ESD (Electrostatic Discharge)

非インターフェイス デジタル部品とマイクロコントローラの大部分は、2 kV HBM (人体モデル)に対してのみ保証されます。ほとんどの場合、これは同一 PCB(プリント基板)上で同じグランドを共有する IC と IC の間の相互接続信号に対しては十分です。しかし、マイクロコントローラのペリフェラル ピンが外部 PCB と直接接続されるか、機械的コネクタまたはリモート ケーブル接続通信(USB、LCD、SD 等)と接続される場合、リスクは高くなります。オフチップ マイクロコントローラ トランシーバ IC (CAN、TCP/IP 等)は、もともとペアレント マイクロコントローラより大幅に高い ESD HBM 保護能力を備えていますが、それでも全ての IEC 61000-4-2 規格を満たすレベルに達さない場合があります。それらが適切な HBM または IEC 61000-4-2 要件を満たすかどうかは、アプリケーションに基づいて確認する必要があります。使用するデバイスが IEC 61000-4-2 に対して試験済みである事が明示されていない場合、ユーザはそのデバイスに対して標準的な HBM を想定するか、製造者に問い合わせる必要があります。たとえデバイス製造者が IEC 61000-4-2 電圧レベル仕様を満たしていると主張したとしても、電圧と電流の両方の要件(表 2-2 参照)を満たしているとは限りません。

表 2-1. IEC 61000-4-2 試験の電圧レベル

レベル	相対湿度	帯電防止材料	合成材料	試験電圧(接触放電)	試験電圧(気中放電)
1	35 %	○	-	2 kV	2 kV
2	10 %	○	-	4 kV	4 kV
3	50 %	-	○	6 kV	8 kV
4	10 %	-	○	8 kV	15 kV

表 2-2. IEC 61000-4-2 試験の電流レベル

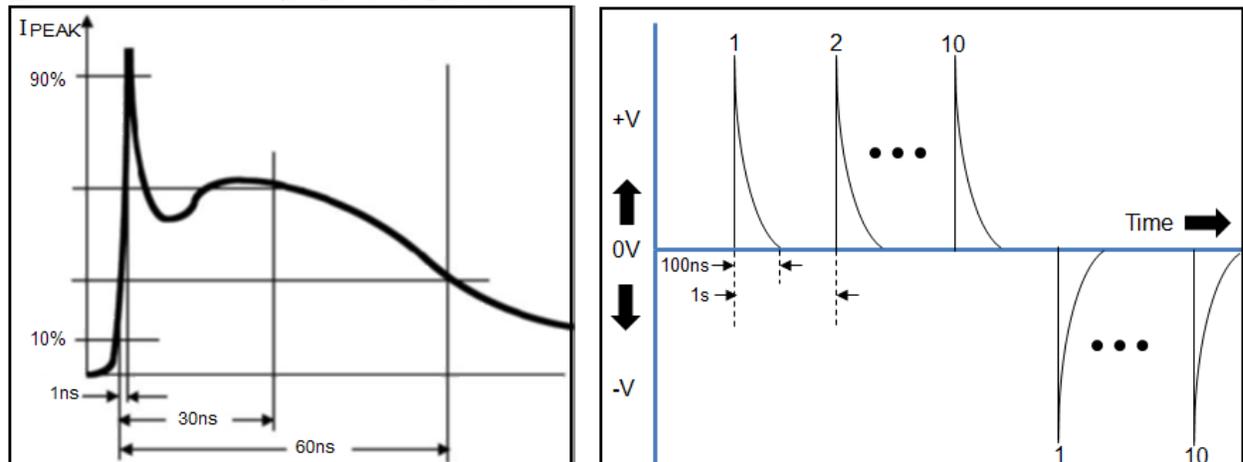
レベル	接触放電電圧	放電初期 ピーク電流 ±10%	ESD パルス 立ち上がり時間 (tr)	電流 ±30% @ 30 ns	電流 ±30% @ 60 ns
1	2 kV	7.5 A	0.7~1 ns	4 A	2 A
2	4 kV	15 A	0.7~1 ns	8 A	4 A
3	6 kV	22.5 A	0.7~1 ns	12 A	6 A
4	8 kV	30 A	0.7~1 ns	16 A	8 A

表 2-3. 一般的な静電圧

条件	20% RH (kV)	80% RH (kV)
ビニール製床材の上を歩く	12	0.25
合成材カーペットの上を歩く	35	1.5
フォームクッションから立ち上がる	18	1.5
ポリエチレン バッグを手取る	20	0.6
カーペットの上でスチロール製の箱を滑らせる	18	1.5
基板から粘着テープを剥がす	12	1.5

条件	20% RH (kV)	80% RH (kV)
基板から熱収縮フィルムを剥がす	16	3.0
はんだ吸取器をトリガする	8	1.0
回路に急冷スプレーを吹きかける	15	5.0

図 2-1. IEC 61000-4-2 放電試験の電流波形



ある大手半導体メーカーは、同社製品のデータシートに記載されている ESD 保護に関する内容(その製品が IEC61000-4-2 レベル 4 要件を満たすと主張)について問い合わせを受けた時に、「はい、この製品はレベル 4 要件を満たしています」と答えました。最大放電電流について問われた時、彼らの回答は「IEC61000-4-2 は最大電圧しか指定しておらず、弊社の部品はこれを満たしています」でした。しかし、本書で後述する通り、最終的には電力(すなわち I^2E)で評価する必要があります。つまり、電圧仕様を満たすだけでは十分ではなく、特定の IEC 61000-4-2 試験で指定されるピーク電流仕様も満たす必要があります。

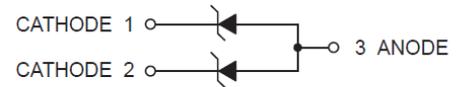
一般的に以下を考慮すべきです。

1. メーカーが例えば「この部品は 8 kV 放電要件を満たす」と明記していても IEC 61000 について何も述べていない場合、その部品は HBM に準拠していても要件の厳しい IEC 61000-4-2 には準拠していない可能性があります(表 10-1 参照)。
2. たとえメーカーが IEC61000-4-2 レベル 4 への準拠を明記していても、電圧要件についてのみ述べ、電流については何も言及していない場合、IEC61000-4-2 に全面的に準拠しているかどうかは不確かです。疑わしい場合、メーカーに問い合わせる必要があります。回路基板の設計時に、要求される保護レベルに基づいて必要になると思われる全ての保護部品を配置しておく事を推奨します。そうする事で、個々の保護部品を最終的に実装するかしないかは、IEC 61000-4-2、IEC 610004-4、IEC 61000-4-5 試験結果に基づいて選択できます。
3. これらの紛らわしくて誇大な主張は、保護デバイス自体にも当てはまる場合があります。例として、図 2-2 に示す TVS (Transient Voltage Suppressor) のメーカーが主張する機能および電気的特性値(赤枠内)と表 2-2 内の IEC 61000-4-2 仕様値を比較します。データシート内の最大 IPP (ピークパルス電流) に対し、IEC 61000-4-2 レベル 4 で指定されている IPP は 30 A です。メーカーの主張にもかかわらず、この部品は IEC 61000-4-2 レベル 4 の要件を全面的には満たしていません。
4. 一般的に、IEC61000-4-2 のレベル 3 またはレベル 4 接触放電要件を満たすには、TVS は 250~400 W のピークサージ電力定格を有する必要があります。

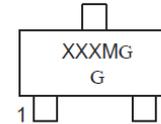
図 2-2. IEC 61000-4-2 レベル 4 TVS の紛らわしいデータシートの例

Features

- SOT-23 Package Allows Either Two Separate Unidirectional Configurations or a Single Bidirectional Configuration
- Working Peak Reverse Voltage Range – 3 V to 26 V
- Standard Zener Breakdown Voltage Range – 5.6 V to 47 V
- Peak Power – 24 or 40 W @ 1.0 ms (Unidirectional)
- ESD Rating:
 - Class 3B (> 16 kV) per the Human Body Model
 - Class C (> 400 V) per the Machine Model
- ESD Rating of IEC61000-4-2 Level 4, ±30 kV Contact Discharge
- Maximum Clamping Voltage @ Peak Pulse Current
- Low Leakage < 5.0 mA
- Flammability Rating UL 94 V-0
- SZ Prefix for Automotive and Other Applications Requiring Unique Site and Control Change Requirements; AEC-Q101 Qualified and PPAP Capable
- These Devices are Pb-Free and are RoHS Compliant



MARKING DIAGRAM



XXX = Specific Device Code
M = Date Code
G = Pb-Free Package

(Microdot may be in either location)

ELECTRICAL CHARACTERISTICS ($T_A = 25^\circ\text{C}$ unless otherwise noted)

UNIDIRECTIONAL (Circuit tied to Pins 1 and 3 or Pins 2 and 3)

($V_F = 0.9\text{ V Max @ } I_F = 10\text{ mA}$) (5% Tolerance)

24 WATTS

Device	Device Marking	V_{RWM} Volts	$I_R @ V_{RWM}$ mA	Breakdown Voltage				Max Zener Impedance			$V_C @ I_{PP}$		QV_{BR} mV/5C
				V_{BR} (V)			$@ I_T$	Z_{ZT} $@ I_{ZT}$	Z_{ZK} $@ I_{ZK}$	V_C	I_{PP}		
				Min	Nom	Max	mA	W	W	mA	V	A	
XXXXXXXXXX1	XX1	3.0	5.0	5.32	5.6	5.88	20	11	1600	0.25	8.0	3.0	1.26
XXXXXXXXXX2	XX2	3.0	0.5	5.89	6.2	6.51	1.0	-	-	-	8.7	2.76	2.80
XXXXXXXXXX3	XX3	4.5	0.5	6.46	6.8	7.14	1.0	-	-	-	9.6	2.5	3.4
XXXXXXXXXX4	XX4	6.0	0.3	8.65	9.1	9.56	1.0	-	-	-	14	1.7	7.5

Note: この部品のデータシートは、IEC-61000-4-2 レベル 4 要件を満たすと主張しています。しかし、電気的特性を一見すれば、ピークパルス電流(IPP) がレベル 4 要件(表 2-2)をはるかに下回っている事が分かります。このようなケースはあまりにも頻繁に見られ、データシートを鵜呑みにすると判断を誤ってしまう恐れがあります。この TVS の場合、定格電力が 24 W しかない事(従って IPP 仕様値が低い事)に注意が必要です。

2.1 効果的な ESD 抑止対策

- 過渡電圧サプレッサ(TVS)
- PCB(プリント基板) の最適設計
- フェライトビーズ
- RC、LC、C フィルタ

3. IEC 61000-4-4: EFT (Electrical Fast Transient)耐性

IEC 61000-4-4 は、システムレベルでの電気的高速トランジェントまたはバースト耐性を試験するために制定された IEC 規格です。EFT 試験では、信号および制御ラインと電源および接地接続に対して各種試験波形を結合させる事で、これらのラインに対するトランジェントノイズの結合をシミュレートします。

EFT の一般的な原因

- 誘導性負荷(リレー、スイッチ コンタクタ、ヘビーデューティ モータ等) の Off 時に配電システムで発生する幅の狭い高周波トランジェントのバースト
- 電力プロバイダーが力率補正装置の In/Out を切り換える時に発生する電気的高速トランジェント
- AC 電源コードの差し込み、機器の電源 On/Off、サーキット ブレーカの開閉時に発生するスパーク
- 落雷によっても EFT イベントが発生します。EFT トランジェントは一般的に電源ラインを介して終端機器へ到達します。
- 地下鉄車両と電気バスは絶えずアーク放電を生じ、そのために送電網および最終的な AC 主電源に大きな EFT サージが生じます。
- スイッチング電源(SMPS)では、不適切な設計によって高電流経路で大きなループが形成されてしまう事がよくあります。EFT を防ぐには、この配線経路を太く短くし、ループを小さくする必要があります。

Note: 影響を受けやすい SMPS の出力抵抗分圧器帰還回路は、インダクタ等の強力な EFT 発生源と並列に配線してはいけません。これらには常にシールドを考慮した配線を行い、放熱のために周囲に十分な空隙(2 mm 以上)を確保する必要があります。

重要点

- 回路設計において FET と EMI が全てではありません。しかし、EFT/EMI の回路への侵入および回路からの放出を確実に防ぐ事は、明らかに最優先事項です。電気的外乱が拡がってシステム内の様々な回路に悪影響を及ぼすと、それらを封じ込めて対処する事は大幅に困難となります。最大限の効果を得るための最初の目標は、主電源入力(すなわち電源)と PCB 外部インターフェイスの対策に重点的に取り組む事です。本書の最後に記載したリファレンス回路でも、これらが重視されています。
- 通常、トランスレス電源およびスイッチング モード電源(SMPS)を使うシステムは、鉄心トランスを使うシステムに比べてより深刻な EFT 問題に直面します(「ESD、EMI、EFT から保護するためのハードウェア回路例」参照)。

組み込みコントローラが生成および応答する信号の周波数特性はトランジェント誘起ノイズの特性に近いため、それらが干渉する可能性は高くなります。トランジェント誘起ノイズから強い影響を受けるブロックの大きな分類を以下に示します。

- 電源およびグランド信号
- リセット回路
- エッジ センシティブ トリガ
- ハイインピーダンス信号
- アナログ信号
- 外部通信ブロック(I2C、SPI、UART 等)
- CPU
- RAM

EFT リセット

アプリケーション設計の初期段階から EFT に配慮しておかないと、これらのブロックの 1 つまたは複数
が EFT トランジェント誘起ノイズの影響を受け、以下のシステム障害が発生する可能性があります(一般
的に最も発生しやすい障害から順番に記載)。

- CPU またはシステムのリセット
- ラッチアップ
- 通信エラーまたは障害
- メモリ破損

設計が不適切である場合、EFT (トランジェント誘起ノイズ) イベントによって通常以下のリセットのい
ずれかが発生します。

- 外部リセット
- パワーオン リセット(POR)
- 低電圧検出(LVD)リセット
- ブラウンアウト リセット(BOR)
- ソフトウェア リセット

POR、LVD、BOR によるリセットは、一般的に以下の状況で発生します。

- トランジェント誘起ノイズによって電源電圧が低下した
- トランジェント誘起ノイズによってグランド基準電位がシフトした
- 負極性のトランジェント誘起ノイズによって I/O 上の ESD クランプ回路がトリガされたためにデバ
イスから見た実効電源電圧が一時的に低下して BOR がトリガされた
- POR/BOR は、実効電源電圧がデバイス動作電圧レンジを下回った場合に発生します。コントロー
ラ内でブラウンアウトおよび LVD によるリセットが有効にされている場合、これらのイベントは実
効電源電圧がトリップ電圧を下回った時に発生し、規定された内部リセット時間が過ぎるまでリセ
ット状態が維持されます。
- ソフトウェア リセットは、マスタデバイスがシステム内に異常挙動を検出した時(例: 信号インテグ
リティの悪化によってマスタが不正データを受信した時)にスレーブをリセットするよう要求した場
合に発生します。ソフトウェア リセットは、コード実行の異常によって例外処理に移行した場合に
も発生する可能性があります。他にも、異常コード実行は CPU、クロック、フラッシュ、RAM 等
で内部制御ステートが破損した時に発生する可能性があります。

EFT ラッチアップ

EFT トランジェント誘起ノイズによってラッチアップが発生する可能性もあります。全ての CMOS ロジ
ックデバイスは、入力ピンまたは電源ピンで十分に強い電圧トランジェントに曝された時にラッチアップ
します。ラッチアップを防ぐ対策を施す前に、ラッチアップがどのように発生しているか理解する事が重
要です。CMOS ロジック インバータの断面を [図 3-1](#) に示します。この図は、潜在的に形成されている寄
生バイポーラトランジスタ(BJT)ペアによるサイリスタ構造を示しています。

図 3-1. インバータの断面図

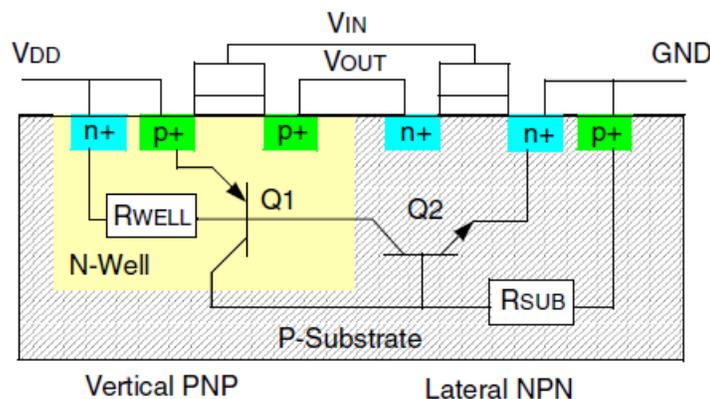


図 3-1 は、寄生 BJT によって形成される等価回路を示しています。これらのトランジスタは、寄生 SCR (Silicon Controlled Rectifier) を形成します。SCR はトリガされた時にターンオンし、電流が最小保持電流値を下回るまでターンオンしたままになります。このトリガは、N 型ウェル(N-Well)またはサブストレートインピーダンスのどちらかを通して十分に大きな電流が流された事によりベース-エミッタ間電圧降下が適切な極性で約 0.6 V 以上になると発生します。トリガされた SCR またはラッチアップ条件によって VDD とグラウンドの間に自己持続する低インピーダンス経路が形成され、電源が適切なタイミングで断続されないと、過電流によってデバイスが破損してしまう可能性があります。

図 5-1 に示す EFT パルス波形は大きな振幅(0.5~4 kV)、短い立ち上がり時間、高い繰り返し周波数、低エネルギー量といった特徴を持ちます。IEC 61000-4-4 は、パルス波形の振幅に基づいた試験レベルも定義しています(表 3-1 参照)。この試験では、75 個のパルスから成るバーストが 300 ms 周期で 1 分間繰り返されます。試験中に正極性と負極性の両方の FET パルスが注入されます。

表 3-1. IEC 61000-4-4 の EFT 試験レベル

レベル	I/O 信号/データ端子		電源端子	繰り返し周波数(kHz)	環境条件
	ピーク電圧	繰り返し周波数(kHz)	ピーク電圧		
1	0.25 kV	5 または 100	0.5 kV	5 または 100	良好に保護された環境
2	0.5 kV	5 または 100	1 kV	5 または 100	保護/シールドされたシステム(家電製品)
3	1.0 kV	5 または 100	2 kV	5 または 100	一般的な産業用環境
4	2.0 kV	5 または 100	4 kV	5 または 100	過酷な産業用環境

通常、トランスレス電源およびスイッチングモード電源(SMPS)を使うシステムは、鉄心トランスを使うシステムに比べて、より深刻な EFT 問題に直面します(図 12-10 参照)。

電源結合モード	
L+	電源の L 端子 (ライブ/非接地側) で正極性パルス
L-	電源の L 端子 (ライブ/非接地側) で負極性パルス

電源結合モード	
N+	電源の N 端子(ニュートラル/接地側)で正極性パルス
N-	電源の N 端子(ニュートラル/接地側)で負極性パルス
LN+	差動モード(電源の L 端子と N 端子の間で正極性パルス)
LN-	差動モード(電源の L 端子と N 端子の間で負極性パルス)

ESD と同様に、EFT はデータおよび I/O ラインで特に重大となります。EFT パルスは高速に立ち上がるため、これを抑制するための素子には、ESD パルスの抑制用素子と同様の特性が求められます。繰り返しますが、TVS ダイオードは、保護対象の素子を横切るクランピング電圧を最小レベルに維持しながら予期される過渡エネルギーを抑制するための最善のソリューションを提供します。加えて、EFT パルスの立ち上がり時間(5 ns)に応答するには、TVS ダイオードの非常に高速な応答性が不可欠です。

3.1 効果的な EFT 抑止対策

- 電源: MOV (金属酸化膜バリスタ)、TVS
- コモンモード チョーク
- フェライトビーズ
- PCB(プリント基板) の適切な設計
- 容量性フィルタ
- ツイストペア ケーブル

図 3-2. ツイストペア電源ライン

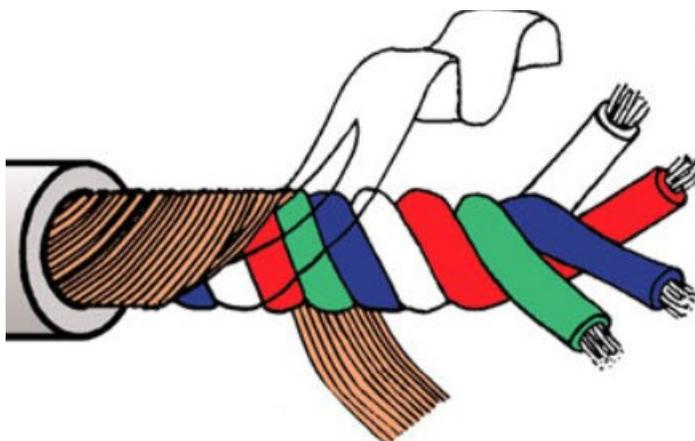
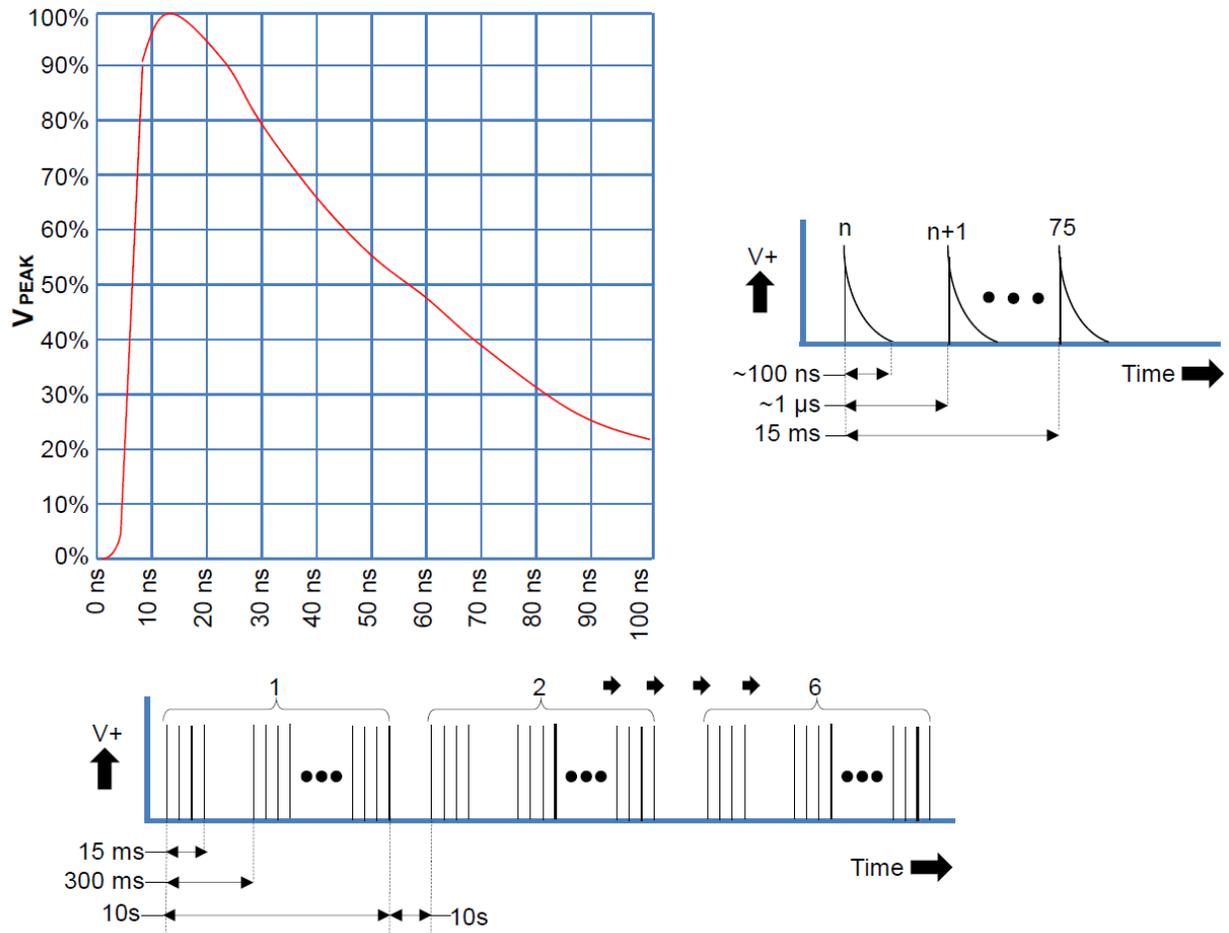


图 3-3. EFT 試驗波形



4. フィルタ コンデンサの選定

以下では、EFT/EMI フィルタ用コンデンサの選定について説明します。EFT 試験は 100~200 MHz の周波数レンジ(立ち上がり時間は約 5 ns)で行われる傾向にあります。ノイズフィルタ用コンデンサを選定する際は、常に 2 つの特性(上限周波数と自己共振周波数)を考慮する必要があります。各種コンデンサの上限周波数を表 4-1 に示します。自己共振周波数は、コンデンサがもはやコンデンサではなくインダクタであるかのような挙動を示し始める周波数です。

表 4-1. コンデンサの上限周波数

コンデンサのタイプ	上限周波数
アルミ電解	100 kHz
セラミック	1 GHz
マイカ	500 MHz
マイラ	10 MHz
ペーパー	5 MHz
ポリスチレン	500 MHz
タンタル電解	1 MHz

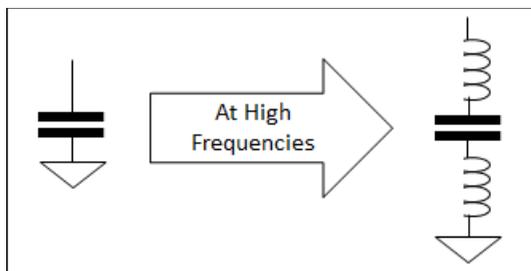
ノイズ除去用には、除去するノイズの周波数よりも高い自己共振周波数を有するタイプのコンデンサを選定する必要があります。表 4-2 に、容量値に対する標準的なセラミック コンデンサの自己共振周波数を示します。

表 4-2. セラミック コンデンサの自己共振周波数

容量	リード付き	表面実装
1 μ F	2.5 MHz	5 MHz
0.1 μ F	8 MHz	16 MHz
0.01 μ F	25 MHz	50 MHz
1000 pF	80 MHz	160 MHz
100 pF	250 MHz	500 MHz
10 pF	800 MHz	1.6 GHz

コンデンサの自己共振周波数は、コンデンサ自体の静電容量と寄生インダクタンスによって共振が生じる周波数です。この周波数では、コンデンサのインピーダンスは 0 になります。コンデンサの挿入損失は、周波数が上昇して自己共振周波数に達するまで増加します。この共振周波数からさらに周波数が上昇すると、リード線および静電容量に対して直列に存在するコンデンサ電極パターンの寄生インダクタンスのせいで、挿入損失は減少します。寄生インダクタンスが支配的になる事で、周波数の上昇につれてノイズの GND へのバイパス効果が期待できなくなります。挿入損失が減少し始める周波数を自己共振周波数と呼びます。

図 4-1. 自己共振周波数



X5R/X7R セラミック コンデンサでは、特別な注意が必要です。セラミック コンデンサの容量が温度によって変化する事はよく知られていますが、これ以外にも、セラミック コンデンサに関してあまり知られていない注意点があります。

セラミック コンデンサに関する注意点

- 容量が同じであれば、パッケージ サイズが増加するにつれて印加 DC 電圧の変化に対する容量の変化量は大幅に減少します。
- 容量が同じであれば、パッケージ サイズが増加するにつれて容量のばらつきは小さくなります。
- 容量が同じでパッケージサイズが異なる場合(同じパッケージサイズ ファミリではない場合)、電圧定格が低いパッケージの方が高いパッケージに比べて容量のばらつきは小さくなります。

セラミック コンデンサのタイプを示す記号(X7R、Y5V 等)は温度係数のみを示し、電圧係数とは全く無関係です。例えば、定格 16 V の 4.7 μF コンデンサで印加バイアスを 12 V とした場合、0805 (2012 Metric) 品の容量は 1.5 μF まで減少します。しかし、パッケージサイズを 1206 (3216 Metric) へ大型化すると、12 V バイアスでの容量は 3.4 μF になります。

Note:

1. 村田製作所と TDK のウェブサイトは、電気的条件および環境条件に対する容量の変化をグラフに表示するツールを提供しています。
2. さらに、AVX が提供している便利なツール(<http://www.avx.com/design-tools/>)を使うと、周波数に対するコンデンサ インピーダンス特性をパッケージサイズ、誘電材料、電圧定格、動作電圧の関数として比較できます。

5. IEC 61000-4-5: EMI と EMC

EMI (Electromagnetic Interference)は電磁誘導、静電結合、導通によって電気回路に影響を及ぼす内部または外部干渉源から生じる外乱です。

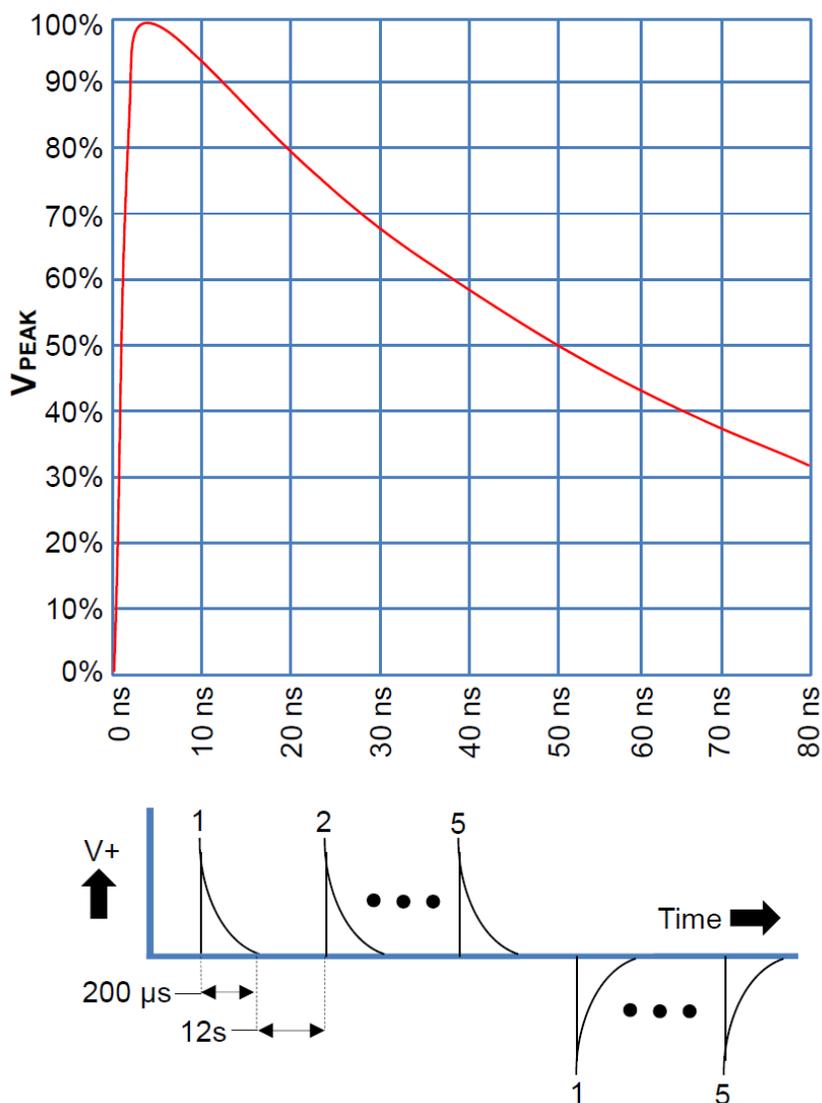
EMC (Electromagnetic Compatibility) は、EMI 等、動作機器の物理的損傷すら招きかねない有害な効果の原因となる非意図的な電磁エネルギーの生成、伝播、受信に関係します。

EMI/ EMC 法規制適合性試験は、適切な FDA Reviewer Guidance 文書または欧州 IEC 60601-1-2 規格に従う医療機器の製造に対して義務付けられています。欧州連合(EU)においては、全ての医療機器が CE マークを表示する必要があります。CE マークを表示するには、IEC 60601-1-2 に従う耐性および放射の両方の試験が要求されます。MIL-STD-461 は、厳格な電磁適合性要件を含みます。コンシューマ向け製品(電子レンジ、携帯電話、ラップトップ PC、衛星 TV アンテナ等)の全ては、有害な干渉を発生させない事および干渉を受けても好ましくない動作が生じない事を確認するために、EMC/ EMI 試験を受ける必要があります。

表 5-1. IEC 61000-4-5 EMI 試験レベル

レベル	電圧
0	25 V
1	0.5 kV
2	1 kV
3	2 kV
4	4 kV

図 5-1. IEC 61000-4-5 EMI 試験波形



5.1 EMI のタイプ

5.1.1 放射性 EMI

一般的に干渉源と被干渉回路の間の距離が 1 波長を超える場合の結合を放射性 EMI 結合と言います。干渉源は信号を放射し、それが望まれて放射された物であれ望まれずに放射された物であれ、それを受信した被干渉回路の性能に悪影響を及ぼします。

放射性 EMI の効果的な抑止方法

- 適正なプリント基板設計
- シールド
- CAN、USB、Ethernet 等の差動信号は、コモンモード ノイズがキャンセルされるため、この形態の干渉に対して特に高い耐性を有します。
- ツイストペア ケーブル
- RC フィルタ

- フェライトビーズ

放射性 EMI の一般的な原因:

- 電線、シールドされていないトランス、インダクタ等から放射される磁場
- 落雷による電磁サージ
- 静電気放電
- 高速信号のインピーダンス不整合(信号反射)
- 高速クロックを備え瞬時の電流/電力変化が生じる高集積半導体デバイス

動作中の電気回路はみな EMI を放射します。放射性 EMI の強さは周波数、電流、信号電流ループ面積、インダクタンスによって決まります。スイッチング電流源からの電流が流れる全ての電流ループはループアンテナを形成するため EMI の放射源となります。結局、全ての回路は動作中に無線周波数エネルギー (EMI) を放射します。

PCB 回路から放射される EMI の要因:

- アンテナとして働く電流ループの面積
- インダクタンス(負荷)
- 周波数
- スwitching電流

図 5-2. 2つの回路例による放射性 EMI の比較

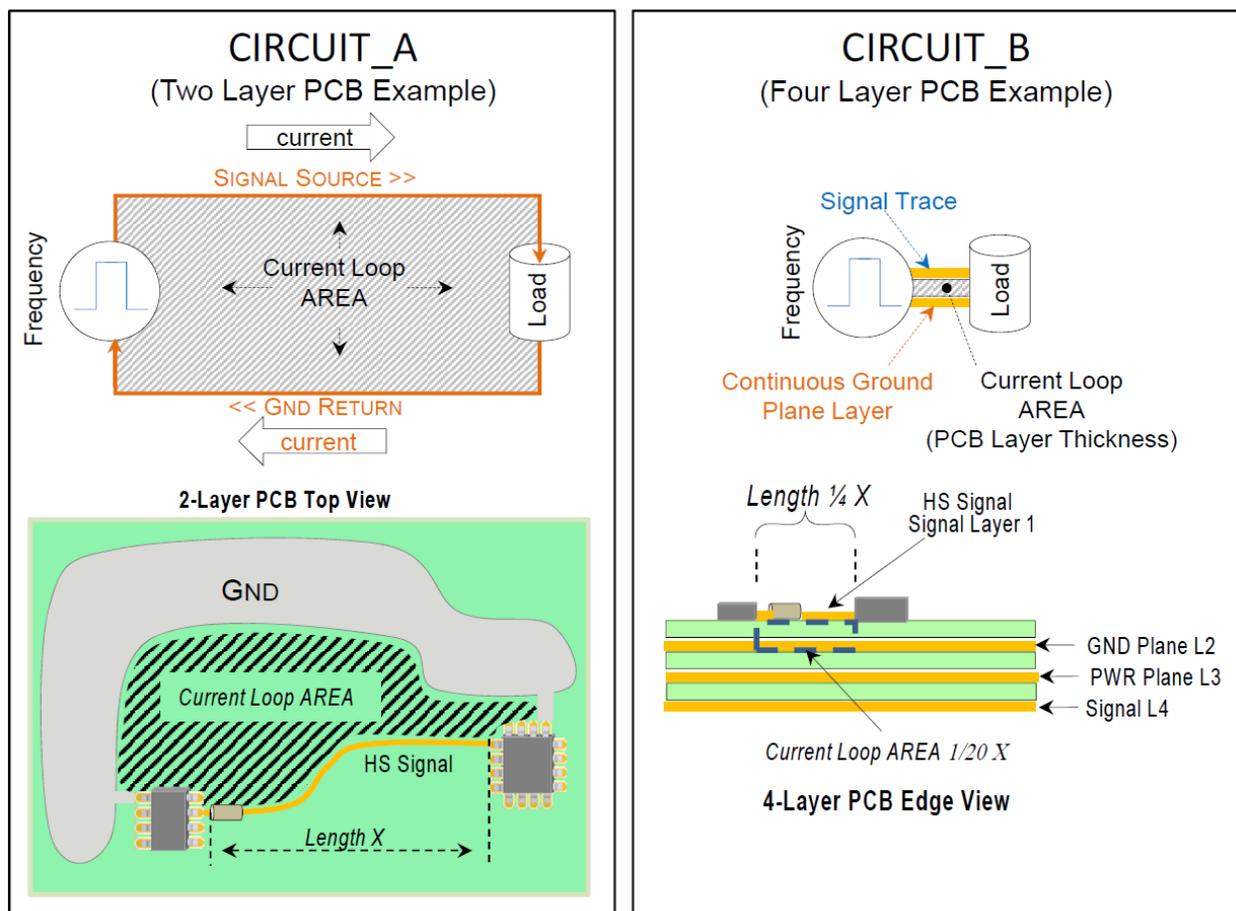


表 5-2. 2つの回路例による放射性 EMI の条件比較

図 5-2 内の回路	電流ループ面積	インダクタンス	周波数	スイッチング電流
CIRCUIT_A	非常に大きい	大きい	同等	同等
CIRCUIT_B	非常に小さい	小さい	同等	同等

上の表 5-2 は、図 5-2 内の回路例と対応しています。

5.1.1.1 信号電流ループ面積

放射される EMI のエネルギーの大きさは電流ループ面積の関数であり、これは全ての EMI 源の最も重要な要因です。2 層基板(例: 図 5-2 内の CIRCUIT_A)では、基板上の全ての信号トレースに隣接して途切れる事のない連続したグランドトレースを配置する事ができないため、アンテナループ面積は大きくなります。この面積が大きいほど、放射されるエミッションは大きくなります(特に高速信号で顕著)。

重要点: 放射されるエネルギーの大きさはループ面積の三次関数となります。つまり、電流ループで囲まれた面積を 1/2 に縮小できれば、放射エネルギーは 1/8 まで減少します。4 層基板(例: 図 5-2 内の CIRCUIT_B)の場合、専用の連続したグランドプレーンを配置する事で、電流経路の一部を基板層間の厚さにまで短縮してループ面積を大幅に縮小し、複雑な高密度回路レイアウトにおける放射性 EMI を CIRCUIT_A に比べて大幅に低減できます。さらに、重要部品を隣接させて配置する事によりトレース長を短縮する事で、ループ面積とインダクタンスの両方を削減できます。

5.1.1.2 インダクタンス

インダクタンスはトレースの長さによってほぼ決まり、幅と厚さの影響をあまり受けません。PCB トレースのインダクタンスは下式により求められます。

$$L(\text{inductance}) = 2.0 \times 10^{-3} * \text{Len} [\ln\{(2.0 * \text{Len}) / (\text{Width} + \text{Thickness})\} + 0.5 + 0.2235\{\text{Width} + \text{Thickness}\} / \text{Len}] \mu\text{H}$$

Len (長さ)、Width (幅)、Thickness(厚さ) の単位は cm です。

重要点: 図 5-2 内の CIRCUIT_B のようにトレース(特に高周波信号トレース)を最短化してインダクタンスを低減する事により、放射性 EMI を抑制できます。基板レイアウトの検討時に重要回路を互いに近付けてトレース長を最短化する事が重要です(図 5-2 内の CIRCUIT_A と CIRCUIT_B を比較)。

5.1.1.3 周波数

信号電流の周波数と変化速度が増加するにつれて、放射されるエネルギーは大きくなります。USB や Ethernet 等では、プロトコルの速度/タイミング要件のせいで高周波数信号からの放射エネルギーを弱める事ができない場合があります。その場合、信号経路をインピーダンス制御して整合したネットワークを形成する必要があります。

重要点: SPI 等の同期プロトコルに対してユーザが適用できる 1 つの対策は、クロックレートをフルスピードにするのではなくアプリケーションが要求する最小のデータレートまで下げる事です。これにより、CPU に対してより大きな帯域幅を確保する事もできます。また、回路の静電容量によっては、8 MHz を超える信号に直列抵抗を使う事で信号遷移速度を低減させるのが有効な場合があります。

5.1.1.4 スwitching電流

一般的に、信号負荷は設計要件によって決まってしまうため、スイッチング電流に関してユーザが調整できる事は多くありません。低減可能かどうかは、回路ごとにケースバイケースで評価する必要があります。

重要点: 放射電力 = $I^2 * R$ である事から、ループ スwitching電流を 50%低減すると、EMI 放射電力は 1/4 になります。

5.1.2 伝導性 EMI

伝導性エミッションは、信号を伝導可能な導通経路が存在する場合に発生します。電源ケーブルまたはその他の接続ケーブルが伝導経路となる可能性があります。伝導性 EMI には以下の 2 つのモードがあります。

- **コモンモード:** このタイプの EMI 結合は、2 つの伝送経路(例: 信号の出力ラインと戻りライン、電源の正極性ラインと負極性ライン)の両方でノイズが同位相で現れる場合に発生します。
- **差動モード:** これは、2 つの伝送経路でノイズの位相が異なる場合に発生します。

伝導性 EMI の効果的な抑止方法

- PCB(プリント基板) の適切な設計
- コモンモード チョーク
- フェライトビーズ(信号および AC 電源ケーブル)
- RC、LC、C フィルタ

伝導性 EMI の一般的な原因

- 電線から放射される磁場
- ブラウンアウトまたは停電等による電圧低下
- 電源電圧のサージ、サグ、ディップ、スパイク
- 落雷による電磁サージ
- 静電気放電
- 電氣的スイッチ、モータ、リレー、蛍光灯バラストによって生じる高速トランジェント
- EFT および ESD イベント

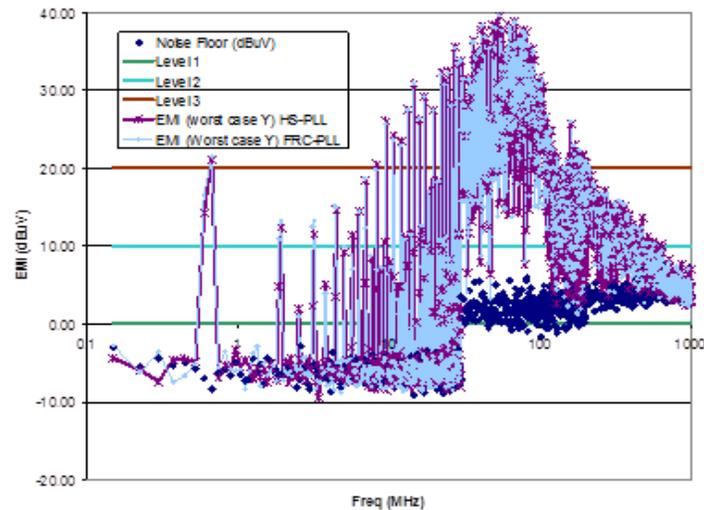
フィルタ処理の方法

EMI に対するフィルタ処理方法は、EMI 結合のタイプに応じて異なります。

- **誘導結合:** これは磁気誘導によって発生します。
- **容量結合:** これは、干渉源からの変動電圧によって電荷が被干渉回路へ静電容量を介して伝達される場合に発生します。
- **磁気結合:** このタイプの EMI 結合は、干渉源と被干渉回路の間に変動磁場が存在する場合に発生します。これは、2 つの導体が互いに近接して(波長より短い距離を隔てて) 配置されている場合に発生する可能性があります。この場合、被干渉回路内に電流が誘導される事により、干渉源から被干渉回路へ信号が伝達されます。

5.1.3 アプリケーション内からの放射性 EMI

図 5-3. 典型的な CPU 動作時の EMI エミッション(PLL と全てのクロックはアクティブ)



Note: 上図の条件:

80 MHz CPU クロック、160 MHz PLL、全 I/O ピンを 630 kHz でトグル

同じ CPU コンフィグレーションに対して「X」および「Y」 EMI エミッションはほぼ同等

たとえアプリケーションが金属筐体で囲まれていても、内部の放射性 EMI 干渉源または AC 主電源および I/O 配線を介する外部からの伝導性 EMI からは隔離されません。このため各種の電源フィルタとシールド対策が必要になる可能性があります(「ESD、EMI、EFT から保護するためのハードウェア回路例」参照)。

特に、高ゲイン/低ノイズアンプ(LNA)レシーバ フロントエンドを備えたアナログ回路と RF Wi-Fi™ワイヤレス回路は影響を受けやすいため、EMI シールドが必要になる可能性があります。多くの場合、内部で高周波および高調波が生じる CPU は放射性 EMI の強力な発生源となり、状況によっては、PCB 上のワイヤレス通信部品との干渉を防ぐために RF シールドが必要になります。RF シールドを採用する場合、CPU のみならず電源ピンのパイ型および T 型フィルタ回路と CPU 水晶振動子回路も困む事ができる十分な大きさのシールドの使用を強く推奨します(図 5-4 参照)。

Note: 8 kV レベル 4 IEC61000-4-2 接触放電を防ぐため、RF シールドと全ての信号トレースの間に 3 mm 以上のクリアランスを確保する必要があります。

図 5-4. EMI RF シールド

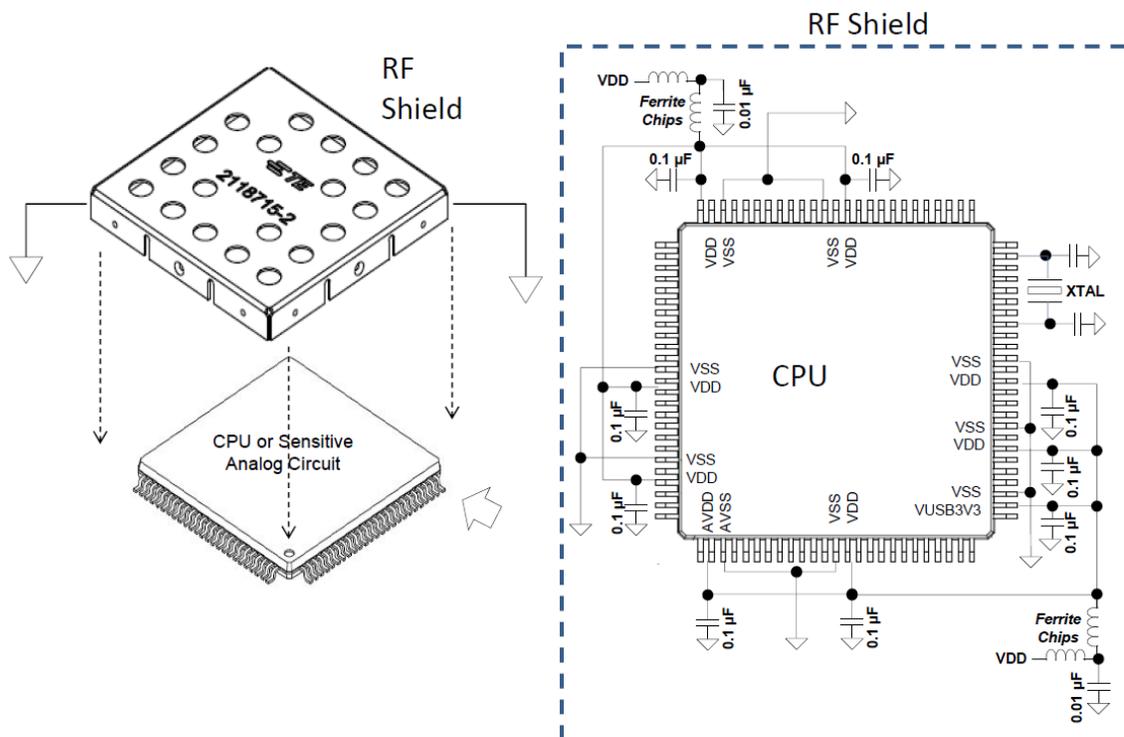


表 5-3. EMI RF シールドの製品番号

メーカー	Digi-Key/メーカー 製品番号	寸法(mm)
Leader Tech Inc.	1798-1176-ND / SMS-201C	13.26 x 13.26
TE Connectivity	A126120-ND / 2118715-2	16.90 x 16.90
Leader Tech Inc.	1798-1178-ND / SMS-202C	17.07 x 17.07
Leader Tech Inc.	1798-1182-ND / SMS-203-M-C	26.77 x 26.77

Note: 1000 個発注時の標準的コスト: 1 個あたり約\$0.17

CPU プライマリ オシレータもアプリケーション内部の EMI 干渉源となります(特に、水晶振動子をオーバードライブする場合)。詳細は、以下の水晶振動子関連アプリケーションノートを参照してください。

Note: ターゲット CPU のプライマリ オシレータ エラッタを確認し、必要に応じて以下のアプリケーションノートよりもエラッタの方を優先してください。

- AN826 - Crystal Oscillator Basics and Crystal Selection (<http://ww1.microchip.com/downloads/en/appnotes/00826a.pdf>)
- AN588 - Oscillator Design Guide (<http://ww1.microchip.com/downloads/en/AppNotes/00588b.pdf>)
- AN849 - Basic PICmicro® Oscillator Design (<http://ww1.microchip.com/downloads/en/AppNotes/00849a.pdf>)



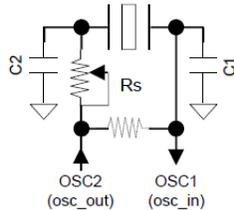
重要: ターゲット CPU の水晶発振回路に AGC 機能が備わっている場合、上記のアプリケーションノートとこの後で説明する 2 つの水晶振動子キャリブレーション手法は、いずれも無用です。

水晶振動子がオーバードライブされないようにする方法

図 5-5. 方法 1

Primary Oscillator: Method 1 of 2 (Ballpark Method)

- 1) Set $R_s = 0$ Ohms
- 2) Start the CPU.
- 3) Toggle I/O pin and monitor with oscilloscope.
- 4) Using non-conductive adjustment tool, (i.e., non-metallic), very slowly increase R_s until I/O pin stops toggling.
- 5) Very slowly reduce R_s until I/O pin resumes toggling consistently.
- 6) Remove power.
- 7) Remove and measure R_s with an ohm meter.
- 8) Replace potentiometer with closest standard fixed value resistor less 10-15%



Potentiometer: 0-5K Ohm, Part# Y40535K00000J0L, no substitutions allowed. Specialty required bulk foil potentiometer

High-Frequency Characteristics

- Rise time = 1.0 ns without ringing
- Inductance = 0.08 μ H typical (i.e. 80nH)
- Capacitance = 0.5 pF typical

**Primary Oscillator Crystal Load Capacitor Calculation**

- o C_{IN} = PIC oscillator input pin capacitance = 3.5-4 pF
- o C_{OUT} = PIC oscillator output pin capacitance = 3.5-4 pF
- o PCB stray capacitance (i.e., 12 mm length) = 2.5 pF
- o C_1 and C_2 = Loading capacitors to use on your crystal circuit design to guarantee that the effective capacitance as seen by the crystal in circuit meets the crystal manufacturer CLOAD specification

MFG Crystal Data Sheet CLOAD spec:

$$C_{LOAD} = \{ ([C_{IN} + C_1] * [C_{OUT} + C_2]) / [C_{IN} + C_1 + C_2 + C_{OUT}] \} + \text{oscillator PCB stray capacitance}$$

Assuming $C_1 = C_2$ and PIC $C_{IN} = C_{OUT}$, the formula can be further simplified and restated to solve for C_1 and C_2 by:

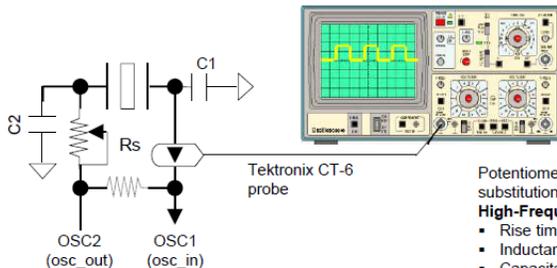
EQUATION 1:

$$C_1 = C_2 = ((2 * \text{MFG CLOAD spec}) - C_{IN} - (2 * \text{PCB capacitance}))$$

図 5-6. 方法 2

Primary Oscillator Method 2 of 2 (Traditional Method)

- 1) Set $R_s = 0$ ohms.
- 2) Place current probe in series on OSC1 (i.e., CPU Osc_in) side of crystal. Set oscilloscope to display RMS current.
- 3) Start up the CPU.
- 4) Measure oscilloscope IRMS current.
- 5) Calculate crystal power using Equation 3 below.
- 6) If power in watts is ~75% of crystal rated power drive specification, go to step 9.
- 7) Using non-conductive adjustment tool, (i.e., non-metallic), very slowly increase R_s by 1 turn, ~250 ohms.
- 8) Go to step 4 and repeat.
- 9) Disable CPU power.
- 10) Remove and measure R_s with ohm meter.
- 11) Replace potentiometer R_s with closest standard fixed value resistor.



Potentiometer R_s 0-5K Ohm, Part# Y40535K00000J0L, no substitutions allowed. Specialty required bulk foil potentiometer

High-Frequency Characteristics

- Rise time = 1.0 ns without ringing
- Inductance = 0.08 μ H typical (i.e. 80nH)
- Capacitance = 0.5 pF typical

Example:

Crystal = ABLSG-4.194304MHZ-D2Y-T (Mfg. specifications)

- o C_o = Shunt capacitance = 7 pF
- o Cload = 18 pF
- o ERS = Equivalent Series Resistance = 180 ohms
- o PD = Power Drive = 1mW(max)

EQUATION 2:

$$I_{RMS} = (I_{PKPK} / \sqrt{2})$$

EQUATION 3:

$$\text{Crystal Circuit Power} = I_{RMS}^2 * ERS((1 + C_o / C_{load})^2)$$

Note: 直列共振水晶振動子を使う場合、 C_L は無量大となるため、電力は下式により求められます。

$$\text{水晶振動子電力} = I_{RMS}^2 * \text{等価直列抵抗}$$

6. ESD、EMI、EFT 回路保護デバイス選定の要点

保護デバイスを選定する際の目標は、EFT および ESD イベント発生時のサージに耐えるデバイスを選択する事と、サージ電圧(VCL)を機器/回路の許容最高電圧以下に制限する事によって機器を保護する事です。EMI の場合、内部と外部の両方の放射性および伝導性エネルギーを制限する(減衰させる)事が目標です。表 6-1 に、外乱のタイプごとに最も一般的かつ効果的な回路保護の形態を示します。

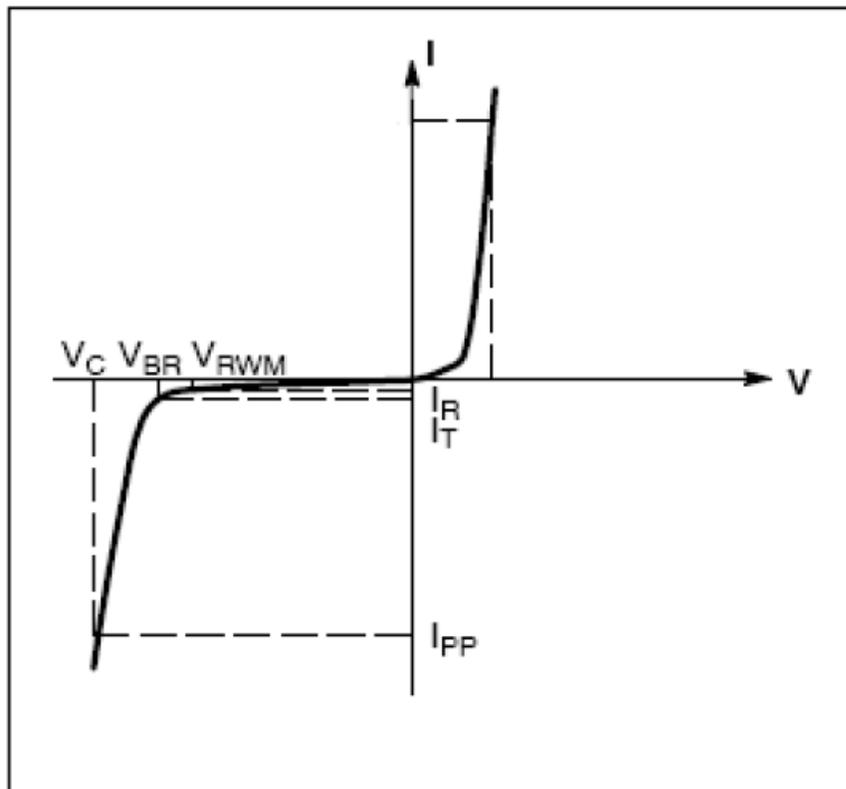
表 6-1. 外乱のタイプに応じた最も一般的な回路保護形態

外乱のタイプ	金属酸化物パリスタ(MOV)	TVS	RC フィルタ	LC フィルタ	フェライトビーズ/インダクタ	コモンモードチョーク	プリント基板レイアウト/設計	RF シールド
伝導性 EMI	-	-	○	○	○	○	○	-
放射性 EMI	-	-	○	○	-	-	○	○
ESD	○	○	○	-	-	-	○	-
EFT	○	○	○	○	○	○	○	-

6.1 ESD 向け過渡電圧サプレッサ(TVS)を選定する際の注意点

単方向クランプデバイスを使った方が安全です(クランピング電圧は単方向にのみ VCL 以下に制限され、反対方向では順方向電圧以下に制限されるため)。双方向クランプデバイスは、アプリケーションで DC 電源ラインの逆極性接続を許容する必要がある場合、または AC ラインに配置する場合にのみ使います。

図 6-1. 単方向クランピング デバイスの IV 特性



過渡電圧サプレッサ(TVS)の重要 DC パラメータ:

- V_{BR} = 逆方向降伏電圧 @ I_T
- V_{RWM} = 逆方向ワーキング電圧 @ I_R
- I_{PP} = 最大逆方向ピークパルス電流(通常 $8 \times 20 \mu s$ または $10 \times 1000 \mu s$ サージパルスで指定)
- V_C = クランプ電圧 @ I_{PP}

逆方向ワーキング電圧(V_{RWM}): ESD デバイスの使用を想定した最大公称ワーキング電圧です。この電圧では、ESD ダイオードは「Off」状態 (非常に低漏れ電流の高インピーダンス素子)であるかのように見えます。この仕様値は、保護対象となる信号で想定されるピーク動作電圧よりも高い必要があります。

ピークパルス電流(I_{PP}): デバイスが損傷する事なく耐える事ができる最大サージ電流です。

このパラメータは、高電力型過渡電圧サプレッサ(TVS)アプリケーション(IEC61000-4-2 レベル 4 接触放電イベント等)向けに非常に重要です。

クランプ電圧(V_C): クランプ電圧により、保護対象となる IC 信号が曝される電圧が決まります。 I_{PP} に加えて V_C も、過渡電圧サプレッサの選定における最重要パラメータの1つです。

静電容量(C): 高データレートで動作するアプリケーションにおいて、TVS の静電容量には注意が必要です。静電容量が大きいと信号が劣化し、高速信号のインテグリティを損ないます。Ethernet やハイスピード USB 等の高速信号には低バルク容量(一般的に 5 pF 未満)のデバイスが必要です。中/低速信号の保護が必要である場合、静電容量が高い TVS デバイスを使った方が実際には有益となる場合があります。これは、以下の2つの効果が得られるためです。

- 高静電容量は EMI 用フィルタとしても働く
- 伝導性 EMI をシャントするだけでなく、信号スルーレートを制限する事で放射性 EMI も低減する

逆方向降伏電圧(V_{BR}): ESD ダイオードは、この電圧で導通(ターンオン)を開始します。 V_{BR} は、ESD アプリケーションに対する最小値として指定され、通常 V_{RWM} より 10~15%高い値となります。この仕様値は、常に V_{RWM} よりも高く、 V_C よりも低くなります。

7. EMC、EFT、ESD に対応するための PCB レイアウトと設計上の注意点

初期設計では、多くの設計者が回路の機能性を保証する事に注力し、EMI/ EMC/ EFT/ ESD への対策にはほとんど注意を払いません。EMI 試験には費用がかかり、基板の設計変更を繰り返す事でコストはみるみる増加します。ある EMC/ EMI 試験ラボの報告によると、試験される製品の 90%が初回の試験に合格できないそうです。これが本当なら、回路設計および PCB レイアウトにおける EMI/ EMC/ EFT/ ESD への配慮は、回路の機能性を保証するのと同等に重要であると言えます。EMI 適合性試験には\$5,000～\$50,000 の費用が必要であるため、初期の PCB 設計で EMI/ EMC/ EFT/ ESD に配慮する事には十分な見返りが期待できます。認証が要求されない場合でも、それらに配慮する事でアプリケーションの信頼性が向上します。

基板レイアウトの潜在的な問題を見つけ出して対処するために、近傍磁界スキャナ等のツールが利用できます。これらのツールを使うと、基板全体からのエミッションだけでなく基板上の局所からのエミッションも細かく計測できます。単一プローブだけでこれを行うのは困難ですが、今日では各種の EMI/ EMC スキャナが [EMSCAN](#)、[DETECTUS](#)、[API](#) 等から提供されています。基本的にスキャナは格子状に配置された複数のプローブで構成されます。このようなスキャナは基板のエミッション分布を示す画像を生成可能であり、1本のプローブを使って基板を手動でスキャンするよりも一貫性と再現性に優れています。EMSCAN 社の [EMxpert](#) スキャナは、そのようなスキャナの 1つです。[こちらのリンク](#)からデモビデオをご覧ください。EMxpert は、回路の相互作用を簡単に解析および比較してリアルタイムでハードウェアを最適化できる非常に便利なツールです。このようなツールを活用する事で高額な認証試験に合格する可能性が大幅に向上し、従って製品の市場投入までに要する貴重な時間を節約できます。

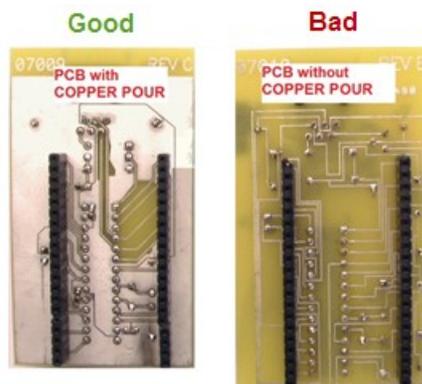
以下では、EMI/ EMC/ EFT/ ESD 要件を満たすための手助けとなる「最も良く知られた」PCB レイアウト手法のいくつかを紹介します。

7.1 PCB レイアウトの最適化に関する推奨事項

Note: お客様の回路が EMC/ EMI/ EFT/ ESD 試験および認証を必要とする場合、以下に記載する推奨事項のできるだけ多くに従った上で、試験を受ける認証機関の専門家と早期に事前会議を持つ事を推奨します。そうすることで、彼らの知見を学んで初期設計に反映する事ができます。豊富な経験を有するこれらの専門家は、合格するために必要な手立てを熟知しています。

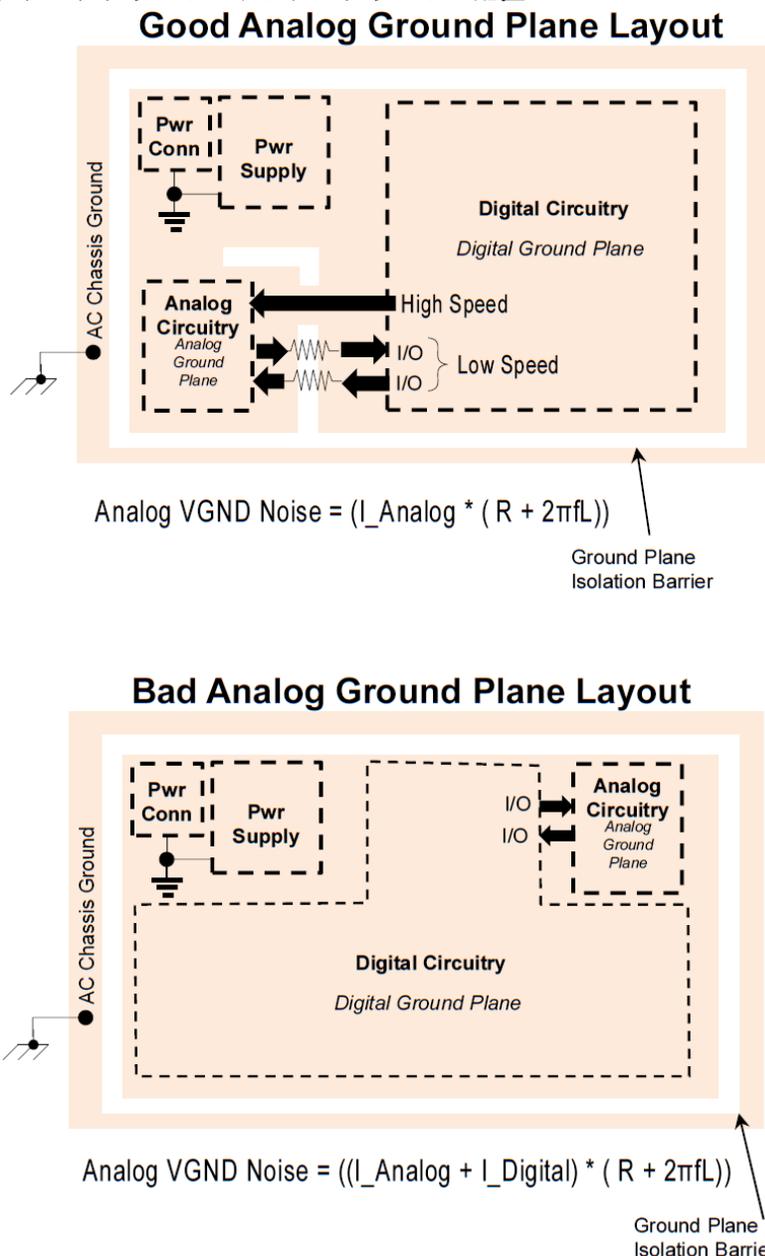
1. 最初に PCB の第 1 層(直下にグランドプレーン層を持つ)に、差動高速信号トレースをインピーダンスの整合性が保たれるように配置します。
2. 第 1 層に配置された全てのクロックおよび高速信号用トレースの直下には、切れ目や空白部のないベタの参照グランドプレーンが必要です。
3. 信号面上の全ての空白部は信号グランドとして銅箔で埋めます。

図 7-1. PCB 空白部のグランドベタ



4. 必要に応じてデジタルグランドとアナロググランドを分離します。これらのグランドを電源グランド(入力電源レギュレータのすぐ近く)以外の位置で互いに接続してはいけません。

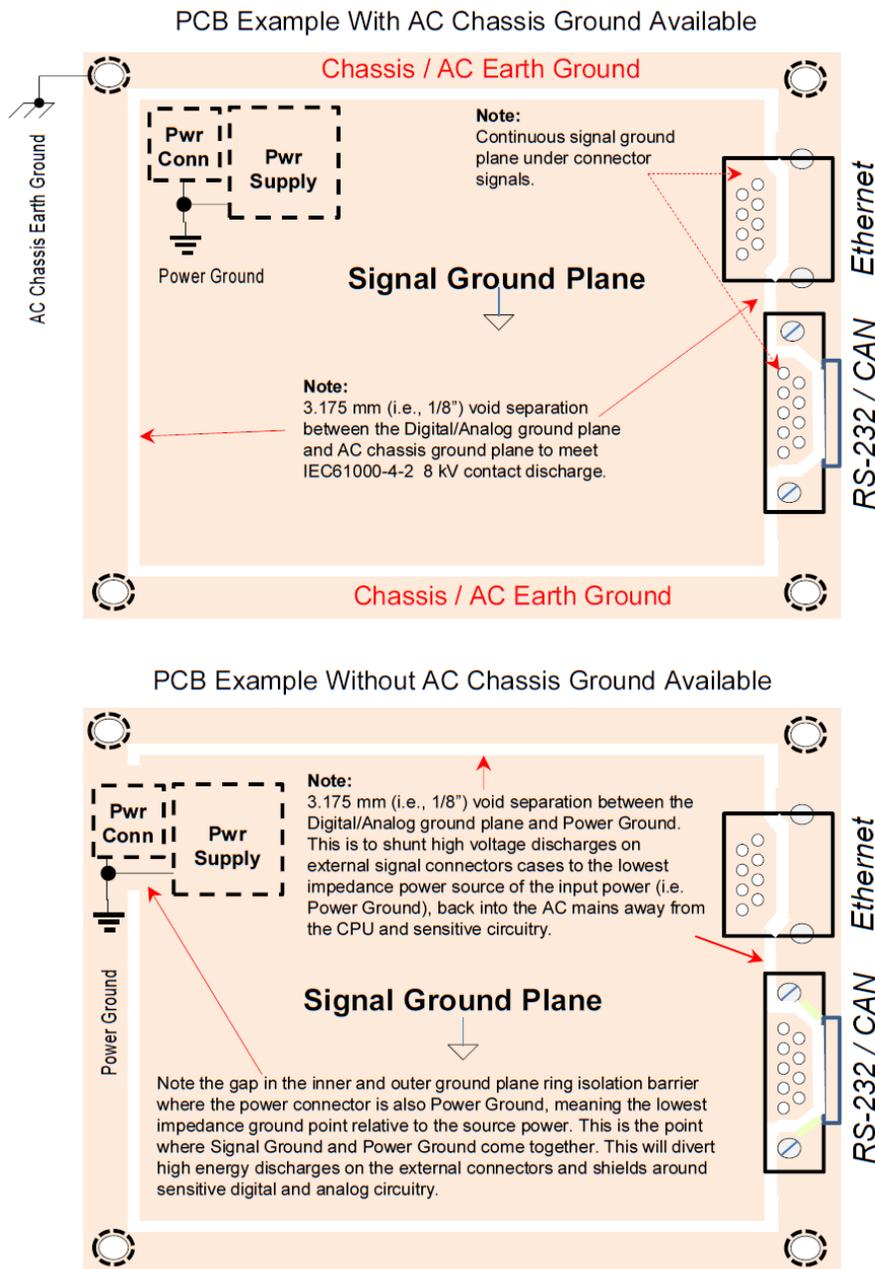
図 7-2. アナロググランドとデジタルグランドの配置



5. 一般的にデジタル回路のノイズと電流はアナログ回路に比べて非常に大きくなります。このため、アナロググランド電流をデジタルグランド電流およびノイズから分離できるレイアウトを採用します(図 7-2 の上の図参照)。デジタル回路のノイズ/電流をアナログ回路から遠ざけるために、グランド分離バリアを採用します。高周波ノイズは最低インピーダンスのルートで(一般的にはグランドプレーン上の最短経路)で伝わるという事を念頭に置く必要があります。アナログ領域とデジタル領域の間をブリッジする低速デジタル信号をグランドの空白部(切れ目)を横切って配線する必要がある場合、1~5 kΩの直列抵抗を使います(図 7-2 の上の図参照)。デジタル領域からアナログ領域への高速信号(オーディオ コーデック用マスタクロック等)のトレースは、グランドの空白部を横切ってはいけません。その場合、分離バリアにブリッジを設ける(図 7-2 の上の図参照)と共に、クロック源で約 50 Ωの終端抵抗を使います。

6. ノイズに敏感なアナログ信号トレースは、高速デジタル信号トレースに平行に配置したり近くに配置してはいけません。トレースを交差させる必要がある場合、直角に交差させる事でトレースが重なる区間での静電容量を最小化します。
7. 高速デジタル信号またはクロックを伝送するトレースは可能な限り短くします。多くの場合、高速デジタル信号とクロックは最大のノイズ源となります。それらのトレースが長ければ長いほど、他とのエネルギー結合が生じる可能性が高くなります。加えて、一般的にループ面積はトレース長よりも重要である事を念頭に置く必要があります。各トレースのすぐ近くに良好な高周波電流リターン経路が存在する必要があります。
8. コネクタに直接接続するトレース(I/O トレース)をできるだけ短くします。そのようなトレースは EMC、EMI、EFT エネルギーが回路基板と結合する経路となる恐れがあります。全ての外部コネクタ I/O ピンには、TVS とフェライトビーズまたはコモンモード チョーク(もしくは両方)を必要に応じて使う事を推奨します(「ESD、EMI、EFT から保護するためのハードウェア回路例」参照)。
9. 一般的に抵抗、コンデンサ、フェライトビーズ等の表面実装パッドの間にトレースを通すべきではありません。
10. PCB トレースには、そこに流れると予測される電流の大きさに応じて適切な幅を持たせる必要があります。上面層または底面層上の一部の領域でミニプレーンを使う事で、適正な電流供給が確保されます。
11. レイアウトを複数の機能ブロックに分割し、重要な信号に関係する全ての部品を互いに隣接させます。
12. 電源プレーンまたはグランドプレーンに接続する全ての部品のリードは可能な限り短くします。表面実装パッドの中のビアを介してプレーンに接続するのが最善の方法です。サーフェス マウントパッドの外でビアを使う場合、パッドとビアの間の接続長を 5~10 mm 以下にします。トレースを可能な限り太くしてインダクタンスを低減します。これには、電源プレーンへの給電用に使うフェライトビーズやヒューズ等が含まれます。
13. 高周波成分を含む信号トレースは、基板 I/O 向け部品の直下に通してはいけません。部品と直下のトレースの間で容量性または誘導性のエネルギー結合が生じる可能性があります。
14. 可能な限り全てのコネクタを基板の 1 つの辺または 1 つの角に集めて配置します。大部分の回路において、コネクタは最も効率的な EMC/ EMI アンテナとなります。コネクタを基板の同じ辺に配置する事で、1 つのコネクタを他のコネクタに対して相対的に駆動するコモンモード電圧を制御しやすくなります。

図 7-3. 外部コネクタの推奨接続方法



15. AC シャシーグラウンドが使えるアプリケーションでは、図 7-3 の上の図に示す通り、デジタル信号グラウンドと AC シャシーグラウンドを接続せず、3.175 mm (0.125 インチ)以上の距離を隔てて分離する事を強く推奨します。これにより、EC61000-4-2 レベル 4 (± 8 kV 接触放電)規格に適合する 11~12 kV のスパークギャップ絶縁が得られます。

USB、Ethernet、SD メモリカード ホルダ、RS232、CAN 等の周辺モジュールのコネクタケースは信号グラウンドから電氣的に絶縁されています。高電圧放電をアースグラウンドへ安全に分路させてデジタルまたはアナログ グラウンド回路を保護するため、可能な限りケースを AC シャシーグラウンド (アースグラウンド)に接続します。図 7-3 では、コネクタの全ての高速信号接続の直下はベタの信号グラウンドプレーンであり、コネクタケースは信号グラウンドから分離された基板外縁の AC シャシープレーンに接続しています。

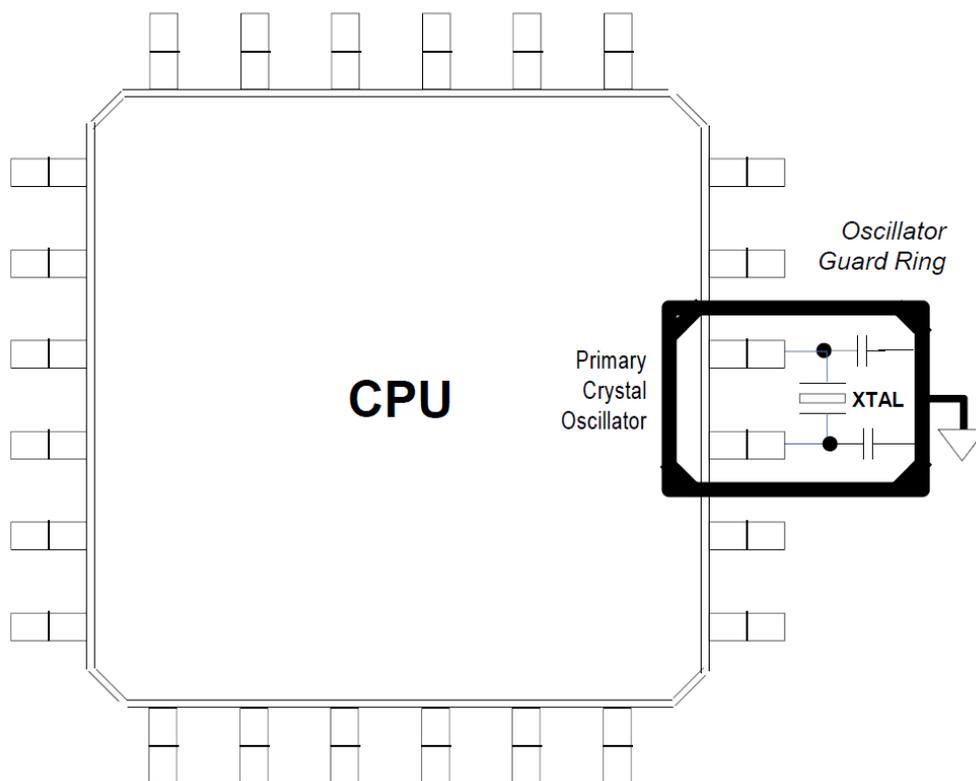
Note: 一部のコネクタ(オーディオ用金属製入出力ジャック等) のケースは絶縁されていません。それらのケースは事実上信号グラウンドとなります。

そのようなケースを分離された AC シャシーグラウンドに接続してはいけません。ケースはフェライトビーズを介して適切にデジタル/アナログ グラウンドに接続する必要があります(「オーディオ ヘッドフォンおよびマイクロフォン回路の保護」参照)。外部周辺機器コネクタのケースが信号グラウンドに対して絶縁されているかどうかは、ユーザが確認する必要があります。絶縁されている場合はコネクタケースを AC シャシーグラウンドに接続し、絶縁されていない場合は適切なフェライトビーズを介して信号グラウンドに接続します。

図 7-3 の下の図は、AC シャシーグラウンド (アースグラウンド) が利用できない場合の例です。この場合の最善策は、分離バリアを残したまま内部の信号グラウンドプレーンと周囲のグラウンド プレーンを回路内で電源に対して最低インピーダンスとなる位置(電源入力とレギュレータの位置)で連結する事です。このレイアウトでは、周囲のグラウンドプレーンを電源グラウンドプレーンと呼びます。これにより、外部コネクタとノイズに敏感なデジタルおよびアナログ回路の周囲のシールドでの高エネルギー放電は電源を通して消散され、AC 主電源へと戻されます。

16. 高速信号回路を 2 つの I/O コネクタの間に配置してはいけません。2 つのコネクタが基板の同じ辺上に配置されていたとしても、それらのコネクタの間を通る高速信号回路は、一方のコネクタを他方のコネクタに対して相対的に駆動するのに十分なコモンモード電圧を誘発し、その結果非常に強い放射エミッションが生じる可能性があります。
17. 未使用の I/O ピンは、入力としてフローティング状態にしてはいけません。それらのピンは、1~10 kΩ の抵抗を介してグラウンドに接続します。
18. オシレータ回路と MCU は基板の同一面上に配置します。また、オシレータ回路は各オシレータピンの近く(12 mm 以内)に配置します。負荷コンデンサは、デバイスと同一面上で、オシレータに隣接させて配置します。オシレータ回路は、グラウンドに接続した銅ベタのガードリングで囲む事により、周囲の回路から隔離します(図 7-4 参照)。両面基板を使う場合、水晶振動子の裏側にトレースを配置してはいけません。

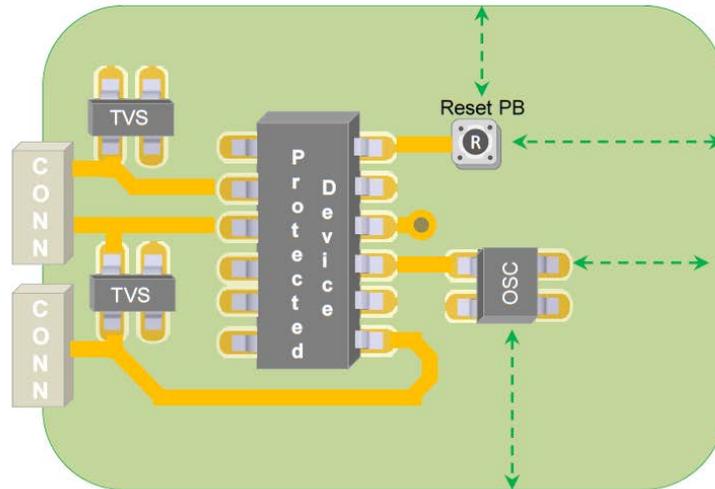
図 7-4. オシレータ ガードリング



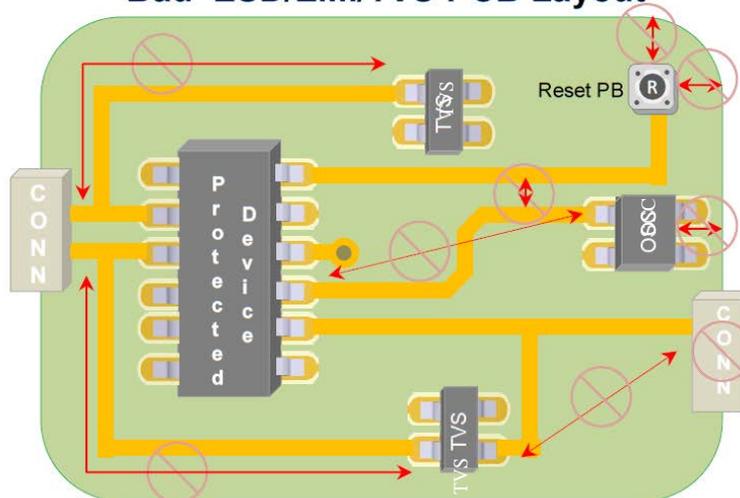
19. 可能であれば、重要な信号またはクロックのトレースは、直上と直下に電源/グランドプレーンを持つ基板層に配置します。上下を 2 つのベタプレーンで挟まれた層にトレースを配置する事で、それらのトレースからの電場を封じ込める事ができ、不要な結合を防ぐ事ができます。
20. ボード内部品で最も高速な遷移時間を要する部品を選びます。デジタル波形の遷移速度がそれらの部品より高速なら、それは過剰な能力で、高調波電力が必要以上に大きくなる可能性があります。ロジック信号の遷移が必要以上に速い場合、直列抵抗またはフィルタを使って遷移速度を遅くできます。
21. 単一デバイスから基板外部へ向かう全ての通信は、同一コネクタを介して行う必要があります。多くの部品(特に大型の VLSI デバイス)は、差動 I/O ピンの中で大きなコモンモード ノイズを生じます。これらのデバイスの 1 つが複数のコネクタに接続された場合、性能の良いアンテナがこのコモンモードノイズによって駆動されていると同様の状態になりかねません。さらに、そのデバイスは、このアンテナから侵入する放射性ノイズの影響を受けやすくなります。
22. TVS は可能な限り外部信号コネクタに近付けて配置し、TVS グランドはグランドトレースを使わずに直接グランドプレーンに接続します。
23. 高速な(またはノイズに敏感な)アナログ/デジタル トレースは、基板の端から $2X$ (X = トレースとそのリターン電流経路の間の距離)以上離して配置する必要があります。トレースからの電磁場を抑制できるよう、ボードの端にトレースを配置しないようにします。そのようなトレースが存在すると、アンテナとの双方向のクロストークおよび結合が強まる傾向にあり ESD、EMI、EFT イベントの影響を受けやすくなります。
24. 影響を受けやすい部品および回路は、PCB の端から離して(基板の中央に寄せて)配置する事を推奨します。PCB 外縁の AC シャシー グランドリングを使わない場合、そのような部品/回路を中央に寄せる事ができなければ、PCB の端から 12 mm 以上離して配置し、PCB の角を丸める事を推奨します(図 7-5 参照)。なぜなら、高電圧放電イベントでは高周波エネルギーが PCB の外縁(特に直角コーナー)に集中するからです。

図 7-5. PCB レイアウトの例

Good ESD/EMI/TVS PCB Layout



Bad ESD/EMI/TVS PCB Layout



25. 差動信号トレースペアは一緒に配置し、全てのベタプレーンから等距離を保つ必要があります。差動信号は、トレースペアの平衡が取れていれば(すなわち長さが同じで、他の導体に対するインピーダンスも同じであれば)、ノイズの影響を受けにくく、放射性エミッションの発生も抑えられます。電流ループと放射性 EMI を最小化するため、差動信号およびその他の高速信号は PCB の第 1 層(グランドプレーン層の直上)に配置します。
26. 同じ電源リターン(グランド)を基準とする全ての電源(電圧)プレーンは、同じ層に配置します。基板で 3 つの電源(3.3 V、3.3 V アナログ、1.8 V)を使う場合、これらのプレーン間の高周波結合を最小化する事が通常望まれます。これらの電圧プレーンを同じ層に配置する事で、プレーン同士の重なりを防ぐ事ができます。また、レイアウトも効率的になります。なぜなら、能動デバイスが基板上で 2 つの異なる電圧を要求する事は通常ないからです。
27. 2 つの電源プレーンの間には 3 mm 以上の分離距離(11 kV の絶縁)が必要です。同一層上で 2 つのプレーンを近付け過ぎると、強い高周波結合が生じる可能性がある他、不利な条件ではアーク放電または短絡の問題が生じる可能性があります。

28. 電源およびグランドプレーンを持つ基板では、それらのプレーンへの接続にトレースを使ってはいけません。接続には、部品の電源パッドまたはグランドパッドに隣接したビアを使います。異なる層に配置されたプレーンへの接続にトレースを使うと、基板のスペースを消費するだけでなく接続のインダクタンスを増加させます。電源バス デカップリングの目的は高周波インピーダンス問題を解決する事であり、このインダクタンスが無視できない可能性があります。CPU 等のデバイスが複数の電源ピンを備える場合、EMI/ EFT フィルタ処理したローカル電源とグランド アイランドが必要になる場合があります。
29. 基板に複数のグランドプレーン層が存在する場合、それらのグランド層の間は 1 点で接続します。基本原理として、高周波電流は最低インピーダンスの経路を通して流れます。特定プレーンに接続するだけでこれらの電流の流れを指定できるとは考えないでください。
30. 分離が必要なノイズの影響を受けやすいアナログ動作部が存在しない場合、グランドプレーンにギャップやスロットを設けないのが理想的です(図 7-3 参照)。通常、1 つの基板層を完全なベタのグランド(信号リターン)プレーンとして使うのが理想的です。グランドプレーンから直流絶縁する必要のある追加の電源または信号電流リターン経路は、グランドプレーンとは異なる層に配置する必要があります。
31. 高速信号トレースは基準プレーンの切り欠き部と交差してはいけません。そのような箇所からは EMC が発生する可能性があります。
32. シャシーと接触(または結合)する基板上の全ての電源/グランド導体(ケーブル等、高周波数でアンテナを形成しやすい導体)は互いに接続します。異なる導体(一般的にグランド同士) の間で生じる無用の電位差は、放射性エミッションとノイズ感受性問題の主要因となります。
33. 外部と接続するインターフェイス部品は、PCB の端に近付けて配置します。その他の部品は、環境からの影響(ESD)を低減するために、PCB の端から遠ざけて配置します。
34. フィルタ (RC、フェライトビーズ等)を外部信号に対して使う場合、それらのフィルタ部品は PCB への外部信号入力点に配置する必要があります。ノイズ抑制用に使うフェライトビーズは、ノイズの影響を受けるデバイス側ではなく常にノイズ源側に配置します。ノイズが広がってしまうと対策がより困難となるため、ノイズは常にソース側で抑制するよう心掛けます。
35. コモンモード チョークまたは過渡電圧サプレッサ(TVS、MOV)を電源フィルタ用に使う場合、それらは PCB 上の電源入力点に配置する必要があります。TVS によって回路を保護する場合、コネクタからの外部信号を最初に TVS へと配線し、次いでフェライトまたはコモンモード チョークを経由して、保護が必要な部品へと配線します。
36. 差動信号(主電源(L/N)を含む)は、同一コネクタ内の互いに隣接したピンから入力する必要があります。
37. PCB トレースの向きを変える場合、45°の曲げを使います(90°の曲げは絶対に使ってはいけません)。
38. 電源プレーンまたはグランドプレーンに接続する全ての部品のリードは可能な限り短くします。表面実装パッドの中のビアを介してプレーンに接続するのが最善の方法です。表面実装パッドの外でビアを使う場合、パッドとビアの間の接続長を 5~10 mm 以下にします。トレースを可能な限り太くしてインダクタンスを低減します。これには、電源プレーンへの給電用に使うフェライトビーズやヒューズ等が含まれます。

7.2 PCB バイパス

1. PCB の全ての電源入力点の近くにバイパス コンデンサを配置する必要があります。これらのコンデンサは有害な高周波ノイズノイズを単純にグランドへ逃がす事により、ノイズが回路に侵入する事を防ぎます。

2. 回路内の全ての IC 電源接続と全ての電圧レギュレータには、容量が 10 倍、100 倍と異なる複数のバイパス コンデンサを並列にして使います。
3. バイパス コンデンサのリードはできるだけ短くします。表面実装パッド内のビアを介してグランドプレーンに接続するのが最善の方法です。表面実装パッドの外でビアを使う場合、パッドとビアの間の接続長を 5~10 mm 以下にします。トレースを可能な限り太くしてインダクタンスを低減します。
4. IC のデカップリング コンデンサはできるだけピンの近くに配置します。コンデンサとデバイスを基板の同一面上に配置する事を推奨します。2 個のコンデンサ(0.1 μ F と 0.001 μ F)を並列にして使うのが理想的です。最初にデカップリング コンデンサまでの電源ラインの往復パターンを配置してからデバイスピンへのパターンを配置します。これにより、デカップリング コンデンサを電源システムの初段として確実に配置します。コンデンサと電源ピンの間のパターン長を最短にして PCB の配線インダクタンスを低減する事も重要です。
5. 電源の安定性を向上させるため、電源プレーンの領域全体に分散させて(特に大電流を消費するデバイスの周囲に)バルクコンデンサを配置する事を推奨します。バルクコンデンサの標準的な容量は 4.7~47 μ F です。バルクコンデンサは、電流要求が最も高い位置に近付けて配置します。機能ブロックあたり少なくとも 1 個のバルクコンデンサを配置し、瞬時電流要求が高い部品(CPU 等)の近くでは個数を増やします。

7.3 PCB の積層構造

1. 4 層 PCB の例:

- 第 1 層: 部品と信号(短いトレース)
- 第 2 層: グランドプレーン
- 第 3 層: 電源プレーン
- 第 4 層: 信号

Note: この層構造は全ての高速 Ethernet LAN 回路向けに強く推奨します。EMC、EMI、EFT 要件のほとんどを満たすには少なくとも 4 層が必要です。

2. 6 層 PCB の例:

- 第 1 層: 部品と信号(短いトレース)
- 第 2 層: グランドプレーン
- 第 3 層: 信号
- 第 4 層: 信号
- 第 5 層: 電源プレーン
- 第 6 層: 信号

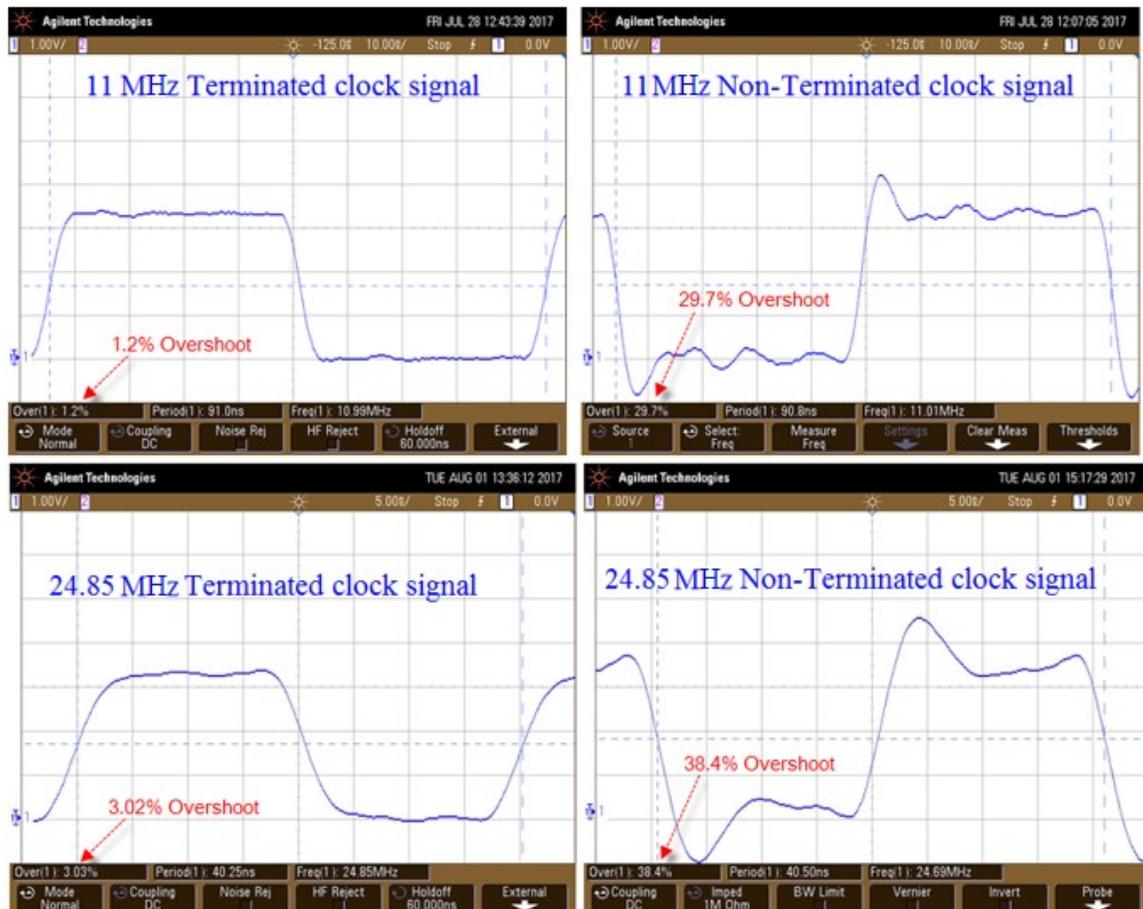
Note: 4 層または 6 層基板の第 1 層は重要なトレースと部品実装のため基本層であり、直下の第 2 層はデジタルグランドのベタ層とします。ビアを経由したくない部品の接続には第 1 層を使います。

3. 全てのトレース(特に高速の重要信号トレース)は、直下の第 2 層にベタ グランドプレーンを持つ第 1 層に配置します。これらのトレースの直下には、トレースの全区間を通して切れ目のないグランドプレーンが必要です。これにより、EMC 性能と信号インテグリティが向上します。
4. Ethernet シャシー グランドプレーンはデジタル グランドプレーンから分離する必要があります。
5. PCB 回路内およびシステム内でのグランドループの形成を防ぐ必要があります。配線を容易にするために複数の信号層を使う場合、信号クロストークを最小化するために隣接する層上のトレース同士は直角に交差させます。

7.4 PCB 信号インテグリティに関する注意点

1. デジタル セクションとアナログ セクションの間の低速 I/O トレースがグランドプレーンの空白部 (スロット、バリア等) を横切る必要がある場合、信号エッジの遷移速度を低減して放射性 EMI を最小化するために、抵抗または高 DCR のフェライトを使います。別の方法として、多くの CPU (PIC32MZXXEFXX、PIC32MZXXDAXX、PIC32MKXX ファミリ等) は、同様の目的で使えるユーザ設定可能スルーレート制御機能を備えています (詳細は、対応するデバイスファミリ データシート参照)。高速信号トレースまたはクロックラインは、決してグランドプレーンの空白部を横切ってはいけません。
2. PCB 上で非常に長いトレースを持つ全ての高速スイッチング信号とクロックラインには、AC 終端抵抗を使います。この終端抵抗はトレースの負荷端に取り付けます。一般的に、50 Ω 直列抵抗と一緒に 50 kΩ 並列抵抗を負荷とグランドの間で使います。
3. インピーダンス整合用 50 Ω 直列終端抵抗を使う事で、重要な高速信号でのリングング オーバーシュート/アンダーシュートを最小化します。これらの直列終端抵抗は、トレースのドライバ端 (トレースの負荷端とは反対側) に配置します。信号周波数が 35~45 MHz のレンジを超える場合、終端抵抗を使わないと 50% レベルのオーバーシュート/アンダーシュートが生じる可能性があります。そのような高速信号は、放射性 EMI/ EMC 性能とクロストークに大きく影響を及ぼします。

図 7-6. 終端抵抗の有無によるクロック信号の比較



4. 高速信号、差動信号、クロックラインでのビアの使用と分岐は避けるべきです。
5. ビアを使うと信号トレースの静電容量が増加するため、高速信号回路では全体的にビアの使用を最小限にします。

6. クロストーク問題を防ぐには、信号クロストークに関する全ての設計規則に従います。クロストーク問題を防ぐため、トレースとトレースの間に十分な距離(経験則に従いトレース幅の 3 倍)を保ちます。高速信号のクロストークを最小化するためにガードトレースを使う事もできます。
7. 大きなバスのインピーダンス整合には、SMT 抵抗アレイの使用を考慮します。
8. 大部分のベンダーは出力立ち上がり/立ち下がり時間とドライバインピーダンスを明記していないため、正確な終端抵抗値を前もって決定する事は困難な場合があります。これは、最初の試作回路を使ってベンチ上で調整できます。一般的に、22~50 Ω の抵抗が適すると言われます。

Note: 大部分のメーカーは IC の IBIS モデルをオンラインで公表しています。IBIS テキストファイル内で V/I 値と出力ドライバピンの出力インピーダンス値を調べる事で、正確なインピーダンスを特定できます。

8. Ethernet 10/100BASE-T 設計ガイドライン

8.1 Ethernet TX±/RX±差動ペアに関する注意点

1. RX±および TX±ペアは差動ペアとして配線する必要があります。これには RJ-45 コネクタから LAN デバイスまでのトレースの全区間が含まれます。
2. RX±および TX±差動ペアは互いにできるだけ近付けて配線します。通常、最小トレース距離(4~5 mil)を使ってインピーダンスの計算を始めます。トレースの幅は 100 Ω のインピーダンスが得られるように調整します。
3. 差動ペアは、100 Ω のインピーダンス制御ペアとして構成する必要があります。
4. EMI 保護用のコモンモード チョークを含む回路のインピーダンスは 100 Ω である必要があります。
5. 差動ペアは他の全てのトレースからトレース幅の 3 倍以上の距離を確保して配線します。
6. 差動ペアの各トレースは等長である必要があります。正極性/負極性ペアの長さの違いは 20 mil 以下である必要があります。
7. 差動ペアのトレースはできるだけ短くします。
8. ビアの使用は推奨しません。ビアの使用は最小限にし、常に差動ペア同士のバランスが保たれるように配置します。
9. 差動ペアのトレースは同じ基板層に配置する事を推奨します。可能な限り、差動ペアは同じ電源/グランドプレーンを基準とします。
10. ノイズ耐性を最適化するため、送信ペアと受信ペアは可能な限り遠ざけて配置します。
11. 送信終端処理と送信トレースは常に同じプレーンを基準とする必要があります。同様に、受信終端処理と受信トレースは常に同じプレーンを基準とする必要があります。
12. 差動ペアのトレースを優先的に配置します。終端処理はトレースの配置が決まった後に追加します。終端は差動トレースにスタブを作る事なく配置します。
13. Ethernet フロントエンド内の全ての抵抗性終端処理には許容誤差 1.0%の抵抗を使う必要があります。
14. Ethernet フロントエンド内の全ての容量性終端処理には許容誤差が小さい高品質誘電体コンデンサ(NPO)を使う必要があります。
15. 送信差動ペアと受信差動ペアの間にグランドプレーン ランドを挿入して実験する事により、分離を最適化できます。このグランドプレーンと全てのトレースの間には 3~5 倍の誘電体距離を保つ必要があります。
16. これと同じテクニックは、異なる Ethernet ポート間のクロストークが問題となる場合に、ポート間の分離用にも使えます。その場合、グランドプレーンを Ethernet チャンネル同士の間には挿入します。2 つのチャンネルの間隔を可能な限り広げます。この場合も、グランドプレーンと全てのトレースの間には、3~5 倍の誘電体距離を保ちます。
17. TX データと TXCK レーンの長さの差は 300 mil を超えないようにします。
18. RX データと RXCK レーンの長さの差は 300 mil を超えないようにします。
19. シングルエンド信号トレースのインピーダンスは 50±10% Ω とします。

8.2 未使用 Ethernet ケーブルペア

コモンモードに配慮するため、未使用ケーブルペア(RJ-45 コネクタのピン 4/5/7/8)は正しく終端処理する必要があります。これらの終端処理は RJ-45 コネクタのできるだけ近くに配置し、太くて短いトレースで配線します。

未使用ケーブルペア向けの内部終端処理を備えた RJ-45 コネクタを使わない場合、75 Ω 抵抗と高耐圧 (2 kV) のコンデンサを介して適切なシャシー グランドプレーンに接続する事で終端処理します。

8.3 Ethernet RJ-45 コネクタ

1. シールドされた金属ケースを持つ RJ-45 コネクタを推奨します。
2. 金属シールドは適切なシャシーグランド プレーンに直接接続します。
3. その他の ESD 対策として、表面実装接点付き RJ-45 コネクタが使えます。これにより配線をシングル化して Ethernet フロントエンド内での分離を向上させる事で、ESD 耐性を強化できます。

8.4 Ethernet マグネティクス

1. 各種の LAN デバイス向けに様々なマグネティクスが提供されています。マグネティクスを選定する際はパッケージ、向き、サイズ等の全てを考慮に入れる必要があります。

表 8-1. Ethernet マグネティクスの選定基準

パラメータ	値	試験条件
巻き数比	1 CT :1 CT	-
開回路インダクタンス(min.)	300 μ H	100 mV、100 kHz、8 mA
挿入損失(typ.)	-1.1 dB	100 kHz~100 MHz
HIPOT (min.)	1500 Vrms	-

2. マグネティクスは、できるだけ RJ-45 コネクタに近付けて配置します。
3. マグネティクスの形態(North/South または East/West)に応じて、RJ-45 コネクタに対するマグネティクスの取り付け向きが決まります。マグネティクスのネットワーク側が RJ-45 コネクタの方を向き、マグネティクスのデバイス側が LAN デバイスの方を向いている事を確認します。これにより、マグネティクスの内部を通して高電圧バリアを PCB 上に正しく配置できます。
4. LAN デバイスをマグネティクスに近付けて配置できれば理想的ですが、それよりもマグネティクスを RJ-45 コネクタのできるだけ近くに配置する事の方が重要です。LAN デバイスは RJ-45 またはマグネティクスからある程度離れていても構いません。

9. DDR 設計ガイドライン

1. 各データレーンで、各信号と対応する DQS/DQSn 信号の長さの差は 100 mil を超えないようにします。
2. 同一データレーンの全ての信号トレースを同じ基板層に配線する事を推奨します。
3. DQS/DQSN 信号ペアは差動トレースとして配線します。差動トレースは長さの差が 20 mil を超えないよう、かつインピーダンスが $100 \Omega(\pm 10\%)$ となるようにします。
4. データレーンと CK 信号の長さの差は 400 mil を超えないようにします。
5. シングルエンド信号トレースのインピーダンスは $50 \pm 10\% \Omega$ とします。
6. ADDR/ CMD/ CTL 信号と CK 信号の長さの差は 200 mil を超えないようにします。また、これらの信号の全てを同じ基板層に配線する事を推奨します。
7. CK/ CKn 信号は、差動トレースとして配線する必要があります。差動トレースは長さの差が 20 mil を超えないよう、かつインピーダンスが $100 \Omega(\pm 10\%)$ となるようにします。
8. 同一データレーン内の信号クロストークを最小化するトレース間距離: 8~12 mil
9. データレーン信号とその他の信号の間のトレース間距離: 20 mil 以上
10. ADDR/CMD/CTL/CK とその他の信号の間のトレース間距離: 20 mil 以上
11. マイクロコントローラと DDR メモリの配置を最優先します。これらのトレースは可能な限り短くし、ビアの数を最小限にします。

10. 人体モデル(HBM)と ESD IEC 61000-4-2 の違い

HBM と IEC 61000-4-2 規格の間には様々な違いがあり、この違いを考慮に入れて外部 ESD 保護ロジックを使う必要があります。主な違いは以下の通りです。

- 電圧パルス中の電流の大きさ(結果として開放される電力の大きさ)が異なる
- 電圧パルスの立ち上がり時間が異なる
- 試験中の電圧パルスの回数が異なる

電流/電力の大きさの違いは、被試験回路が ESD パルスに耐えるかどうかにより重大な影響を及ぼします。なぜなら電流レベルが高いと接合部の損傷や金属膜トレースの溶融が生じる危険性があるからです。10 kV HBM に対して保護されたデバイスは 2 kV の IEC 61000-4-2 パルスによって破壊される可能性があります。先進技術による半導体デバイスの小型化により外乱の影響を受けやすくなる傾向があるため、時にはそのような技術によって問題が悪化する可能性があります。

表 10-1. HBM と ESD IEC 61000-4-2 の接触放電ピーク電流

印加電圧	HBM ピーク電流	IEC 61000-4-2 ピーク電流
2 kV	1.33 A	7.5 A
4 kV	2.67 A	15.0 A
6 kV	4.00 A	22.5 A
8 kV	5.33 A	30.0 A
10 kV	6.67 A	37.5 A

表 10-1 内で注意すべき最も重要な違いは、電圧パルス時のピーク電流レベルです。この事は、TVS を選定する際に考慮する必要があります。大半の半導体デバイスはある程度の ESD HBM ピーク電流での接触に耐える事を保証していますが、外部 ESD 保護ロジックを使わずに 5.5 倍も高い IEC 61000-4-2 ピークサーージ電流に耐えるとは保証していません。製造環境において IC を保護するために使われる定格(HBM、CDM 等)は、IEC 61000-4-2 におけるシステムレベルの ESD 試験と等価ではありません。

HBM モデルは 25 ns の立ち上がり時間を規定しています。これに対し、IEC パルスはたった 1 ns 未満で立ち上がり、そのエネルギーの大部分が最初の 30 ns 間で消散されます。大半の半導体の内部保護ロジックの応答時間が 25 ns であるとした場合、HBM 対応の定格を持つデバイスは、IEC 61000-4-2 試験にかけられると破損する可能性があります。ターゲット デバイスのデータシートに IEC 61000-4-2 に対して試験済みである事が明記されていない場合、そのデバイスが HBM にしか対応していないと想定して使用するか、製造者に問い合わせる必要があります。

その他の重要な違いは、試験中に使われる電圧パルスの回数です。IEC 61000-4-2 試験は 10 回の正極性パルスと 10 回の負極性パルスを要求するのに対し、HBM 規格は 1 回の正極性パルスと 1 回の負極性パルスしか要求しません。デバイスが 1 回のパルスに耐えたとしても、最初のパルス中に受けたダメージのせいで後続のパルス中に問題が生じる可能性があります。

11. ソフトウェアによる EFT 保護

「EFT (Electrical Fast Transient)耐性 IEC 61000-4-4」で説明した通り、EFT イベントに対する保護または回路設計が不適切である場合、以下の問題が最も一般的に発生します。

- CPU またはシステムのリセット (最もよくある問題)
- 通信のエラーまたは障害
- ラッチアップ
- メモリ破損

保護が不十分である場合、EFT イベントによって最も一般的に生じる問題は CPU リセットです。大部分の CPU は複数のリセット機能を有しています(例: 外部ハードウェア リセット、ブランアウト リセット (BOR)、低電圧検出(LDV)リセット、パワーオン リセット(POR))。各リセットのトリガ条件は異なりますが、アプリケーション ソフトウェアにおける課題は、発生したリセットが正常な物かどうか(例: 正常な電源投入ルーチンによるリセットなのか EFT イベントによるリセットなのか)を正しく判別する事です。ソフトウェア保護に関して「絶対的」な方法は存在しません。本章では、常識的な「最善の方策」のいくつかを紹介します。また、本章の最後で、POR または BOR イベントが EFT イベントによって発生したのか(それとも正常な電源投入シーケンスなのか)をユーザ アプリケーションで判別可能とするためのテクニックを紹介します。

11.1 コード暴走からの保護

ウォッチドッグ タイマ(WDT)

WDT を使ってコード暴走イベントが発生した事を検出し、正常動作へ復帰する事ができます。

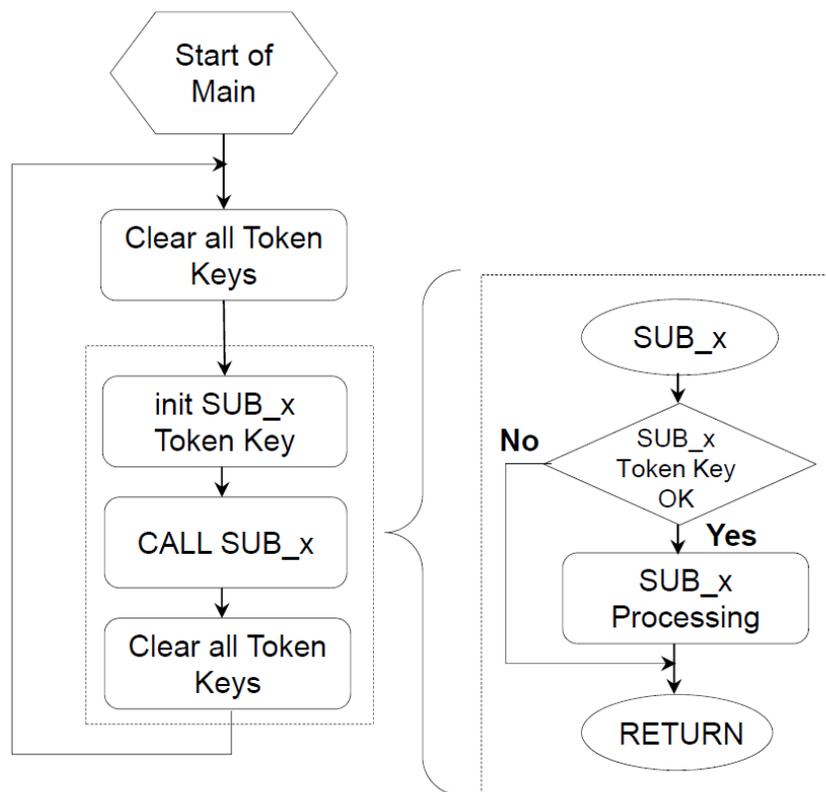
1. 可能な限り短い WDT タイムアウト周期を使う事で、コード暴走状態が長く持続する事を防ぎます。
2. main ループの実行周期が WDT タイムアウト周期以下である場合、WDT クリア動作を main ループ内(割り込みルーチン内ではない)で 1 回だけ使います。main ループ実行周期が WDT タイムアウトよりも長い場合、main ループ内に複数回の WDT クリア動作をほぼ等間隔で配置します。
3. WDT をクリアするかどうかを決定するために、単一ビットではなく複数の RAM チャレンジ トークンキーを使います。

トークンキー

チャレンジ RAM 永続トークンキーを使う事により、重要なサブルーチンと WDT クリアをコード暴走イベントから保護します。これは、致命的なコード暴走を防ぐために役立ちます。

Note: 永続変数は、コンパイラ実行時初期化ルーチンによってリセット時に自動的に初期化されない変数です。コンパイラ実行時初期化ルーチンは、リンクが接頭辞としてユーザ オブジェクトおよび hex ファイルに付加するルーチンであり、ユーザのソースコードでは不可視です。このタイプの変数の長所は、リセットイベントによって preinitialize されない事です。これにより、実行時にその変数を初期化すべきかどうかと初期化するタイミングを、例えば EFT に起因するリセットが正常な起動時リセットかに基づいて、ユーザコードで評価および決定する事が可能となります。

次ページの図に、`_persistent unsigned int token_sub_x, token_sub_y, token_sub_z;` の例を示します。

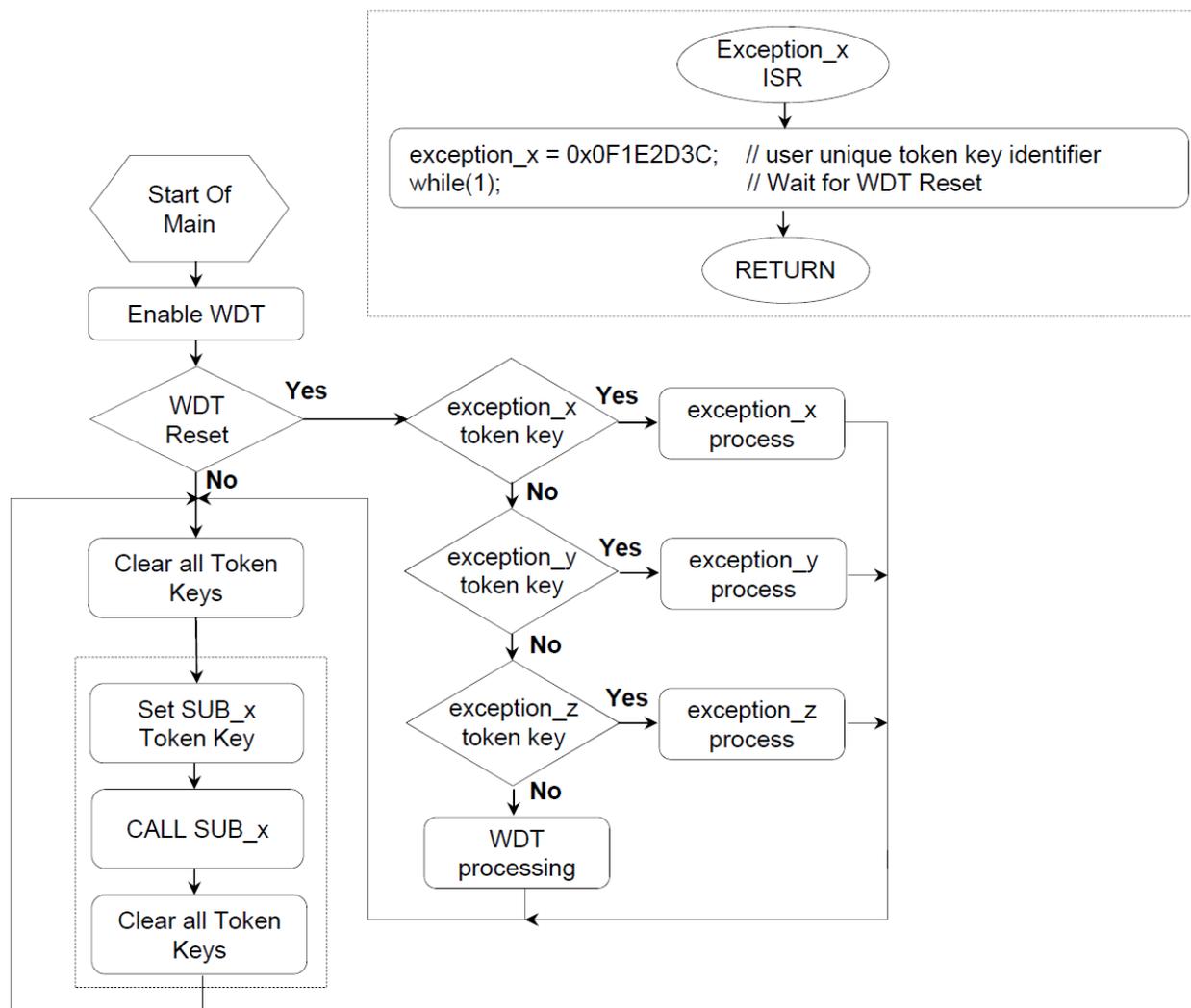


例外ハンドラ

1. 全ての例外エラー(不正オペコード、境界に整列しないアドレス、不正メモリアドレス等)に対してISRを作成します。
2. 例外の各タイプに対して永続変数を作成し、例外ISRへの移行時に永続変数をユーザが選択した一意値で初期化します。PIC32向けMPLAB XC32 C/C++コンパイラは、`while(1)`を使って全てのユーザ未定義例外を自動的に実装します。

Note: 大部分のCPUでは、例外IDレジスタは永続ハードウェアレジスタであり、どのタイプのリセットでもクリアされません。対応するCPUデータシートまたはソフトウェアのユーザガイドで確認してください。使用するCPUが永続ハードウェア例外IDレジスタを備えている場合、次ページに記載した例の中のソフトウェア例外RAMトークンキーの部分は使いません(無視してください)。

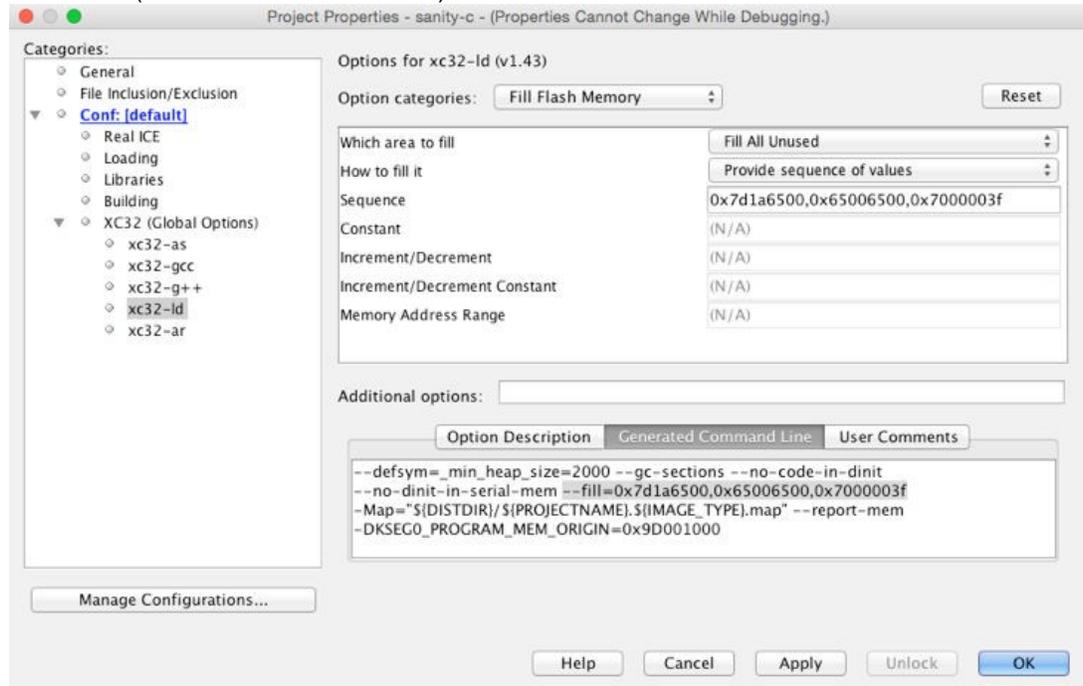
3. WDT CPUリセット時に、何らかの例外がEFTイベントとして発生した形跡がないか確認し、適切に処理する必要があります。

図 11-1. 例外の例 `_persistent unsigned int exception_x, exception_y, exception_z;`

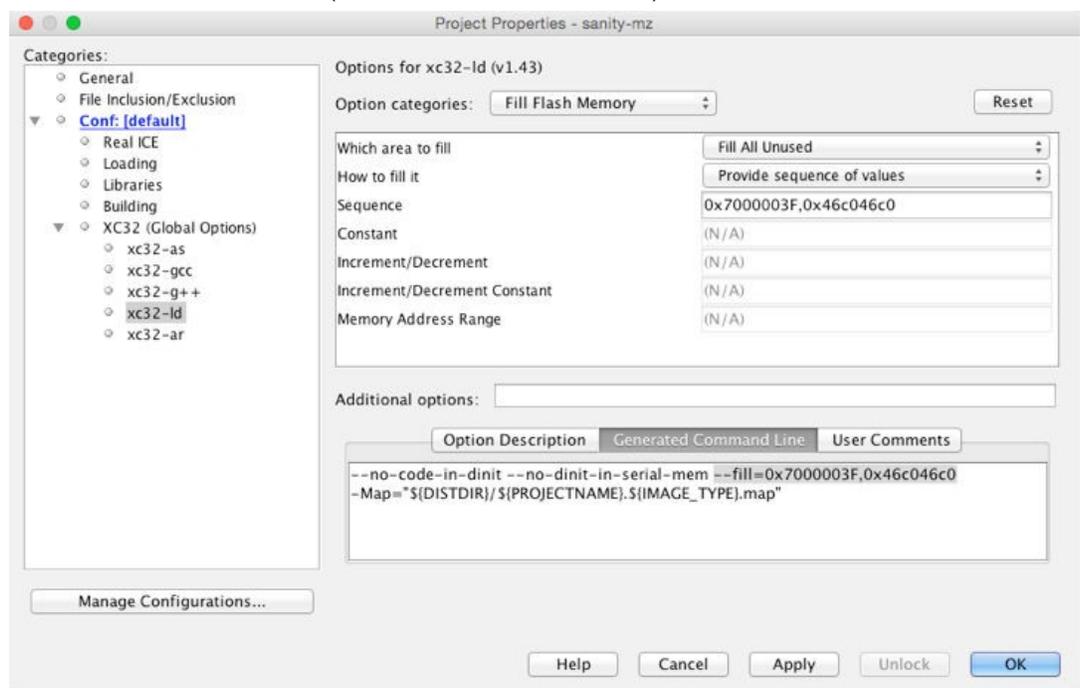
未使用プログラムメモリへの書き込み

1. EFT イベントによって CPU 実行が誤って未使用プログラムメモリ空間にアクセスした場合にコード暴走を阻止して WDT タイムアウト/リセットを可能とするため、未使用プログラムメモリにトラップ命令シーケンスを書き込んでおく事を考慮すべきです。コンパイラ マクロが利用可能な場合もあるため、開発ツールのマニュアルまたはコンパイラのユーザ マニュアルを参照する事を推奨します。例として、MPLAB® X IDE を使った方法を次ページに示します。

1.1. PIC32MX (MIPS32 および MIPS16e) の場合



1.2. PIC32MZ および PIC32MK(MIPS32 および microMIPS) の場合



11.2 プログラムメモリとシステム インテグリティの検証

保護が不十分な回路では、重大な EFT イベントによってフラッシュメモリの(従ってアプリケーション コードの)インテグリティが悪化する可能性があります。アプリケーションを保護する 1 つの方法として、チェックサム方式でフラッシュの内容のインテグリティを保証することができます。

1. フラッシュ プログラムメモリ チェックサム関数を書きます(後述の PIC32 サンプルコード参照)。この関数は、全てのプログラムメモリ位置(アドレス 0 から、ユーザチェックサムの保存位置である最後の 4 つの PM ワードの直前まで)でチェックサムを計算する必要があります。
2. EFT 検出回路(図 11-2)を実装した場合、ユーザ ソフトウェアは以下を選択できます。
 - 2.1. EFT イベント検出時にフラッシュ プログラムメモリの検証を実行する(正常な電源投入リセット時には実行しない)
 - 2.2. EFT イベント検出時にクラス B セーフティ ライブラリ テストを実行する(全てのリセット時に実行するのではない)

クラス B セーフティ ソフトウェア ライブラリの対象となる MCU 回路部品のフォルト/エラー:

1. CPU レジスタスタック
2. プログラム カウンタ スタック
3. 割り込み処理および実行: 割り込みが皆無または多すぎる
4. クロック周波数: クロック障害または不正周波数
5. メモリテスト (フラッシュ/EEPROM): 全てのシングルビット エラー
6. メモリテスト(RAM) DC 故障

大部分の CPU メーカーは、無償のクラス B ライブラリを提供しています

(<http://www.microchip.com/design-centers/home-appliance/class-b-safety-software> 参照)。

```

PIC32 EXAMPLE ONLY:
/*****
// For compile, user must define:
// Class_B_Tests() user defined function
// PM_Error() user defined function
// Err_Rpt() user defined function
/*****
#include <string.h>
#include <stdint.h> // Defines uint32_t
#include <xc.h>     // Defines KSEG0_PROGRAM_MEM_BASE &
                  // KSEG0_PROGRAM_MEM_LENGTH for PIC32M

/*****
// These are predefined XC32 product header file defines
//
// KSEG0_PROGRAM_MEM_BASE
// KSEG0_PROGRAM_MEM_LENGTH
/*****
// The starting address of the last 4 words in program memory are:
#define CHECKSUM (( KSEG0_PROGRAM_MEM_BASE + KSEG0_PROGRAM_MEM_LENGTH)-16)
#define EFT      //Comment out if no EFT detector circuit
#define PORTCbits.RC12 Nom_Pwr_Up //Example only

extern const uint32_t attribute ((address(CHECKSUM))) inputData[4];

main(void)
{
    uint32_t EFT_err=0;

    if(RCONbits.POR || RCONbits.BOR)
    {
        RCONbits.POR = 0;
        RCONbits.BOR = 0;

        #ifdef EFT //If EFT hardware detector circuit present
        if (Nom_Pwr_Up) //If EFT reset event detected
        {
            if (!PM_Checksum_Calc) //If PM chksum fails
            {
                PM_Error(); //PM integrity compromised, Report
                            //error & go to safe condition
                EFT_err = (EFT_err | 0x1);
            }
        }
        if (!Class_B_Tests())

```

```

        {
            Err_Rpt(); //Report Class_B failure EFT_err = (EFT_err | 0x2);
        }
        while (EFT_err); //If Chksum or Class_B error wait forever
    }
    #else
    {
        if (!PM_Checksum_Calc())
        {
            PM_Error(); //PM integrity compromised EFT_err = (EFT_err | 0x1);
            while (EFT_err); //If Chksum err wait forever
        }
    }
    #endif
}

//*****
//USER APPLICATION CODE HERE
//*****

} //END MAIN

//*****
// Program Memory Code Integrity Verification Function
// Call this function in case of a possible EFT, Electrical Fast Transient,
// event where the Flash content may have been compromised.
// NOTE:This algorithm should provide ~100,000 to 1 chance that a random
// Flash pattern would match the user checksum.
//***** int
PM_Checksum_Calc (void)
{
    uint32_t *checksum_ptr;
    uint32_t checksum_array[4], carry, loop_cnt, start_addr= KSEG0_PROGRAM_MEM_BASE; uint64_t
    sum;
    for (loop_cnt=0; loop_cnt < 4; start_addr+= 4, loop_cnt++)
    {
        sum=0; carry = 0;
        checksum_ptr = (uint32_t *) start_addr; while ( (uint32_t)checksum_ptr < CHECKSUM)
        {
            sum = (sum + *checksum_ptr ); sum = (sum * 2);
            if (sum > 0xFFFFFFFF)
            {
                carry++;
                sum = (sum & 0xFFFFFFFF);
            }
            checksum_ptr += 4;
        }
        checksum_array[loop_cnt] = (uint32_t) (sum + carry);
    }

    //*****
    // Place user breakpoint here for very first time only to read checksum values
    // from "checksum_array" for insertion into "inputData" Flash constant data
    // section in Flash memory, then reprogram device.
    //***** Nop(); //One time
    user Breakpoint after code development 100% complete.
    //Code "checksum_array[4]" values into Flash "inputData[4]" constant
//Flash data array and then reprogram device for final release.

    return !memcmp(inputData, checksum_array, 16); //return 1 if match
}

//*****
// Define the last 4 words of Program memory to contain the user
// program memory checksum words.
//
// Populate these Flash words with the program memory checksum
// from "checksum_array" inside the "PM_Checksum_Calc" function
// at the indicated debug breakpoint then reprogram device.
//***** const uint32_t
attribute ((address(CHECKSUM))) inputData[4] =
{
    0x00000000, //Checksum 0, user populates these values from

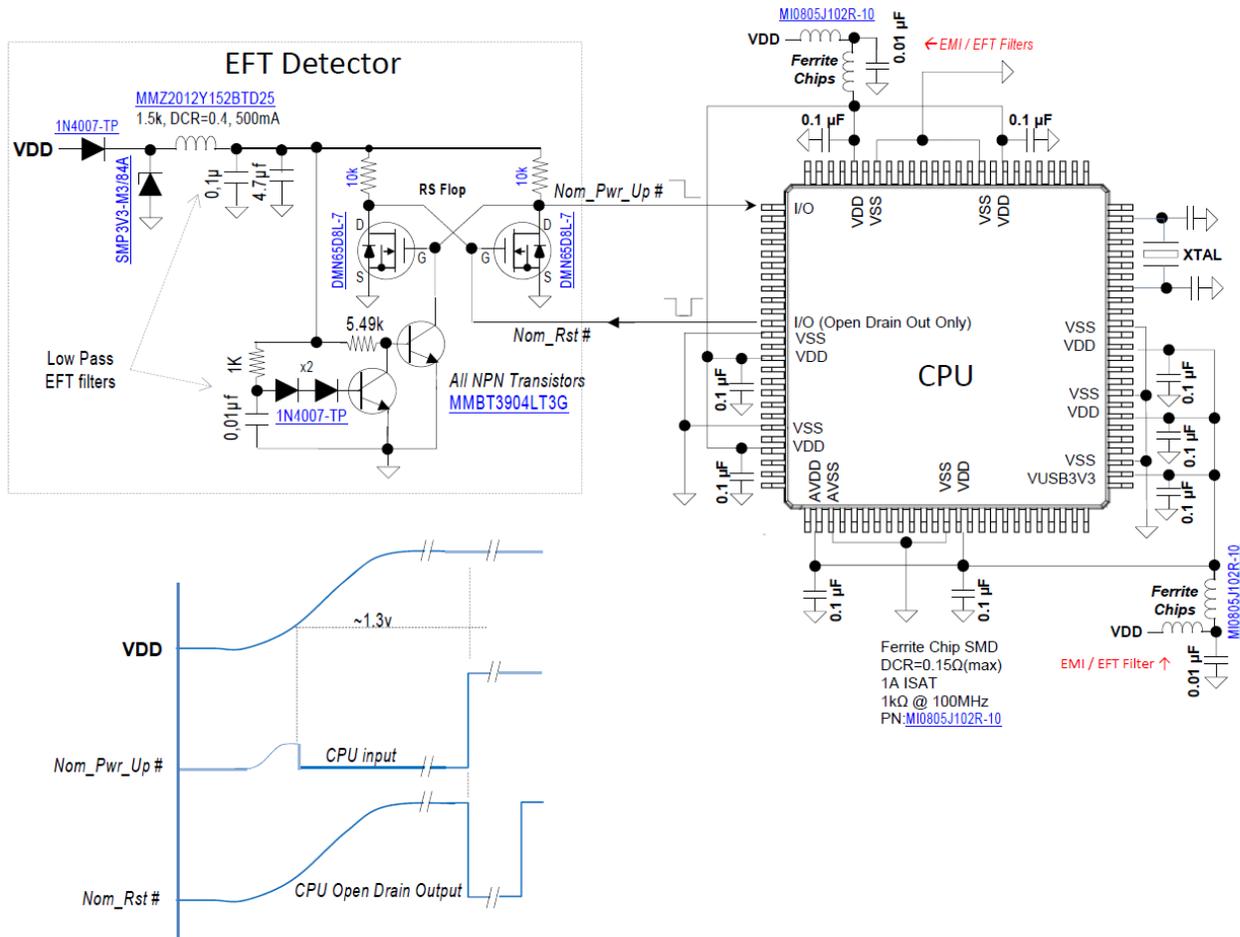
```

```

// the PM_Checksum_Calc() breakpoint
0x00000000, //Checksum 1, then recompiles and reprogram with Checksum 0-3 with
values.0x00000000, //Checksum 2
0x00000000 //Checksum 3
};

```

図 11-2. EFT 検出器回路



POR ステータス ビット	BOR ステータス ビット	"Nom_Pwr_Up#" 入力ピン論理レベル	イベント の タイプ	ユーザの対応
1	1	0	非 EFT	「Nom_Rst」をトグルする(1 µs 以上)
0	1	0	非 EFT	「Nom_Rst」をトグルする(1 µs 以上)
1	1	1	EFT	コード/システムの検証を実行する
0	1	1	EFT	コード/システムの検証を実行する

11.2.1 EFT 回路の動作原理

EFT 検出器(図 11-2)は、実際には「非 EFT 状態検出器」と呼んだ方が適切です。電源またはグラウンドでの EFT イベントは 1~100 ns 間持続します。これは電源投入シーケンス(通常 200 µs~8 ms)よりも大幅に高速です。立ち上がり時間が 1~5 ns と非常に高速な EFT スパイクにตอบสนองする回路を開発するよりも、条件の緩い低速イベント検出回路を開発する方が大幅に容易です。従って、図 11-2 の回路は、EFT の影響を受けない正常な POR および BOR イベントのみを検出します。

ローパスフィルタは、EFT イベントによってトランジスタ RS フリップフロップがトリガされて「Nom_Pwr_Up」信号がクリアされる事を防ぎます(正常な電源投入シーケンス時にのみトリガされる)。

CPU POR/ BOR ロジック回路では、正常な電源投入/遮断イベントと EFT イベントを区別する事ができず、ユーザ ソフトウェアもこれを判別できません。どちらのタイプのイベントも CPU POR/ BOR をトリガするからです。しかし、正常な電源投入シーケンスにのみ応答する「非 EFT 状態検出器」を追加する事により、この判別を可能にするもう 1 つのステータス情報が得られます。ユーザ ソフトウェアは BOR/ POR リセット ステータス レジスタと「Nom_Pwr_Up」 I/O 入力信号の状態を調べる事により、発生したリセットが EFT イベントリセットなのか正常な電源投入/遮断リセットなのかを判別できます。

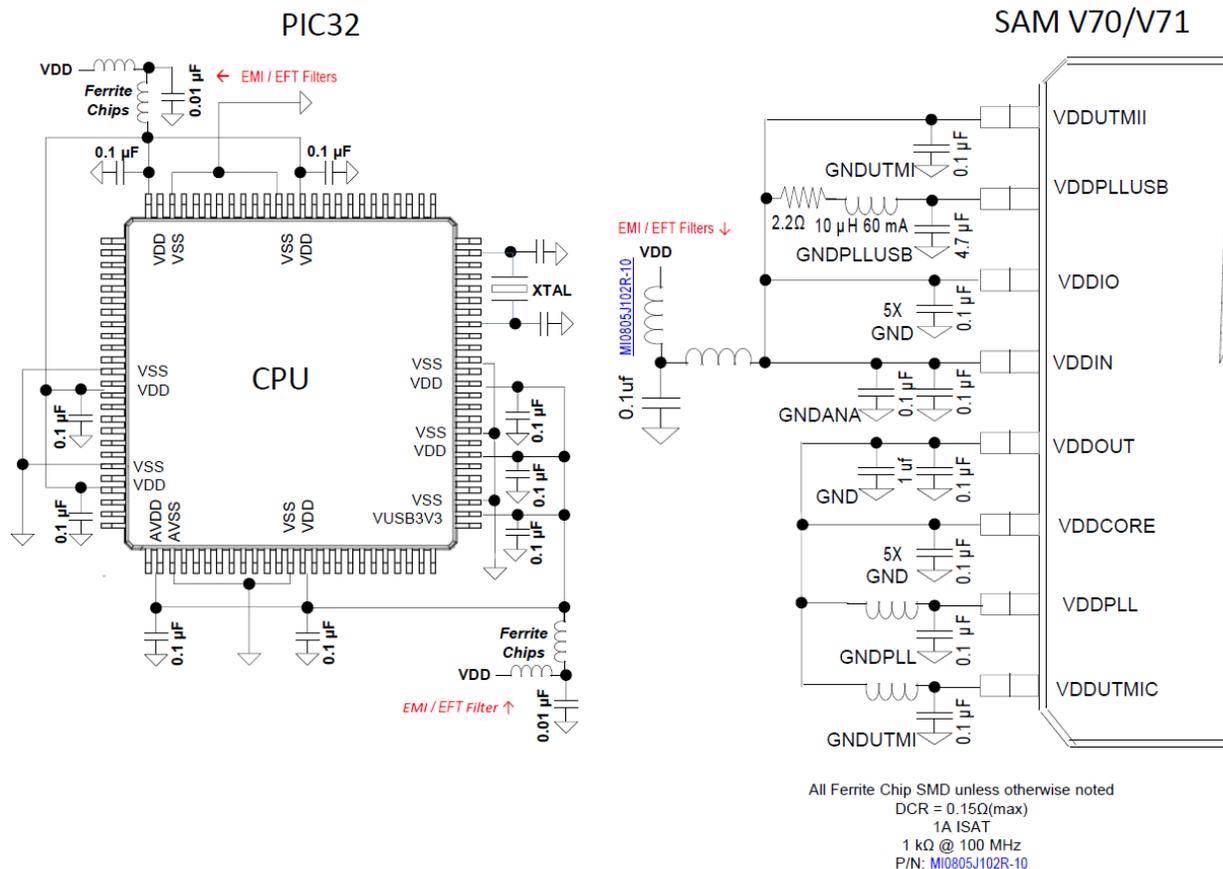
正常な電源投入リセット後に、トランジスタ RS フリップフロップからの「Nom_Pwr_Up」出力は論理「Low」へとリセットされます。その直後にユーザコードは、オープンドレイン出力ピン(「Nom_Rst」信号)に論理「0」を一度書き込んでから「1」を書き込む事により、RS フリップフロップをセットします。これにより「Nom_Pwr_Up」は論理「1」に設定されます。正常な POR/ BOR CPU リセットのみが「Nom_Pwr_Up」を論理「0」へとリセットします。従って、main ルーチンの先頭へのリターンによるリセットおよび/またはリセット ステータス レジスタに基づく全てのリセットにおいて、「Nom_Pwr_Up」信号が論理「1」を維持する場合、CPU は EFT イベントによってリセットされた事を意味します。逆に「Nom_Pwr_Up」が論理「0」である場合、正常なリセットであった事を意味します。ユーザ ソフトウェアは、損傷の恐れがある EFT イベントの後に、コードおよびシステムのインテグリティチェック(実行時プログラムメモリ コード チェックサムとクラス B ライブラリ検証テスト)を実行し、異常が認められた場合はアプリケーションを安全な状態に置いてエラーを報告する事ができます。

EFT による停電中も EFT 検出器の動作電圧を確保するためにステアリング ダイオード、TVS、ローパス LC フィルタ、十分な容量のコンデンサを使います。

12. ESD、EMI、EFT に対するハードウェア保護回路例

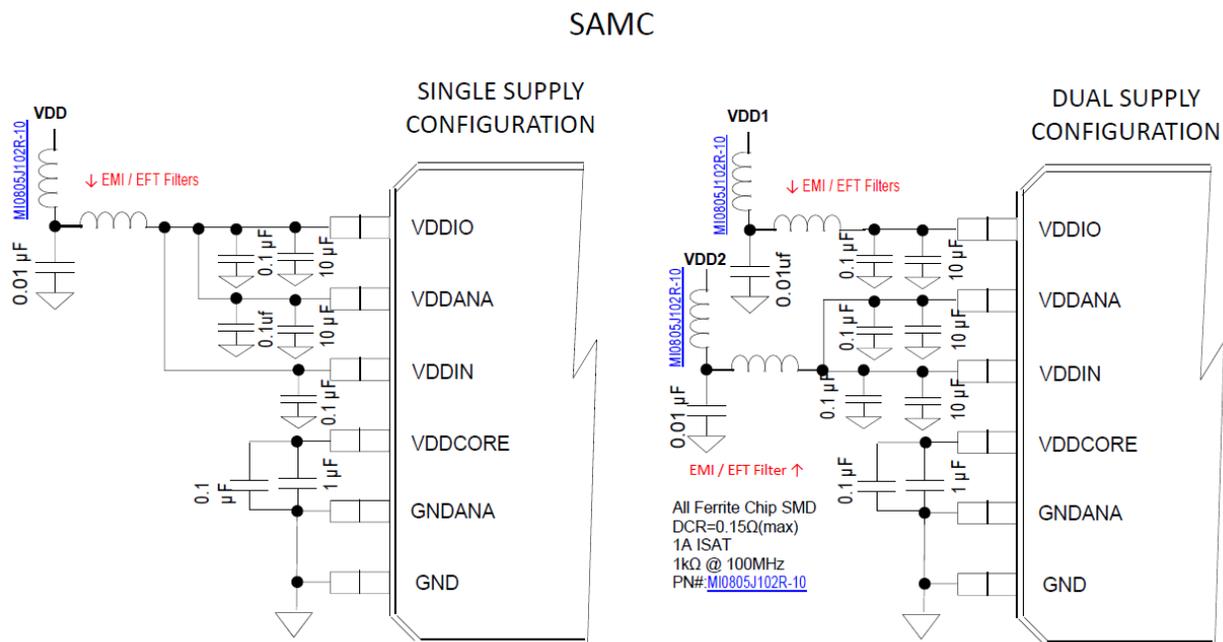
12.1 CPU の保護回路

図 12-1. PIC32 および SAMV70/V71 の保護回路例



Note: 全ての CPU AVSS/ VSS ピンとフィルタバイパス コンデンサ(CPU と同一基板面上に配置)は、トレースを使わずにグランドプレーンに直接接続します。バイパスおよびフィルタ コンデンサは、できるだけピンに近付けて配置します。

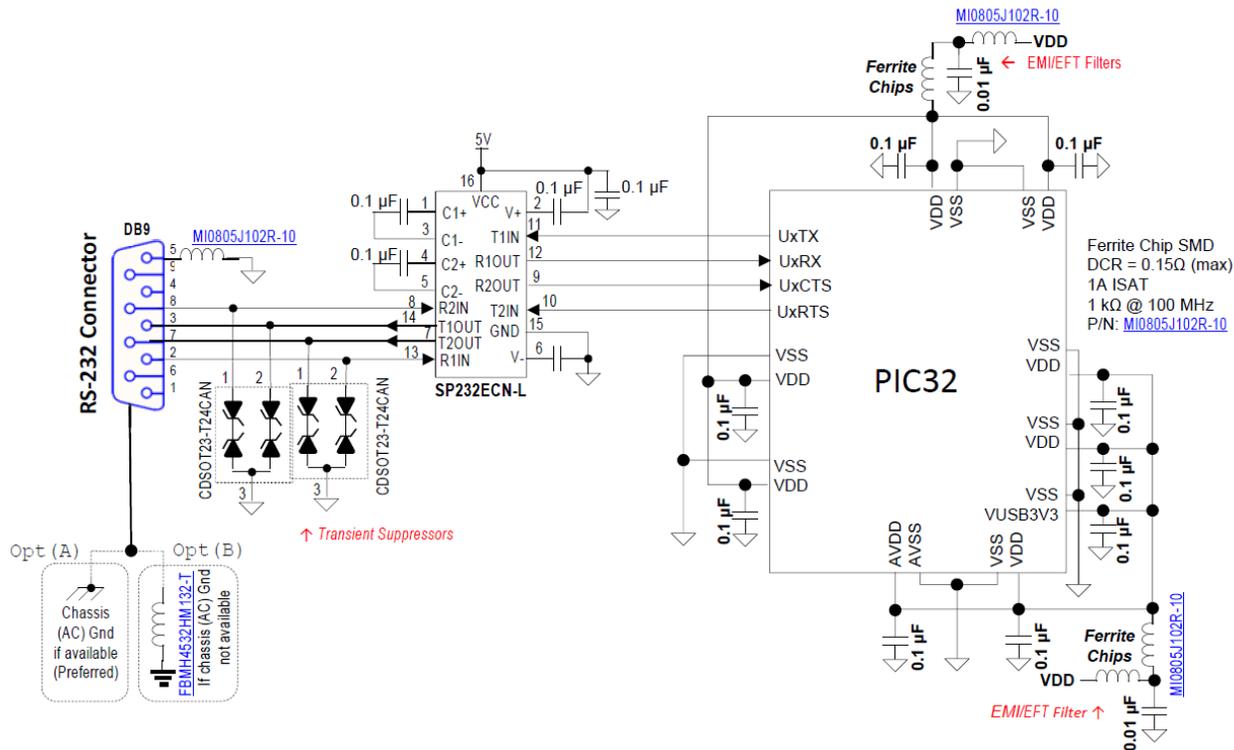
図 12-2. SAMC CPU の保護回路例



Note: 全ての CPU AVSS/ VSS ピンとフィルタバイパス コンデンサ(CPU と同一基板面上に配置)は、トレースを使わずにグランドプレーンに直接接続します。バイパスおよびフィルタ コンデンサは、できるだけピンに近付けて配置します。

12.2 UART RS-232 の保護回路

図 12-3. UART RS-232 の保護回路例

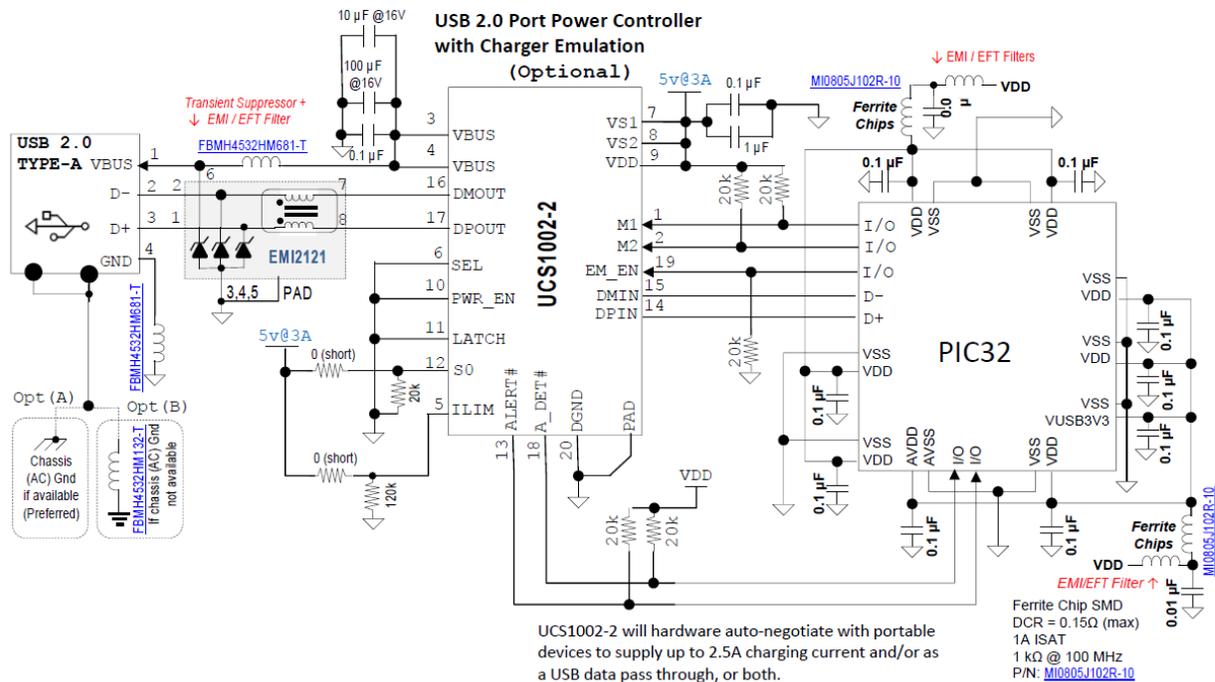


Note:

1. インダクタンスを最小化するため、TVS のグラウンドはグラウンドトレースを介さずに直接グラウンドプレーンに接続します。加えて、TVS は DB9 外部コネクタにできるだけ近付けて配置します。
2. 全ての CPU AVSS/ VSS ピンとフィルタバイパス コンデンサ(CPU と同一基板面上に配置)は、トレースを使わずにグラウンドプレーンに直接接続します。

12.3 USB 2.0 の保護回路

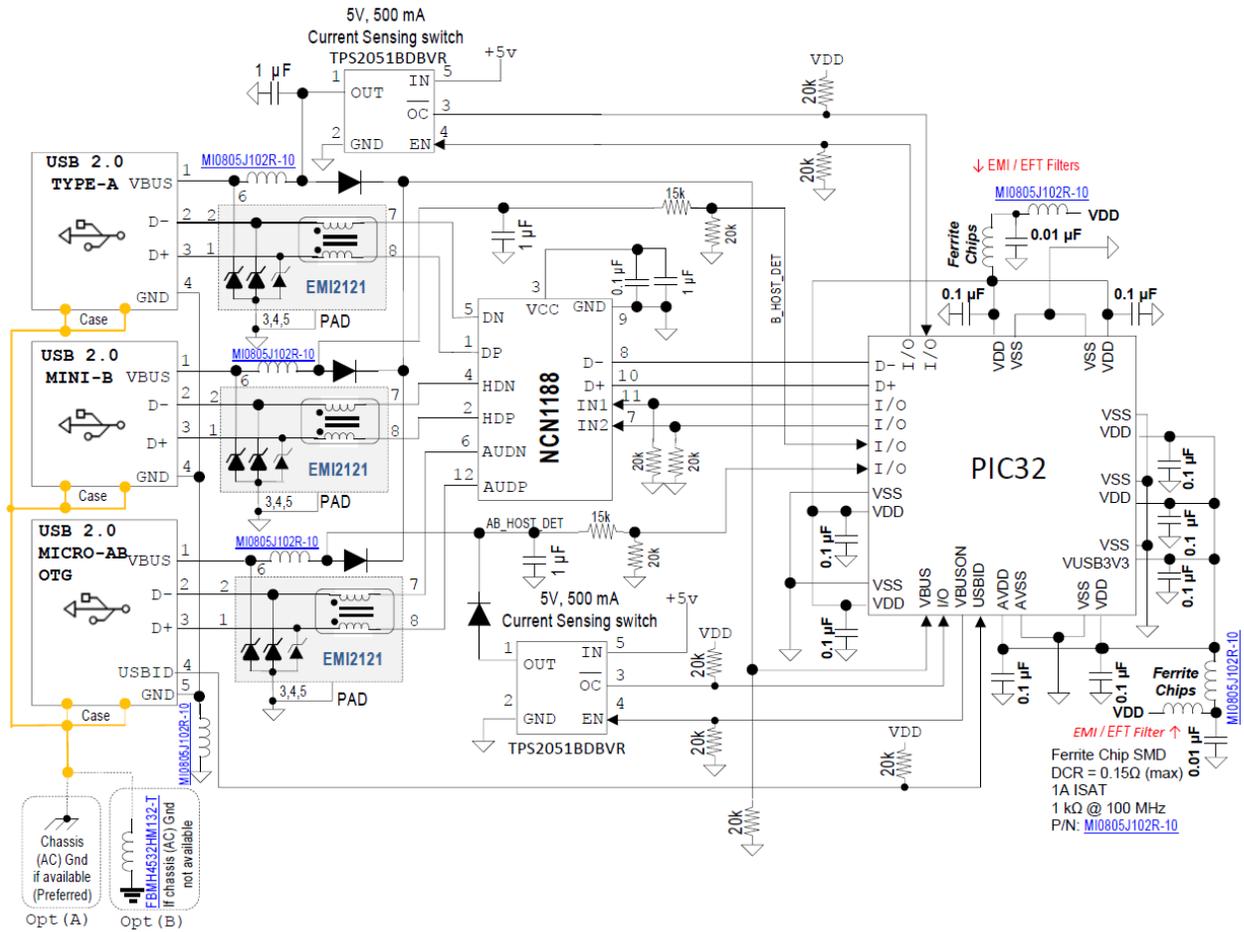
図 12-4. USB 2.0 の保護回路例



Note:

1. インダクタンスを最小化するため、全ての TVS のグランドはトレースを介さず直接グランドプレーンに接続します。加えて、全ての TVS は USB 外部コネクタにできるだけ近付けて配置します。
2. 5 V 電源に要求される電流定格値は、利用可能な最大 USB 充電電流(2.5 A 以下)を決定する UCS1002-2 ILIM レジスタの設定によって決まります。
3. USB の D+/D-差動信号でのインピーダンス制御規則を適用します。PCB レイアウトのインピーダンス制御は 90 Ω に維持する必要があります。スルーホールを介して USB 信号を他の基板層へ配線してはいけません。また、D+/D-の直下のグランドベタを空白にしてはいけません。
4. 全ての CPU AVSS/ VSS ピンとフィルタバイパス コンデンサ(CPU と同一基板面上に配置)は、トレースを使わずにグランドプレーンに直接接続します。

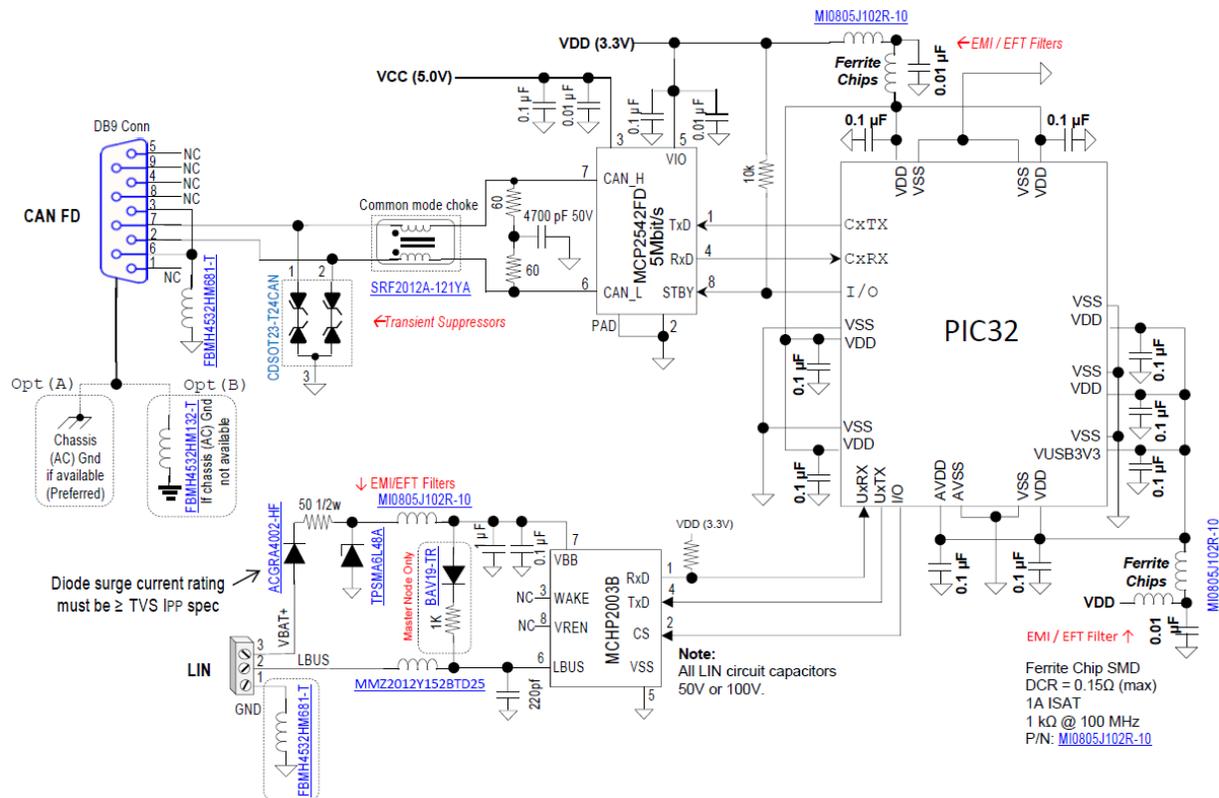
図 12-5. 複数 USB 2.0 ポートの保護回路例



Note: USB の D+/D-差動制御レイアウト規則を適用します。PCB レイアウトのインピーダンス制御は 90 Ω に維持する必要があります。スルーホールを介して USB 信号を他の基板層へ配線してはいけません。また、D+/D-の直下のグランドベタを空白にしてはいけません。

12.4 CAN FD (Controller Area Network Flexible Data-Rate)および LIN バスの保護回路

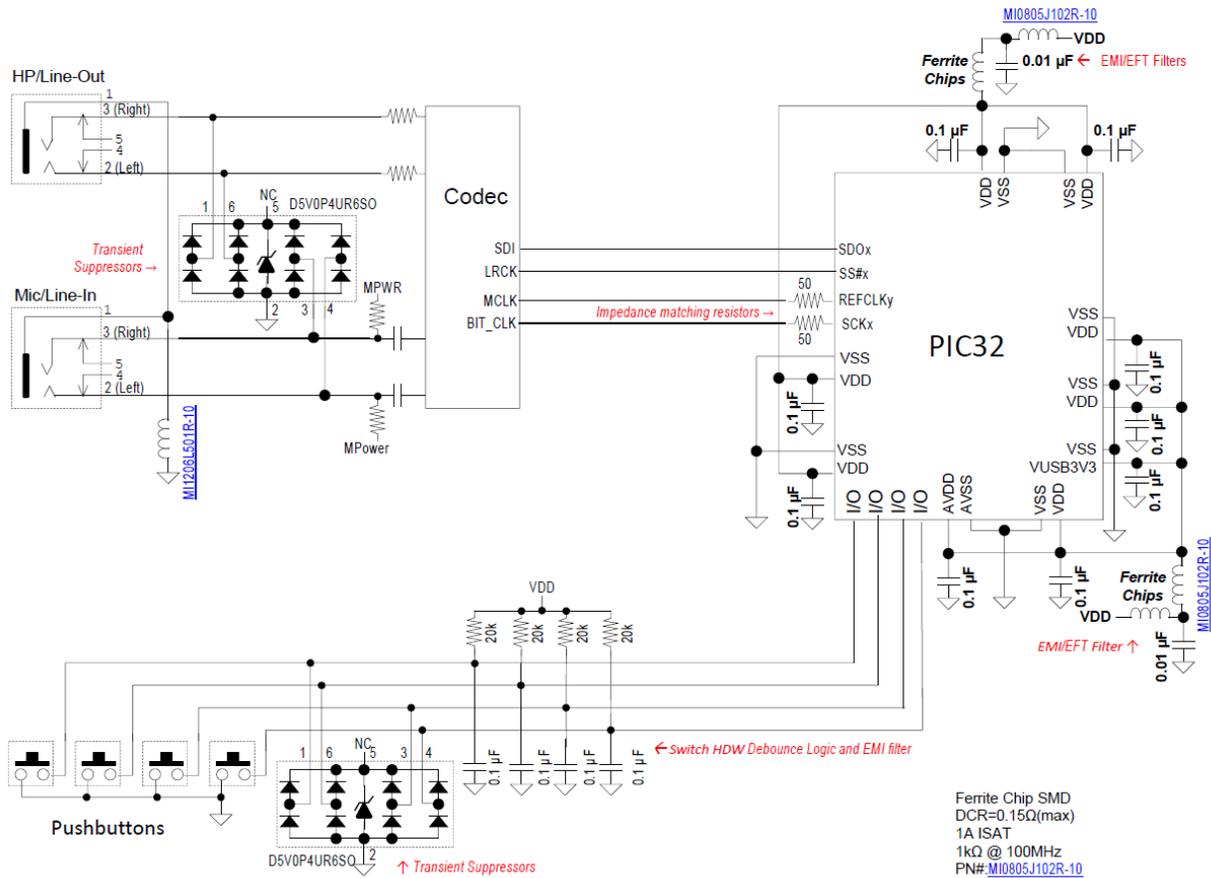
図 12-6. CAN FD / LIN バスの保護回路例

**Note:**

1. インダクタンスを最小化するため、全ての TVS のグラウンドはトレースを介さず直接グランドプレーンに接続する必要があります。加えて、全ての TVS は DB9 および LIN 外部コネクタにできるだけ近付けて配置します。
2. 全ての CPU AVSS/SS ピンとフィルタバイパス コンデンサ(CPU と同一基板面上に配置)は、トレースを使わずにグランドプレーンに直接接続します。

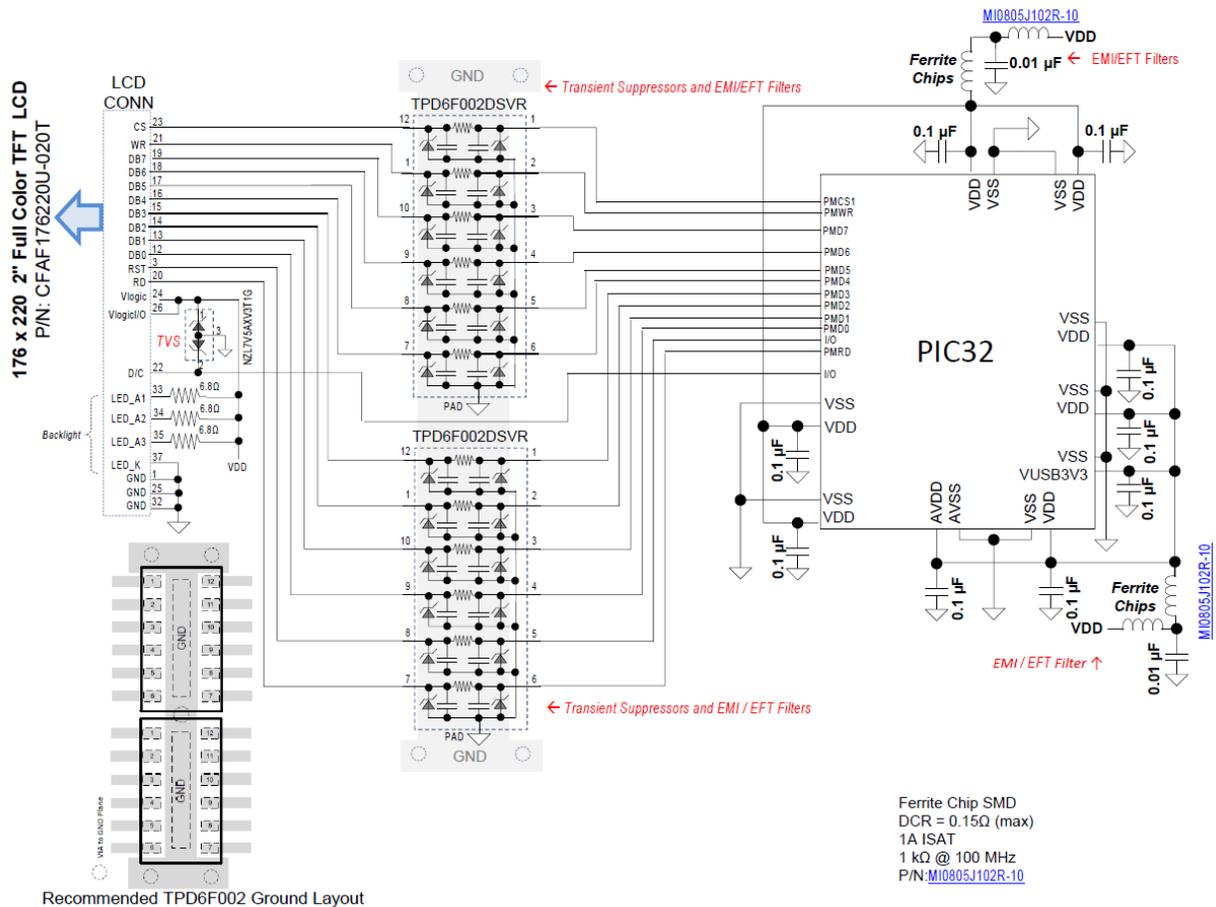
12.6 オーディオ ヘッドフォンおよびマイクロフォンの保護回路

図 12-8. オーディオ ヘッドフォンおよびマイクロフォンの保護回路例



12.7 標準的な LCD インターフェイスの保護回路

図 12-9. 標準的な LCD インターフェイスの保護回路例

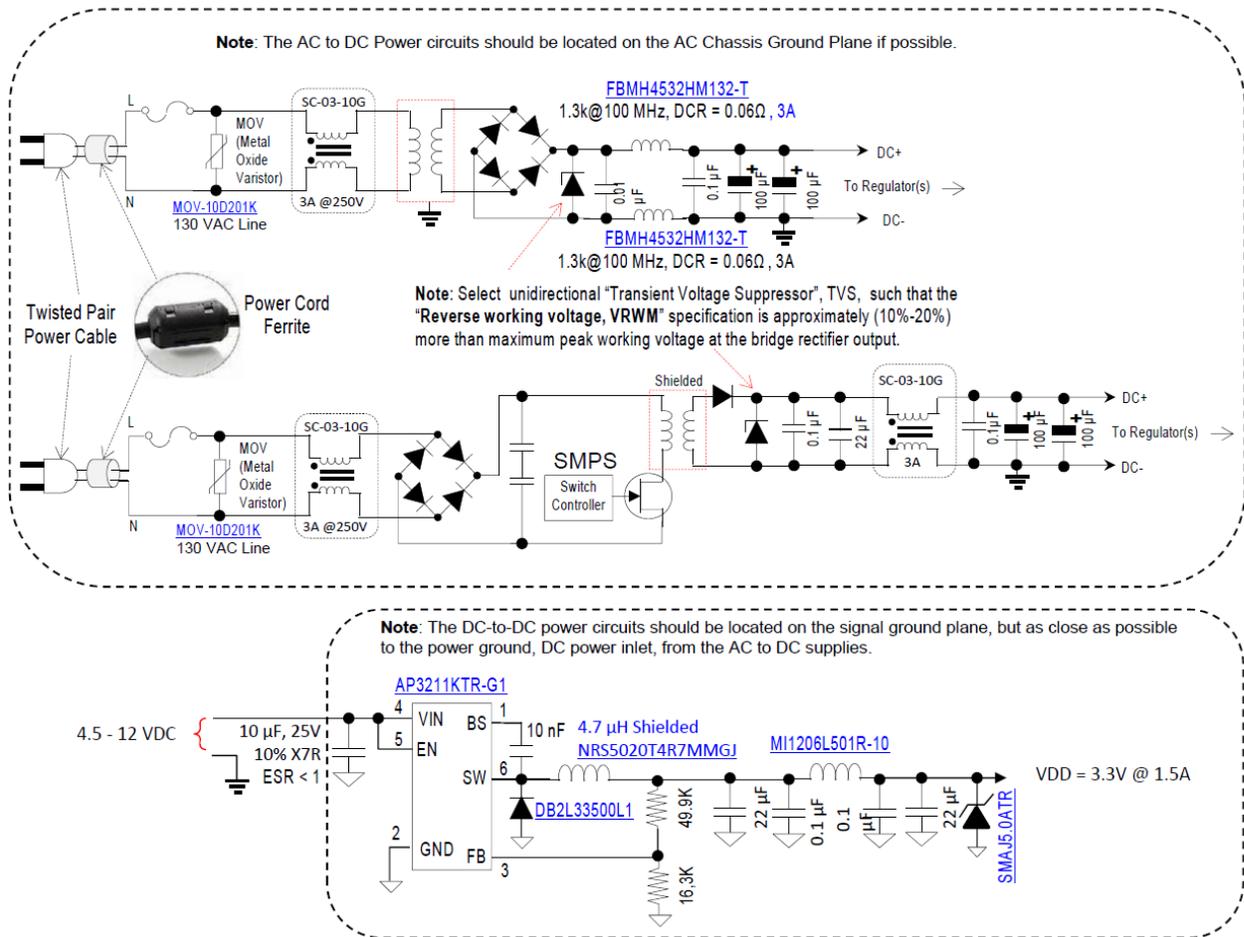


Note:

- インダクタンスを最小化するため、全ての TVS のグラウンドはトレースを介さず直接グランドプレーンに接続する必要があります。加えて、全ての TVS は LCD 外部コネクタにできるだけ近付けて配置します。
- 全ての CPU AVSS/ VSS ピンとフィルタバイパス コンデンサ(CPU と同一基板面上に配置)は、トレースを使わずにグランドプレーンに直接接続します。

12.8 電源サブシステムの保護回路

図 12-10. 電源サブシステムの保護回路例

**Note:**

1. 可能であれば、AC-DC 電源回路は AC シャシー グランドプレーン上に配置します。
2. DC-DC 電源回路は信号グランドプレーン上に配置し、AC-DC 電源からの電源グランドおよび DC 電源入力点にできるだけ近付けます。

Microchip 社のウェブサイト

Microchip 社はウェブサイト(<http://www.microchip.com>)でオンライン サポートを提供しています。当ウェブサイトでは、お客様に役立つ情報やファイルを簡単に見つけ出せます。インターネット ブラウザから以下の内容がご覧になれます。

- **製品サポート** - データシートとエラッタ、アプリケーション ノートとサンプル プログラム、設計リソース、ユーザガイドとハードウェア サポート文書、最新のソフトウェアと過去のソフトウェア
- **技術サポート** - よく寄せられる質問(FAQ)、技術サポートのご依頼、オンライン ディスカッショングループ、Microchip 社のコンサルタント プログラムおよびメンバーリスト
- **ご注文とお問い合わせ** - 製品セレクタと注文ガイド、最新プレスリリース、セミナー/イベントの一覧、お問い合わせ先(営業所/販売代理店)の一覧

顧客変更通知サービス

Microchip 社のお客様向け変更通知サービスは、お客様に Microchip 社製品の最新情報をお届けするサービスです。ご興味のある製品ファミリーまたは開発ツールに関する変更、更新、リビジョン、エラッタ情報をいち早くメールにてお知らせします。

Microchip 社ウェブサイト(<http://www.microchip.com>)にアクセスし、[Support]メニューの下の[Product Change Notification]からご登録ください。

カスタマサポート

Microchip 社製品をお使いのお客様は、以下のチャンネルからサポートをご利用になれます。

- 正規代理店
- 技術サポート

サポートは正規代理店にお問い合わせください。各地の営業所もご利用になれます。本書の最後のページに各国の営業所の一覧を記載しています。

技術サポートは以下のウェブページからもご利用になれます。 <http://www.microchip.com/support>

Microchip 社のデバイスコード保護機能

Microchip 社製品のコード保護機能について以下の点にご注意ください。

- Microchip 社製品は、該当する Microchip 社データシートに記載の仕様を満たしています。
- Microchip 社では、通常の場合ならびに仕様に従って使った場合、Microchip 社製品のセキュリティレベルは、現在市場に流通している同種製品の中でも最も高度であると考えています。
- しかし、コード保護機能を解除するための不正かつ違法な方法が存在する事もまた事実です。弊社の理解では、こうした手法は全て Microchip 社データシートにある動作仕様書以外の方法で Microchip 社製品を使用する事です。このような行為は知的所有権の侵害に該当する可能性が非常に高いと言えます。
- Microchip 社はコードの保全性に懸念を抱いているお客様と連携して対応策に取り組んでまいります。

- Microchip 社を含む全ての半導体メーカーで、自社のコードのセキュリティを完全に保証できる企業はありません。コード保護機能とは、Microchip 社が製品を「解読不能」として保証するものではありません。

コード保護機能は常に進歩しています。Microchip 社では、常に製品のコード保護機能の改善に取り組んでいます。Microchip 社のコード保護機能の侵害は、デジタル ミレニアム著作権法に違反します。そのような行為によってソフトウェアまたはその他の著作物に不正なアクセスを受けた場合は、デジタル ミレニアム著作権法の定めるところにより損害賠償訴訟を起こす権利があります。

法律上の注意点

本書に記載されているデバイス アプリケーション等の情報は、ユーザの便宜のためにのみ提供されるものであり、更新によって無効となる事があります。お客様のアプリケーションが仕様を満たす事を保証する責任は、お客様にあります。Microchip 社は、明示的、暗黙的、書面、口頭、法定のいずれであるかを問わず、本書に記載されている情報に関して、状態、品質、性能、商品性、特定目的への適合性をはじめとする、いかなる類の表明も保証も行いません。

Microchip 社は、本書の情報およびその使用に起因する一切の責任を否認します。Microchip 社の明示的な書面による承認なしに、生命維持装置あるいは生命安全用途に Microchip 社の製品を使用する事は全て購入者のリスクとし、また購入者はこれによって発生したあらゆる損害、クレーム、訴訟、費用に関して、Microchip 社は擁護され、免責され、損害をうけない事に同意するものとします。特に明記しない場合、暗黙的あるいは明示的を問わず、Microchip 社が知的財産権を保有しているライセンスは一切譲渡されません。

商標

Microchip 社の名称とロゴ、Microchip ロゴ、AnyRate、AVR、AVR ロゴ、AVR Freaks、BeaconThings、BitCloud、CryptoMemory、CryptoRF、dsPIC、FlashFlex、flexPWR、Heldo、JukeBlox、KeeLoq、KeeLoq ロゴ、Kleer、LANCheck、LINK MD、maXStylus、maXTouch、MediaLB、megaAVR、MOST、MOST ロゴ、MPLAB、OptoLyzer、PIC、picoPower、PICSTART、PIC32 ロゴ、Prochip Designer、QTouch、RightTouch、SAM-BA、SpyNIC、SST、SST ロゴ、SuperFlash、tinyAVR、UNI/O、XMEGA は米国およびその他の国における Microchip Technology Incorporated の登録商標です。

ClockWorks、The Embedded Control Solutions Company、EtherSynch、Hyper Speed Control、HyperLight Load、IntelliMOS、mTouch、Precision Edge、Quiet-Wire は米国における Microchip Technology Incorporated 社の登録商標です。

Adjacent Key Suppression、AKS、Analog-for-the-Digital Age、Any Capacitor、AnyIn、AnyOut、BodyCom、chipKIT、chipKIT ロゴ、CodeGuard、CryptoAuthentication、CryptoCompanion、CryptoController、dsPICDEM、dsPICDEM.net、Dynamic Average Matching、DAM、ECAN、EtherGREEN、In-Circuit Serial Programming、ICSP、Inter-Chip Connectivity、JitterBlocker、KleerNet、KleerNet ロゴ、Mindi、MiWi、motorBench、MPASM、MPF、MPLAB Certified ロゴ、MPLIB、MPLINK、MultiTRAK、NetDetach、Omniscient Code Generation、PICDEM、PICDEM.net、PICkit、PICtail、PureSilicon、QMatrix、RightTouch ロゴ、REAL ICE、Ripple Blocker、SAM-ICE、Serial Quad I/O、SMART-I.S.、SQI、SuperSwitcher、SuperSwitcher II、Total Endurance、TSHARC、USBCheck、VariSense、ViewSpan、WiperLock、Wireless DNA、ZENA は、米国およびその他の国における Microchip Technology Incorporated の商標です。

SQTP は米国における Microchip Technology Incorporated のサービスマークです。

Silicon Storage Technology はその他の国における Microchip Technology Inc.の登録商標です。

GestIC と ULPP はその他の国における Microchip Technology Inc.の子会社である Microchip Technology Germany II GmbH & Co. & KG の登録商標です。

その他の商標は各社に帰属します。

© 2023, Microchip Technology Incorporated, Printed in the U.S.A., All Rights Reserved.

ISBN: 978-1-6683-2573-5

DNV による品質管理システム認証

ISO/TS 16949

Microchip 社では、Chandler および Tempe(アリゾナ州)、Gresham(オレゴン州)の本部、設計部およびウェハー製造工場そしてカリフォルニア州とインドのデザイン センターが ISO/TS-16949:2009 認証を取得しています。Microchip 社の品質システムプロセスおよび手順は、PIC[®] MCU および dsPIC[®] DSC、KEELOQ[®]コード ホッピング デバイス、シリアル EEPROM、マイクロペリフェラル、不揮発性メモリ、アナログ製品に採用されています。さらに、開発システムの設計と製造に関する Microchip 社の品質システムは ISO 9001:2000 認証を取得しています。

各国の営業所とサービス

北米

本社

2355 West Chandler Blvd.
Chandler, AZ 85224-6199
Tel:480-792-7200
Fax:480-792-7277
技術サポート：
<http://www.microchip.com/support>
URL:
www.microchip.com

アトランタ

Duluth, GA
Tel:678-957-9614
Fax:678-957-1455

オースティン、TX

Tel:512-257-3370

ボストン

Westborough, MA
Tel:774-760-0087
Fax:774-760-0088

シカゴ

Itasca, IL
Tel:630-285-0071
Fax:630-285-0075

ダラス

Addison, TX
Tel:972-818-7423
Fax:972-818-2924

デトロイト

Novi, MI
Tel:248-848-4000

ヒューストン、TX

Tel:281-894-5983

インディアナポリス

Noblesville, IN
Tel:317-773-8323
Fax:317-773-5453
Tel:317-536-2380

ロサンゼルス

Mission Viejo, CA
Tel:949-462-9523
Fax:949-462-9608
Tel:951-273-7800

ローリー、NC

Tel:919-844-7510

ニューヨーク、NY

Tel:631-435-6000

サンノゼ、CA

Tel:408-735-9110
Tel:408-436-4270

カナダ - トロント

Tel:905-695-1980
Fax:905-695-2078

アジア / 太平洋

オーストラリア - シドニー

Tel:61-2-9868-6733

中国 - 北京

Tel:86-10-8569-7000

中国 - 成都

Tel:86-28-8665-5511

中国 - 重慶

Tel:86-23-8980-9588

中国 - 東莞

Tel:86-769-8702-9880

中国 - 広州

Tel:86-20-8755-8029

中国 - 杭州

Tel:86-571-8792-8115

中国 - 香港 SAR

Tel:852-2943-5100

中国 - 南京

Tel:86-25-8473-2460

中国 - 青島

Tel:86-532-8502-7355

中国 - 上海

Tel:86-21-3326-8000

中国 - 瀋陽

Tel:86-24-2334-2829

中国 - 深圳

Tel:86-755-8864-2200

中国 - 蘇州

Tel:86-186-6233-1526

中国 - 武漢

Tel:86-27-5980-5300

中国 - 西安

Tel:86-29-8833-7252

中国 - 厦門

Tel:86-592-2388138

中国 - 珠海

Tel:86-756-3210040

アジア / 太平洋

インド - バンガロール

Tel:91-80-3090-4444

インド - ニューデリー

Tel:91-11-4160-8631

インド - プネ

Tel:91-20-4121-0141

日本 - 大阪

Tel:81-6-6152-7160

日本 - 東京

Tel:81-3-6880-3770

韓国 - 大邱

Tel:82-53-744-4301

韓国 - ソウル

Tel:82-2-554-7200

マレーシア - クアラルンプール

Tel:60-3-7651-7906

マレーシア - ペナン

Tel:60-4-227-8870

フィリピン - マニラ

Tel:63-2-634-9065

シンガポール

Tel:65-6334-8870

台湾 - 新竹

Tel:886-3-577-8366

台湾 - 高雄

Tel:886-7-213-7830

台湾 - 台北

Tel:886-2-2508-8600

タイ - バンコク

Tel:66-2-694-1351

ベトナム - ホーチミン

Tel:84-28-5448-2100

ヨーロッパ

オーストリア - ヴェルス

Tel:43-7242-2244-39
Fax:43-7242-2244-393

デンマーク - コペンハーゲン

Tel:45-4485-5910
Fax:45-4485-2829

フィンランド - エスポー

Tel:358-9-4520-820

フランス - パリ

Tel:33-1-69-53-63-20
Fax:33-1-69-30-90-79

ドイツ - ガーヒング

Tel:49-8931-9700

ドイツ - ハーン

Tel:49-2129-3766400

ドイツ - ハイムブロン

Tel:49-7131-72400

ドイツ - カールスルーエ

Tel:49-721-625370

ドイツ - ミュンヘン

Tel:49-89-627-144-0
Fax:49-(89-627)-144/-44

ドイツ - ローゼンハイム

Tel:49-8031-354-560

イスラエル - ラーナナ

Tel:972-9-744-7705

イタリア - ミラノ

Tel:39-0331-742611
Fax:39-0331-466781

イタリア - パドヴァ

Tel:39-049-7625286

オランダ - ドリュエーン

Tel:31-416-690399
Fax:31-416-690340

ノルウェー - トロンハイム

Tel:47-7288-4388

ポーランド - ワルシャワ

Tel:48-22-3325737

ルーマニア - ブカレスト

Tel:40-21-407-87-50

スペイン - マドリッド

Tel:34-91-708-08-90
Fax:34-91-708-08-91

スウェーデン - ヨーテボリ

Tel:46-31-704-60-40

スウェーデン - ストックホルム

Tel:46-8-5090-4654

イギリス - ウォーキングム

Tel:44-118-921-5800
Fax:44-118-921-5820