
キャプチャ / コンペア / PWM / タイマ (MCCP と SCCP)

主な内容

本書には以下の主要項目を記載しています。

1.0	はじめに	2
2.0	レジスタ	3
3.0	レジスタマップ	4
4.0	タイムベースの生成	17
8.0	モジュール同期出力	57
9.0	同期モードとトリガモードの動作	58
5.0	タイマモード	18
10.0	スリープおよびアイドル中の動作	64
10.0	スリープおよびアイドル中の動作	64
10.0	スリープおよびアイドル中の動作	64
11.0	リセットの影響	64
12.0	関連アプリケーション ノート	65
13.0	改訂履歴	66

Note: ファミリ リファレンス マニュアルの本セクションはデバイス データシートの補足を目的としています。本セクションの内容は dsPIC33/PIC24 ファミリの一部のデバイスには対応していません。

本書の内容がお客様のご使用になるデバイスに対応しているかどうかは、最新デバイス データシート内の「キャプチャ/ コンペア /PWM/ タイマモジュール (SCCP/MCCP)」の冒頭に記載している注意書きでご確認ください。

デバイス データシートとファミリ リファレンス マニュアルの各セクションは、Microchip 社のウェブサイト (<http://www.microchip.com>) からダウンロードできます。

1.0 はじめに

一部の dsPIC33/PIC24 ファミリデバイスは、1つまたは複数のキャプチャ/ コンペア /PWM/ タイマ (CCP) モジュールを内蔵しています。これらのモジュールは、他の 16 ビット マイクロコントローラの多くが内蔵する多目的タイマモジュールに類似します。CCP モジュールは、その他全てのデバイスが内蔵していた入力キャプチャ、出力コンペア、汎用タイマモジュールと同等の機能も提供します。

CCP モジュールは以下の 3 つの基本モードで動作可能です。

- 汎用タイマ
- 入力キャプチャ
- 出力コンペア /PWM

CCP モジュールには、PWM 出力の数が異なる 2 種類のバージョンが存在します。シングル出力モジュール (SCCP) は PWM 出力を 1 つだけ備えています。マルチ出力モジュール (MCCP) は、デバイスのピン数に応じて最大で 6 つの PWM 出力を備え、出力制御機能も拡張されています。

SCCP と MCCP を含む全ての CCP モジュールは以下の機能を備えています。

- ユーザ選択可能クロック入力 (システムクロックおよび外部クロック入力ピンを含む)
- タイムベース用入力クロック プリスケーラ
- モジュール割り込みイベントまたはトリガ用出力ポストスケーラ
- 他の MCCP/SCCP モジュールと連動するための同期出力信号 (代替および補助信号源オプションをユーザ定義可能)
- 全てのモードおよび低消費電力動作中の完全非同期動作
- A/D 変換用特殊出力トリガ
- 16 ビットおよび 32 ビット汎用タイマモード (簡単な時間計測用にゲート付き動作も選択可能)
- キャプチャモード:
 - dsPIC33/PIC24 ファミリの従来の入力キャプチャ モジュールに対して下位互換性を維持
 - 外部イベント発生時にタイムベース値 (16 または 32 ビット) をキャプチャ
 - 深さ最大 4 段の FIFO キャプチャ バッファ
 - キャプチャ信号源入力マルチプレクサ
 - ゲート付きキャプチャ動作 (ノイズに起因する誤キャプチャを抑制)
- 出力コンペア /PWM モード:
 - dsPIC33/PIC24F ファミリの従来の出力コンペア モジュールに対して下位互換性を維持
 - シングルおよびダブルエッジ コンペアモード
 - センターアライン コンペアモード
 - 可変周波数パルスモード
 - 外部入力モード

MCCP モジュールは以下の拡張 PWM 機能も提供します。

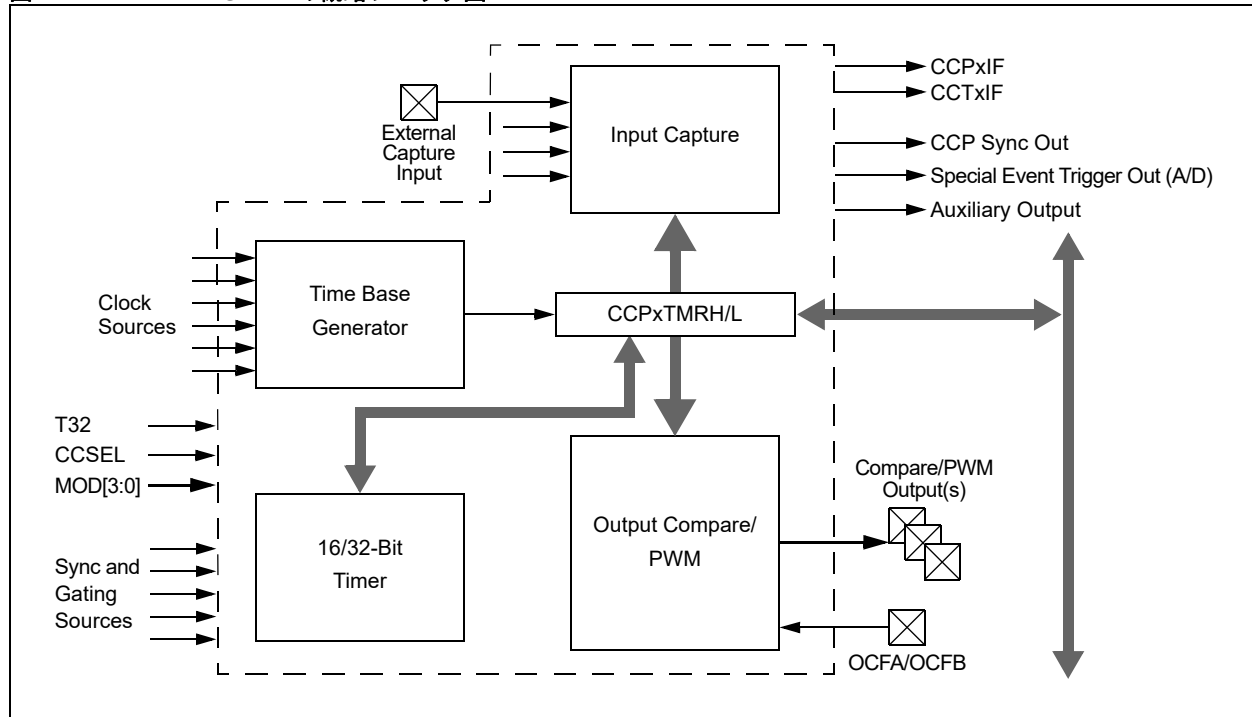
- 出力先可変シングル出力モード
- ブラシ付き DC モータ (正転、逆転) モード
- デッドタイム遅延付きハーフブリッジ モード
- プッシュプル PWM モード
- 出カスキャンモード
- 自動シャットダウン (シャットダウン要因とシャットダウン ステートを設定可能)
- 設定可能な出力極性

キャプチャ / コンペア / PWM / タイマ (MCCP と SCCP)

SCCP および MCCP モジュールは、3つの主モード(キャプチャ、コンペア、タイマ)のいずれか1つで動作できます。動作モードを変更するには、モジュールを再設定する必要があります。

図 1-1 にモジュールの概略ブロック図を示します。3つのモードは、いずれもタイムベースジェネレータと、共通のタイマレジスタペア (CCPxTMRH/L) を使います。他の共有ハードウェアコンポーネント(コンパレータ、バッファレジスタ等)は、それらを必要とする特定のモードで有効になります。

図 1-1: MCCP/SCCP の概略ブロック図



2.0 レジスタ

各 MCCP/SCCP モジュールは、最大で以下の 7 個の制御およびステータス レジスタと 8 個のバッファ / カウンタレジスタを備えています。

- CCPxTMRH/CCPxTMRL: 32 ビットタイマ / カウンタ レジスタペア
- CCPxPRH/CCPxPRL: 32 ビットタイマ周期レジスタペア
- CCPxRA: 出力コンペア動作向け 16 ビットプライマリ データバッファ
- CCPxRB: 出力コンペア動作向け 16 ビットセカンダリ データバッファ
- CCPxBUFH/CCPxBUFL: 入力キャプチャ FIFO 動作向け 32 ビットバッファ レジスタペア

3.0 レジスタマップ

CCP (MCCP および SCCP) モジュールに関連するレジスタの一覧を表 3-1 に示します。この表は、MCCP モジュールの最上位仕様を表しています。SCCP モジュールに実装されていないレジスタとビットには Note を付記しています。

表 3-1: MCCP/SCCP モジュール関連のレジスタ

レジスタ名	bit 15	bit 14	bit 13	bit 12	bit 11	bit 10	bit 9	bit 8	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	全 リセット
CCPxCON1L	CCPON	—	CCPSIDL	CCPSLP	TMRSYNC	CLKSEL[2:0]			TMRPS[1:0]		T32	CCSEL	MOD[3:0]			0000	
CCPxCON1H	OPSSRC	RTRGEN	—	—	OPS[3:0]				TRIGEN	ONESHOT	ALTSYNC	SYNC[4:0]				0000	
CCPxCON2L	PWMRSEN	ASDGM	—	SSDG	—	—	—	—	ASDG[7:0]							0000	
CCPxCON2H	OENSYNC	—	OCFEN	OCEEN	OCDEN	OCCEN	OCBEN	OCAEN	ICGSM[1:0]		—	AUXOUT[1:0]		ICS[2:0]		0100	
CCPxCON3L	—	—	—	—	—	—	—	—	—	—	DT[5:0]					0000	
CCPxCON3H	OETRIG	OSCNT[2:0]			—	OUTM[2:0]			—	—	POLACE	POLBDF	PSSACE[1:0]		PSSBDF[1:0]		0000
CCPxSTATL	—	—	—	—	—	—	—	—	CCPTRIG	TRSET	TRCLR	ASEVT	SCEVT	ICDIS	ICOV	ICBNE	0000
CCPxTMRL	CCPx タイムベース レジスタ、下位ワード																0000
CCPxTMRH	CCPx タイムベース レジスタ、上位ワード																0000
CCPxPRL	CCPx 周期レジスタ、下位ワード																FFFF
CCPxPRH	CCPx 周期レジスタ、上位ワード																FFFF
CCPxRA	CCPx プライマリ コンペアレジスタ																0000
CCPxRB	CCPx セカンダリ コンペアレジスタ																0000
CCPxBUFL	CCPx キャプチャバッファレジスタ、下位ワード																0000
CCPxBUFH	CCPx キャプチャバッファレジスタ、上位ワード																0000

凡例: — = 未実装、「0」として読み出し、リセット値は 16 進表記

キャプチャ / コンペア / PWM / タイマ (MCCP と SCCP)

レジスタ 3-1: CCPxCON1L: キャプチャ / コンペア / PWMx 制御 1 下位レジスタ

R/W-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
CCPON	—	CCPSIDL	CCPSLP	TMRSYNC	CLKSEL[2:0] ⁽¹⁾		
bit 15							bit 8
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
TMRPS[1:0]		T32	CCSEL	MOD[3:0]			
bit 7							bit 0

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装、「0」として読み出し
 -n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

- bit 15 **CCPON:** CCPx モジュール イネーブルビット
 1 = MOD[3:0] が指定する動作モードでモジュールを有効にする
 0 = モジュールを無効にする
- bit 14 **未実装:** 「0」として読み出し
- bit 13 **CCPSIDL:** アイドル中 CCPx 停止ビット
 1 = デバイスがアイドルに移行した時にモジュールは動作を停止する
 0 = アイドル中モジュールは動作を継続する
- bit 12 **CCPSLP:** スリープ中 CCPx イネーブルビット
 1 = スリープ中モジュールは動作を継続する
 0 = スリープ中にモジュールは動作を停止する
- bit 11 **TMRSYNC:** タイムベース クロック同期ビット
 1 = モジュール タイムベース クロックは内部システムクロックに同期する (タイミング制約を適用する)
 0 = モジュール タイムベース クロックは内部システムクロックに同期しない
- bit 10-8 **CLKSEL[2:0]:** CCPx タイムベース クロック選択ビット ⁽¹⁾
 111 = クロック 7
 110 = クロック 6
 101 = クロック 5
 100 = クロック 4
 011 = クロック 3
 010 = クロック 2
 001 = クロック 1
 000 = システムクロック (Tcy)
- bit 7-6 **TMRPS[1:0]:** CCPx タイムベース プリスケール選択ビット
 11 = 1:64
 10 = 1:16
 01 = 1:4
 00 = 1:1
- bit 5 **T32:** 32 ビット タイムベース選択ビット
 1 = タイマ、シングルエッジ出力コンペア、入力キャプチャ機能に 32 ビット タイムベースを使う
 0 = タイマ、シングルエッジ出力コンペア、入力キャプチャ機能に 16 ビット タイムベースを使う
- bit 4 **CCSEL:** キャプチャ / コンペアモード選択ビット
 1 = 入力キャプチャモード
 0 = 出力コンペア / PWM またはタイマモード (MOD[3:0] ビットで選択されている機能)

Note 1: 各デバイスファミリで利用可能なクロック源については、デバイス データシートを参照してください。

dsPIC33/PIC24 ファミリ リファレンス マニュアル

レジスタ 3-1: CCPxCON1L: キャプチャ / コンペア / PWMx 制御 1 下位レジスタ (続き)

bit 3-0

MOD[3:0]: CCPx モード選択ビット

CCSEL = 1(入力キャプチャモード) の場合 :

1xxx = 予約済み

011x = 予約済み

0101 = 立ち上がりエッジ 16 回ごとにキャプチャする

0100 = 立ち上がりエッジ 4 回ごとにキャプチャする

0011 = 各立ち上がり / 立ち下がりエッジでキャプチャする

0010 = 各立ち下がりエッジでキャプチャする

0001 = 各立ち上がりエッジでキャプチャする

0000 = 各立ち上がり / 立ち下がりエッジでキャプチャする (エッジ検出モード)

CCSEL = 0(出力コンペアモード) の場合 :

1111 = 外部入力モード : パルス ジェネレータを無効にし、信号源を ICS[2:0] で選択する

1110 = 予約済み

110x = 予約済み

10xx = 予約済み

0111 = 可変周波数パルスモード

0110 = センターアライン パルス コンペアモード (バッファリングあり)

0101 = ダブルエッジ コンペアモード (バッファリングあり)

0100 = ダブルエッジ コンペアモード

0011 = 16 ビット / 32 ビット シングルエッジ モード : 比較一致時に出力をトグルさせる

0010 = 16 ビット / 32 ビット シングルエッジ モード : 比較一致時に出力を Low に駆動する

0001 = 16 ビット / 32 ビット シングルエッジ モード : 比較一致時に出力を High に駆動する

0000 = 16 ビット / 32 ビット タイマモード : 出力機能は無効

Note 1: 各デバイスファミリで利用可能なクロック源については、デバイス データシートを参照してください。

キャプチャ / コンペア / PWM / タイマ (MCCP と SCCP)

レジスタ 3-2: CCPxCON1H: キャプチャ / コンペア / PWMx 制御 1 上位レジスタ

R/W-0	R/W-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0
OPSSRC ⁽¹⁾	RTRGEN ⁽²⁾	—	—	OPS[3:0] ⁽³⁾			
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
TRIGEN	ONESHOT	ALTSYNC	SYNC[4:0] ⁽³⁾				
bit 7							bit 0

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装、「0」として読み出し
 -n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

- bit 15 **OPSSRC:** 出力ポストスケラ信号源選択ビット⁽¹⁾
 1 = 出力ポストスケラを特殊イベントトリガに適用する
 0 = 出力ポストスケラをタイマ割り込みイベントに適用する
- bit 14 **RTRGEN:** 再トリガ イネーブルビット⁽²⁾
 1 = CCPTRIG = 1 でもタイムベースの再トリガを許容する
 0 = CCPTRIG = 1 ではタイムベースの再トリガを禁止する
- bit 13-12 **未実装:** 「0」として読み出し
- bit 11-8 **OPS[3:0]:** CCPx 割り込み出力ポストスケラ選択ビット⁽³⁾
 1111 = タイムベース周期一致 16 回ごとに割り込みを生成する
 1110 = タイムベース周期一致 15 回ごとに割り込みを生成する
 ...
 0100 = タイムベース周期一致 5 回ごとに割り込みを生成する
 0011 = タイムベース周期一致または入力キャプチャ イベント 4 回ごとに割り込みを生成する
 0010 = タイムベース周期一致または入力キャプチャ イベント 3 回ごとに割り込みを生成する
 0001 = タイムベース周期一致または入力キャプチャ イベント 2 回ごとに割り込みを生成する
 0000 = タイムベース周期一致または入力キャプチャ イベントで毎回割り込みを生成する
- bit 7 **TRIGEN:** CCPx トリガ イネーブルビット
 1 = トリガに基づくタイマ動作を有効にする
 0 = トリガに基づくタイマ動作を無効にする
- bit 6 **ONESHOT:** ワンショット モード イネーブルビット
 1 = ワンショット トリガモードを有効にする (トリガ期間は OSCNT[2:0] で設定)
 0 = ワンショット トリガモードを無効にする
- bit 5 **ALTSYNC:** CCPx 代替同期出力信号選択ビット
 1 = 以下とは異なる信号をモジュールの同期出力信号として使う
 0 = タイムベースのリセット / ロールオーバー イベントをモジュールの同期出力信号として使う
- bit 4-0 **SYNC[4:0]:** CCPx 同期源選択ビット⁽⁴⁾
 11111 = タイマはフリーランニング モードで動作し、FFFFh でロールオーバーする (周期レジスタを無視する)
 11110 = タイマは 30 番の信号源に同期する
 ...
 00001 = タイマは 1 番の信号源に同期する
 00000 = タイマは外部信号に同期しない(タイマはFFFFh時または周期レジスター一致時にロールオーバーする)

- Note 1:** この制御ビットは、入力キャプチャモードに影響しません。
2: この制御ビットは、TRIGEN = 0 の場合に効力を持ちません。
3: 「0011」よりも大きな値を設定すると、入力キャプチャモードで FIFO バッファのオーバーフローが発生します。
4: 各デバイスファミリで利用可能な同期源については、デバイス データシートを参照してください。

dsPIC33/PIC24 ファミリ リファレンス マニュアル

レジスタ 3-3: CCPxCON2L: キャプチャ / コンペア / PWMx 制御 2 下位レジスタ

R/W-0	R/W-0	U-0	R/W-0	U-0	U-0	U-0	U-0
PWMRSEN	ASDGM	—	SSDG	—	—	—	—
bit 15						bit 8	

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
ASDG[7:0] ⁽¹⁾							
bit 7						bit 0	

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装、「0」として読み出し
 -n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

- bit 15 **PWMRSEN:** CCPx PWM 再開イネーブルビット
 1 = シャットダウン条件の解除後、次の PWM 周期の開始時に ASEVT ビットを自動的にクリアする
 0 = 出力ピンで PWM 動作を再開するには、ソフトウェアで ASEVT ビットをクリアする必要がある
- bit 14 **ASDGM:** CCPx 自動シャットダウン ゲートモード イネーブルビット
 1 = シャットダウン イベントは次のタイムベース リセットまたはロールオーバー後に発生する
 0 = シャットダウン イベントは即座に発生する
- bit 13 **未実装:** 「0」として読み出し
- bit 12 **SSDG:** CCPx ソフトウェア シャットダウン / ゲート制御ビット
 1 = シャットダウンまたはゲートイベント (タイマクロック ゲート、入力キャプチャ信号ゲート) を手動で強制的に生成する (ASDGM ビットの設定は適用)
 0 = 通常のコモジュール動作
- bit 11-8 **未実装:** 「0」として読み出し
- bit 7-0 **ASDG[7:0]:** CCPx 自動シャットダウン / ゲート信号源イネーブルビット ⁽¹⁾
 1 = このビットに対応する自動シャットダウン / ゲート信号源を有効にする
 0 = このビットに対応する自動シャットダウン / ゲート信号源を無効にする

Note 1: 各デバイスファミリが実装するゲート信号源については、デバイス データシートを参照してください。

キャプチャ / コンペア / PWM / タイマ (MCCP と SCCP)

レジスタ 3-4: CCPxCON2H: キャプチャ / コンペア / PWMx 制御 2 上位レジスタ

R/W-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-1
OENSYNC	—	OCFEN ⁽¹⁾	OCEEN ⁽¹⁾	OCDEN ⁽¹⁾	OCCEN ⁽¹⁾	OCBEN ⁽¹⁾	OCAEN
bit 15							bit 8

R/W-0	R/W-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
ICGSM[1:0]		—	AUXOUT[1:0] ⁽²⁾		ICS[2:0] ⁽³⁾		
bit 7							bit 0

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装、「0」として読み出し
 -n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

- bit 15 **OENSYNC:** 出力イネーブル同期ビット
 1 = 出力イネーブルビットの変更は次のタイムベース リセットまたはロールオーバー発生時に反映される
 0 = 出力イネーブルビットの変更は即座に反映される
- bit 14 **未実装:** 「0」として読み出し
- bit 13-8 **OC[F:A]EN:** 出力イネーブル / ステアリング制御ビット ⁽¹⁾
 1 = CCPx モジュールは OCx ピンを制御する (このピンで出力コンペアまたは PWM 信号を生成する)
 0 = CCPx モジュールは OCx ピンを制御しない (このピンはポートロジックまたは多重化されている他のモジュール用に使える)
- bit 7-6 **ICGSM[1:0]:** 入力キャプチャゲート信号源モード制御ビット
 11 = 予約済み
 10 = ワンショット モード: ゲート信号の立ち下がリエッジ以降のキャプチャ イベントを無効 (ICDIS = 1) にする
 01 = ワンショット モード: ゲート信号源の立ち上がりエッジ以降のキャプチャ イベントを有効 (ICDIS = 0) にする
 00 = レベル センシティブ モード: ゲート信号が High レベルであれば以降のキャプチャ イベントを有効にし、Low レベルであれば以降のキャプチャ イベントを無効にする
- bit 5 **未実装:** 「0」として読み出し
- bit 4-3 **AUXOUT[1:0]:** イベント時補助出力信号選択ビット ⁽²⁾
 11 = 入力キャプチャまたは出力コンペアイベント信号を出力する (タイマモードでは信号を出力しない)
 10 = 補助出力信号を出力する (出力信号はモジュールの動作モードに応じて異なる、表 8-2 参照)
 01 = タイムベース ロールオーバー イベント信号を出力する (全モード)
 00 = 無効にする
- bit 2-0 **ICS[2:0]:** 入力キャプチャ信号源選択ビット ⁽³⁾
 111 = キャプチャ信号源 8
 110 = キャプチャ信号源 7
 101 = キャプチャ信号源 6
 100 = キャプチャ信号源 5
 011 = キャプチャ信号源 4
 010 = キャプチャ信号源 3
 001 = キャプチャ信号源 2
 000 = キャプチャ信号源 1 (ICx ピン)

- Note 1:** OCFEN ~ OCBEN (bit[13:9]) は、MCCP モジュールにのみ実装されています。
2: 一部のデバイスは補助出力を実装していません。詳細はデバイスのデータシートを参照してください。
3: 利用可能な入力キャプチャ信号源についてはデバイス データシートを参照してください。

dsPIC33/PIC24 ファミリ リファレンス マニュアル

レジスタ 3-5: CCPxCON3L: キャプチャ コンペア PWMx 制御 3 下位レジスタ ⁽¹⁾

U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
—	—	—	—	—	—	—	—
bit 15						bit 8	

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	DT[5:0]					
bit 7						bit 0	

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装、「0」として読み出し
-n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

bit 15-6 **未実装:** 「0」として読み出し

bit 5-0 **DT[5:0]:** PWM デッドタイム選択ビット

111111 = 相補出力信号間に 63 周期のデッドタイム遅延を挿入する

111110 = 相補出力信号間に 62 周期のデッドタイム遅延を挿入する

...

000010 = 相補出力信号間に 2 周期のデッドタイム遅延を挿入する

000001 = 相補出力信号間に 1 周期のデッドタイム遅延を挿入する

000000 = デッドタイム ロジックを無効にする

Note 1: このレジスタは MCCP モジュールにのみ実装されています。

キャプチャ / コンペア / PWM / タイマ (MCCP と SCCP)

レジスタ 3-6: CCPxCON3H: キャプチャ / コンペア / PWMx 制御 3 上位レジスタ

R/W-0	R/W-0	R/W-0	R/W-0	U-0	R/W-0	R/W-0	R/W-0
OETRIG	OSCNT[2:0]			—	OUTM[2:0] ⁽¹⁾		
bit 15							bit 8

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	POLACE	POLBDF ⁽¹⁾	PSSACE[1:0]		PSSBDF[1:0] ⁽¹⁾	
bit 7							bit 0

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装、「0」として読み出し
 -n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

bit 15 **OETRIG:** トリガモード イネーブルビット

1 = トリガモード (TRIGEN = 1) の場合、モジュールはトリガが発生するまで出力ピンを駆動しない
 0 = 通常出力ピン動作

bit 14-12 **OSCNT[2:0]:** ワンショット イベントカウント ビット

ワンショット トリガイベント期間に n クロックサイクルを追加します (総期間は n+1 サイクル)。

111 = 7 タイマカウント周期を追加する (トリガ期間は 8 サイクル)

110 = 6 タイマカウント周期を追加する (トリガ期間は 7 サイクル)

101 = 5 タイマカウント周期を追加する (トリガ期間は 6 サイクル)

100 = 4 タイマカウント周期を追加する (トリガ期間は 5 サイクル)

011 = 3 タイマカウント周期を追加する (トリガ期間は 4 サイクル)

010 = 2 タイマカウント周期を追加する (トリガ期間は 3 サイクル)

001 = 1 タイマカウント周期を追加する (トリガ期間は 2 サイクル)

000 = ワンショット トリガイベント期間を延長しない (イベント期間は 1 タイマカウント周期)

bit 11 **未実装:** 「0」として読み出し

bit 10-8 **OUTM[2:0]:** PWMx 出力モード制御ビット ⁽¹⁾

111 = 予約済み

110 = 出力スキューンモード

101 = ブラシ付き DC モータモード (正転)

100 = ブラシ付き DC モータモード (逆転)

011 = 予約済み

010 = ハーフブリッジ モード

001 = プッシュプル モード

000 = 出力先可変シングル出力モード

bit 7-6 **未実装:** 「0」として読み出し

bit 5 **POLACE:** CCPx 出力ピン (OCxA、OCxC、OCxE) 極性制御ビット

1 = 出力ピン極性をアクティブ Low にする

0 = 出力ピン極性をアクティブ High にする

bit 4 **POLBDF:** CCPx 出力ピン (OCxB、OCxD、OCxF) 極性制御ビット ⁽¹⁾

1 = 出力ピン極性をアクティブ Low にする

0 = 出力ピン極性をアクティブ High にする

bit 3-2 **PSSACE[1:0]:** PWMx 出力ピン (OCxA、OCxC、OCxE) シャットダウン状態制御ビット

11 = シャットダウン イベント発生時にピンをアクティブに駆動する

10 = シャットダウン イベント発生時にピンを非アクティブに駆動する

0x = シャットダウン イベント発生時にピンをハイ インピーダンス状態にする

bit 1-0 **PSSBDF[1:0]:** PWMx 出力ピン (OCxB、OCxD、OCxF) シャットダウン状態制御ビット ⁽¹⁾

11 = シャットダウン イベント発生時にピンをアクティブに駆動する

10 = シャットダウン イベント発生時にピンを非アクティブに駆動する

0x = シャットダウン イベント発生時にピンをハイ インピーダンス状態にする

Note 1: これらのビットは MCCP モジュールにのみ実装されています。

dsPIC33/PIC24 ファミリ リファレンス マニュアル

レジスタ 3-7: CCPxSTATL: キャプチャ / コンペア / PWMx ステータス レジスタ

U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
—	—	—	—	—	—	—	—
bit 15						bit 8	

R-0	W1-0	W1-0	R/C-0	R/C-0	R/C-0	R/C-0	R/C-0
CCPTRIG	TRSET	TRCLR	ASEVT	SCEVT	ICDIS	ICOV	ICBNE
bit 7						bit 0	

凡例:	C = クリアのみ可能ビット
R = 読み出し可能ビット	W1 = 「1」のみ書き込み可能ビット
U = 未実装、「0」として読み出し	-n = POR 時の値
「1」= ビットはセット	「0」= ビットはクリア
	x = ビットは未知

- bit 15-8 **未実装:** 「0」として読み出し
- bit 7 **CCPTRIG:** CCPx トリガステータス ビット
1 = タイマはトリガされて動作中 (このビットはハードウェアまたは TRSET への書き込みによってセットされます)
0 = タイマはトリガされておらずリセット状態 (このビットはTRCLRへの書き込みによってクリアされます)
- bit 6 **TRSET:** CCPx トリガへのセット要求ビット
TRIGEN = 1 の場合、このビットに「1」を書き込む事でタイマをトリガできます (このビットは常に「0」として読み出されます)。
- bit 5 **TRCLR:** CCPx トリガへのクリア要求ビット
TRIGEN = 1 の場合、このビットに「1」を書き込む事でタイマトリガをキャンセルできます (このビットは常に「0」として読み出されます)。
- bit 4 **ASEVT:** CCPx 自動シャットダウン イベント ステータス / 制御ビット
1 = シャットダウン イベント中 (CCPx 出力はシャットダウン状態)
0 = CCPx 出力は通常動作中
- bit 3 **SCEVT:** シングルエッジ コンペアイベント ステータスビット
1 = シングルエッジ コンペアイベントが発生した
0 = シングルエッジ コンペアイベントは発生していない
- bit 2 **ICDIS:** 入力キャプチャ ディセーブル ビット
1 = 入力キャプチャピンでイベントが発生してもキャプチャ イベントを生成しない
0 = 入力キャプチャピンでイベントが発生するとキャプチャ イベントを生成する
- bit 1 **ICOV:** 入力キャプチャ バッファ オーバーフロー ステータスビット
1 = 入力キャプチャ FIFO バッファはオーバーフローした
0 = 入力キャプチャ FIFO バッファはオーバーフローしていない
- bit 0 **ICBNE:** 入力キャプチャ バッファ ステータスビット
1 = 入力キャプチャ バッファ内に読み出し可能なデータが存在する
0 = 入力キャプチャ バッファはエンプティ

キャプチャ / コンペア / PWM / タイマ (MCCP と SCCP)

レジスタ 3-8: CCPxTMRL: CCPx タイムベース下位レジスタ

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
TMR[15:8]							
bit 15							
bit 8							

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
TMR[7:0]							
bit 7							
bit 0							

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装、「0」として読み出し
-n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

bit 15-0 **TMRL[15:0]:** 16 ビット タイムベース値ビット

レジスタ 3-9: CCPxTMRH: CCPx タイムベース High レジスタ

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
TMR[31:24]							
bit 15							
bit 8							

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
TMR[23:16]							
bit 7							
bit 0							

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装、「0」として読み出し
-n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

bit 15-0 **TMRH[31:16]:** 16 ビット タイムベース値ビット

dsPIC33/PIC24 ファミリ リファレンス マニュアル

レジスタ 3-10: CCPxPRL: CCPx 周期下位レジスタ

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
PRL[15:8]							
bit 15				bit 8			

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
PRL[7:0]							
bit 7				bit 0			

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装、「0」として読み出し
-n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

bit 15-0 **PRL[15:0]:** 周期レジスタビット

レジスタ 3-11: CCPxPRH: CCPx 周期上位レジスタ

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
PRH[31:24]							
bit 15				bit 8			

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
PRH[23:16]							
bit 7				bit 0			

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装、「0」として読み出し
-n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

bit 15-0 **PRH[31:16]:** 周期レジスタビット

キャプチャ / コンペア / PWM / タイマ (MCCP と SCCP)

レジスタ 3-12: CCPxRA: CCPx プライマリ コンペアレジスタ (タイマ / コンペアモードのみ)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
CMP[15:8]							
bit 15							
bit 8							

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
CMP[7:0]							
bit 7							
bit 0							

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装、「0」として読み出し
-n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

bit 15-0 **CMP[15:0]:** コンペア値ビット
CCPx タイムベースと比較される 16 ビット値。

レジスタ 3-13: CCPxRB: CCPx セカンダリ コンペアレジスタ (タイマ / コンペアモードのみ)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
CMP[15:8]							
bit 15							
bit 8							

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
CMP[7:0]							
bit 7							
bit 0							

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装、「0」として読み出し
-n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

bit 15-0 **CMP[15:0]:** コンペア値ビット
CCPx タイムベースと比較される 16 ビット値。

dsPIC33/PIC24 ファミリ リファレンス マニュアル

レジスタ 3-14: CCPxBUFL: CCPx キャプチャバッファ下位レジスタ (キャプチャモードのみ)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
BUF[15:8]							
bit 15				bit 8			

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
BUF[7:0]							
bit 7				bit 0			

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装、「0」として読み出し
-n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

bit 15-0 **BUF[15:0]:** コンペアバッファ値ビット
FIFO 内の最も古いキャプチャ済みタイムベース値を示す

レジスタ 3-15: CCPxBUFH: CCPx キャプチャ バッファ上位レジスタ (キャプチャモードのみ)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
BUF[31:24]							
bit 15				bit 8			

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
BUF[23:16]							
bit 7				bit 0			

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装、「0」として読み出し
-n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

bit 15-0 **BUF[31:16]:** コンペアバッファ値ビット
FIFO 内の最も古いキャプチャ済みタイムベース値を示す

キャプチャ / コンペア / PWM / タイマ (MCCP と SCCP)

4.0 タイムベースの生成

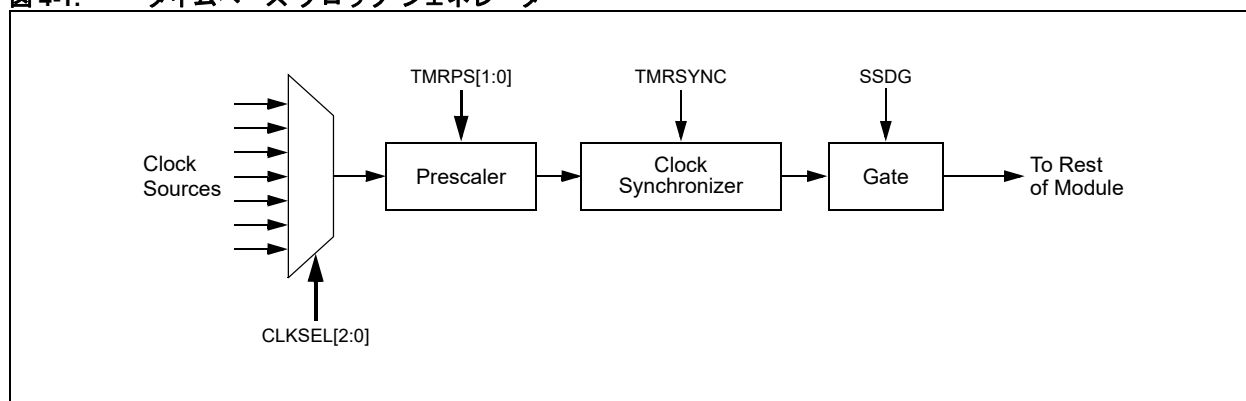
タイムベース ジェネレータ (TBG) は、マイクロコントローラ上で利用可能なクロック信号から CCP モジュール用のタイムベースを生成します。これはタイマモード用のタイムベースとして機能するだけでなく、別の内蔵タイマモジュールを使わずに入力キャプチャおよび出力コンペアモードの動作を可能にします。

クロック ジェネレータには、システムクロック (Tcy) と他の内蔵オシレータソースを含む最大で 8 種類のクロック入力を利用できます。デバイスによっては、外部クロックも入力可能です。選択したクロック源をプリスケラで分周する事で、CCP モジュールに適した周波数を生成します。

TBG の動作は、入力のタイミング制約またはモジュールの動作条件に応じて、入力クロック源に同期させる事ができます。TMRSYNC ビット (CCPxCON1L[11]) をセットすると、クロック入力に対するタイムベースの同期が有効になります。

図 4-1 に割り込みベクタテーブル (TBG) を示します。

図 4-1: タイムベース クロック ジェネレータ



4.1 ゲートロジック

タイムベース ジェネレータは、タイマゲート信号に応答してタイマ インクリメント クロックの生成を無効にするハードウェア ゲートを内蔵しています。これは、タイマモードでのみ利用可能です。

ゲートの制御には、ASDG[7:0] 制御ビット (CCPxCON2L[7:0]) と SSDG ビット (CCPxCON2L[12]) を使います。これら全てのビットの論理和として、TBG に対するゲートイネーブル信号を生成します。

ASDGx ビットをセットすると、そのビットに対応するハードウェア トリガが有効になります。任意または全てのビットをセットする事で複数の信号源を選択できます。ゲートと自動シャットダウン用に利用可能な信号源はデバイスによって異なりますが、一般的にコンパレータ出力、I/O ピン (PWM 動作向けの OCFA と OCFB を含む)、ソフトウェア制御等を信号源として使えます。有効にした信号源のいずれかが何らかの信号を出力すると、TBG 出力は無効になります。イベントは一般的にレベル センシティブです (信号エッジでトリガされるのではない)。

SSDG ビットは、ソフトウェアで操作可能なゲート信号源として機能します。SSDG ビットをセットする事で、ハードウェア信号源からの入力と同じ効果が得られます。

ゲート機能については、本書内の以下の項目で説明します。

- ・ タイマのゲート処理 ([セクション 5.3「タイマモードにおけるクロックの生成」](#) 参照)
- ・ MCCP モジュールにおける出力コンペアの自動シャットダウン ([セクション 7.6.11「自動シャットダウン制御」](#) 参照)
- ・ ゲート付き入力キャプチャ ([セクション 6.4.1「入力キャプチャ信号のゲート処理」](#) 参照)

動作モードに関係なく、CCP モジュールはゲート入力のステータスに基づいて割り込みイベントを生成する事はできません。ゲートイベントに基づいて割り込みを生成する必要がある場合、ゲート信号源そのものを使って割り込みを生成する必要があります。

5.0 タイマモード

CCSEL = 0 かつ MOD[3:0] = 0000 の場合、モジュールはタイマとして機能します。基本的なタイマモードは 2 種類あり、これらは表 5-1 に示すように T32 ビット (CCPxCON1L[5]) で選択します。どちらのモードでもタイマは、フリーランニングタイマ / カウンタとして動作する事も他のモジュールと同期して動作する事もでき、他のモジュールまたは外部イベントを使ってトリガする事もできます。

表 5-1: タイマの動作モード

T32	動作モード
0	デュアルタイマ モード (16 ビット)
1	タイマモード (32 ビット)

5.1 デュアル 16 ビット タイマモード

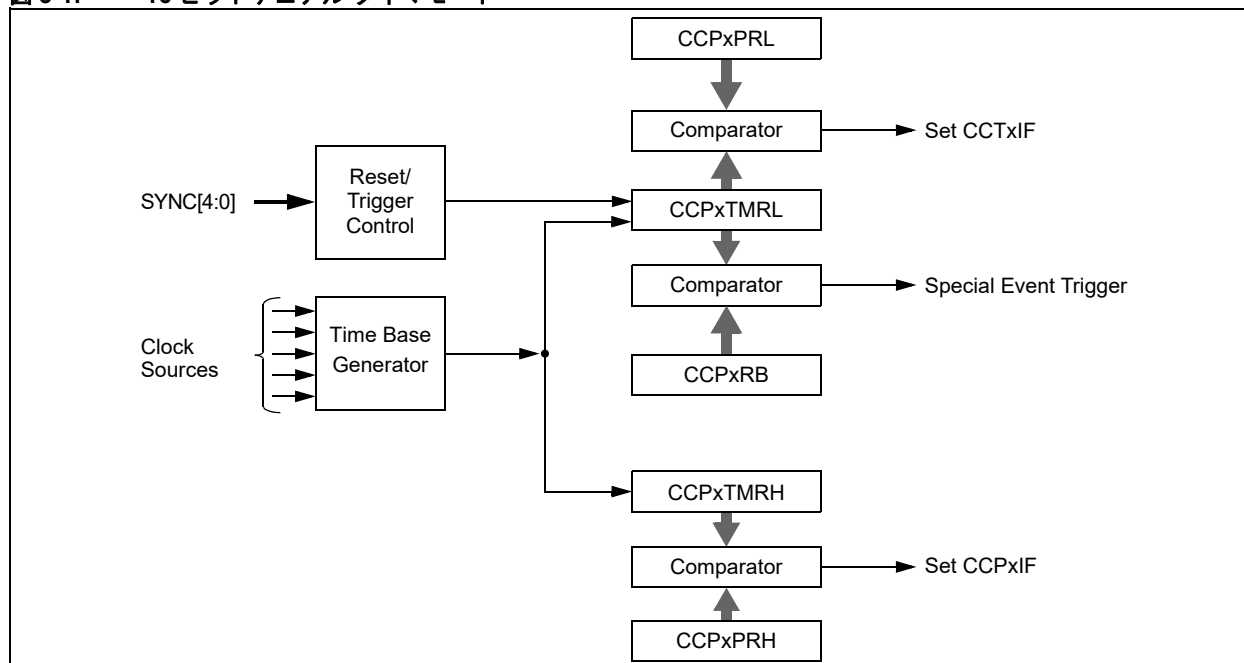
デュアル 16 ビット タイマモードを選択するには、T32 を「0」に設定します。このモードは以下の機能向けに使えます。

- 周期的な CPU 割り込み
- 他の CCP モジュールを同期するためのマスタ タイムベース
- A/D 変換の周期的トリガ
- 周期的なスリープからの復帰 (適切なクロック源が必要)

Note: タイムベースに高速な非同期クロック源を使うと、ユーザから CCPxTMRH/L レジスタを読み出せなくなる場合があります。読み出し速度が低い場合、2 回の読み出しを実行して結果を比較できます。

図 5-1 に示すように、デュアル 16 ビット タイマモードは 2 つの独立した 16 ビットタイマ / カウンタを使った単純なタイマ機能を提供します。プライマリタイマ (CCPxTMR ペアの低位ワード (CCPxTMRL) を使用) は、タイマとして完全な機能を備え、デバイス上の他のモジュールとの相互動作が可能です。このタイマは、他の MCCP モジュールに向けて CCP 同期信号を生成できます。また、他のモジュールが生成した信号を同期源として使えます (SYNC[4:0] で選択)。セカンダリタイマ (CCPxTMR ペアの高位ワード (CCPxTMRH) を使用) の機能は制限されます。このタイマは、CPU イベントのタイミングを制御するための周期的な割り込み要因としてのみ使えます。プライマリタイマとは異なり、セカンダリタイマは出力トリガ信号を生成しません。

図 5-1: 16 ビットデュアル タイマモード



キャプチャ / コンペア / PWM / タイマ (MCCP と SCCP)

プライマリおよびセカンダリタイマは、TBG から供給される同じクロック源 (CLKSEL[2:0] で選択) を使います。ユーザは、CCPxTMRH/L レジスタを介して 2 つの 16 ビット タイムベースにアクセスできます。2 つのタイマレジスタ (CCPxTMRL と CCPxTMRH) は同時にインクリメントします。しかし、プライマリタイマ (CCPxTMRL) だけがタイマ同期機能を備えています。セカンダリタイマ (CCPxTMRH) はタイマ同期機能を備えていません。

SYNC[4:0] = 00000 の場合、プライマリ 16 ビット タイムベースの周期は CCPxPRL レジスタの値によって決まります。モジュールが外部同期信号を使う場合、プライマリ 16 ビット タイムベースは、SYNC[4:0] で選択されている信号源がアサートされた時点でリセットされます。タイムベースが 0 にロールオーバーするたびに、モジュールの同期信号が生成されます。

プライマリタイマは、CCPxTMRL の値が 0000h にリセットした時に CCP 割り込みを生成できます。SYNC[4:0] = 00000 の場合、これは CCPxTMRL と CCPxPRL が一致した時に発生します。SYNC[4:0] を「00000」以外の値に設定した場合、その値に対応する信号がアサートされるたびに CCPxTMRL がリセットされ、CCT 割り込みフラグ (CCTxIF) イベントが生成されます。

セカンダリ 16 ビットタイマのカウント周期は、CCPxPRH レジスタの値によって決まります。セカンダリタイマは外部同期をサポートしないため、SYNC[4:0] の同期入力選択には影響されません。セカンダリ タイムベースは CCPON ビット (CCPxCON1L[15]) がセットされた時点でカウントを始めます。CCPxPRH レジスタの値と CCPxTMRH のカウント値が一致すると、セカンダリ 16 ビット タイムベースはリセットされ、タイマ ロールオーバー割り込みイベント (CCPxIF) が生成されます。

アプリケーションがどちらか 1 つの 16 ビットタイマしか使わない場合、未使用のタイマは、対応する周期レジスタに 0000h を書き込む事で無効にできます。周期レジスタの値が 0 であれば、タイマはリセット状態を保持し、割り込みを一切生成しません。この動作モードでは、CCPxPRH および CCPxPRL レジスタはバッファリングされません。

モジュールをデュアル 16 ビット タイマモードに設定する方法は以下の通りです。

1. CCSEL = 0 に設定する (タイムベース / 出力コンペアモードを選択)。
2. T32 = 0 に設定する (16 ビット タイムベース動作を選択)。
3. MOD[3:0] = 0000 に設定する (タイムベース モードを選択)。
4. SYNC[4:0] で適切なタイムベース同期源を選択する。
 - タイマを有効にする前に、SYNC[4:0] で選択した外部同期源を設定する。
 - タイマが外部同期源を使わない場合 (SYNC[4:0] = 00000) またはモジュール自身を同期源とする場合 (SYNC[4:0] ビットで、そのモジュールに対応する値を同期源として選択)、CCPxPRL にプライマリ 16 ビット タイムベースのカウント周期を書き込む。
5. セカンダリタイマも使う場合、CCPxPRH にカウント周期を指定する非ゼロ値を書き込む。
6. 特殊 A/D トリガを使う場合、CCPxRB で適切なトリガ出力期間を設定する。
7. CCPON ビットをセットする (モジュールを有効にする)。
8. 上記ステップ 4 で外部同期源を選択した場合、その同期源を設定して有効にする。この時点で、プライマリ 16 ビット タイムベースはカウント開始可能となる。

5.1.1 特殊イベントトリガ

一部のデバイスでは、デュアル 16 ビット タイマモードを使って特殊イベントトリガ出力信号を生成できます。利用可能かどうかは、各デバイスのデータシートの ADC トリガソースを参照してください。プライマリタイマは、A/D 変換と他の周辺モジュール イベントのトリガとして使えます。トリガ期間は CCPxRB レジスタの値によって設定され、CCPxPRL レジスタで定義するカウンタ周期よりも短い必要があります。

5.2 32 ビットタイマ モード

32 ビット タイマモードを選択するには、T32 = 1 に設定します。このモードでは、CCPxTMRH および CCPxTMRH レジスタは 1 つの 32 ビットタイマとして機能します。CCPxTMRH がオーバーフローするたびに、CCPxTMRH が 1 つインクリメントします。

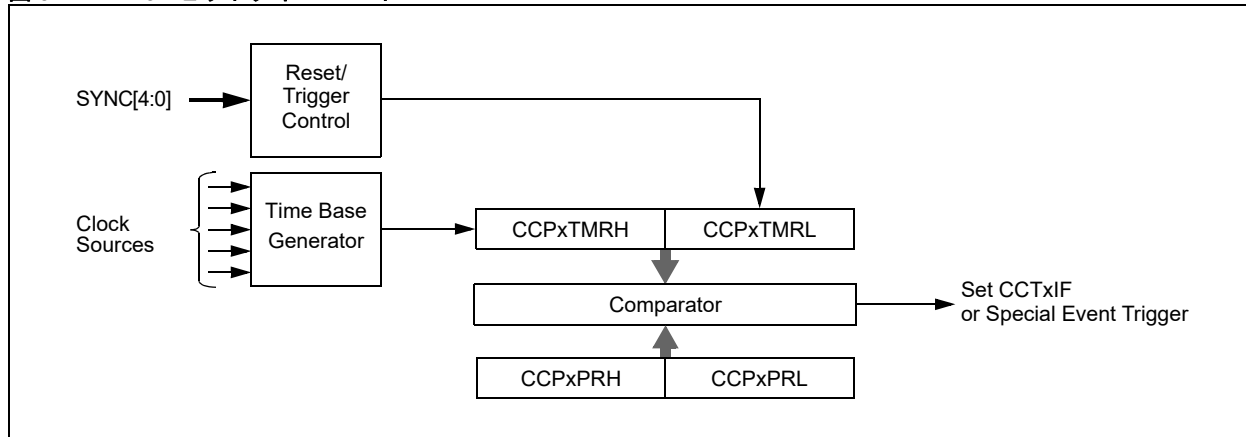
このモードは、長期のカウントが可能な単純なタイマ機能を提供します。このモードは以下の機能向けに使えます。

- 周期的な CPU 割り込み
- 他の CCP モジュールに向けた同期およびトリガ信号の生成
- A/D 変換の周期的なトリガ
- 周期的なスリープからの復帰 (適切なクロック源が必要)

この動作モードでは、CCP モジュールの入力 / 出力機能を利用できません。

Note: オーバーフロー中の読み出しを防ぐため、最初に CCPxTMRH レジスタを読み出し、ロールオーバーが間近に発生しない事を確認する必要があります。

図 5-2: 32 ビットタイマ モード



外部同期源を使わない場合 (SYNC[4:0] = 00000)、タイマのカウント周期は CCPxPRH/L レジスタの値によって決まります。モジュールが有効 (CCPON = 1) である限り、CCPxTMR および CCPxPRH レジスタが一致するたびに同期出力信号が自動的に生成されます。

モジュールを 32 ビット タイマモードに設定する方法は以下の通りです。

1. CCSEL = 0 に設定する (タイムベース / 出力コンペアモードを選択)。
2. T32 = 1 に設定する (32 ビット タイムベース動作を選択)。
3. MOD[3:0] = 0000 に設定する (タイムベース モードを選択)。
4. SYNC[4:0] で適切なタイマ同期源を選択する。
 - タイマを有効にする前に、SYNC[4:0] で選択した外部同期源を設定する。
 - タイマが外部同期源を使わない場合 (SYNC[4:0] = 00000) またはモジュール自身を同期源とする場合 (SYNC[4:0] ビットで、そのモジュールに対応する値を同期源として選択)、CCPxPRL/H に 32 ビット タイムベースのカウント周期を書き込む。
5. CCPON ビットをセットする (モジュールを有効にする)。

5.3 タイマモードにおけるクロックの生成

モジュールがタイマモードで動作する場合、タイムベース ゲートを使ってタイマの動作を制限できます (詳細は [セクション 4.1「ゲートロジック」](#) 参照)。この機能を使うと、外部イベントの時間を簡単に計測できます。タイマクロックのゲート処理は、ASDG[7:0] ビット (CCPxCON2L[7:0]) で有効にされているゲート信号源のいずれかがアサートされた時点、または SSDG ビット (CCPxCON2L[12]) がセットされた時点で、有効になります。

キャプチャ / コンペア / PWM / タイマ (MCCP と SCCP)

6.0 入力キャプチャモード

CCSEL = 1 に設定すると、モジュールは入力キャプチャモード向けに設定されます。このモードでは、入力ピンでイベントが発生した時に、各モジュールで選択されているタイムベースからタイマ値をキャプチャします。このモードは、周波数（周期）とパルスの計測が必要なアプリケーションに役立ちます。

入力キャプチャモードでは、イベントをキャプチャするために、CCPxTMR レジスタを専用の 16 または 32 ビット同期カウントアップ タイマとして使います。キャプチャ イベントが発生すると、このレジスタの値が FIFO バッファに書き込まれます。CCPxTMR レジスタから内部値を読み出す事もできますが、同期による遅延を伴います。

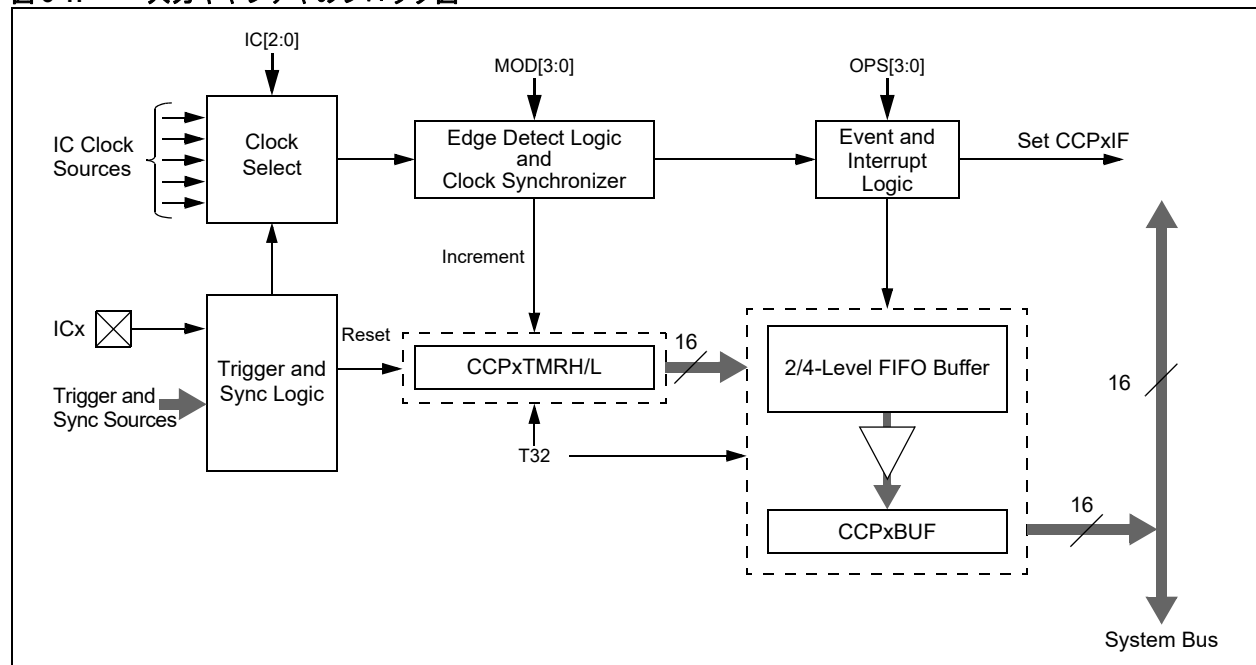
CCSEL をセットした場合、入力キャプチャモード以外の主モードは利用できません。表 6-1 に示すように、T32 および MOD[3:0] ビットを使って各種のキャプチャモードを定義できます。

図 6-1 に、入力キャプチャモードの概略ブロック図を示します。

表 6-1: キャプチャモード

T32 (CCPxCON1L[5])	MOD[3:0] (CCPxCON1L[3:0])	動作モード
0	0000	エッジ検出 (16 ビットキャプチャ)
1	0000	エッジ検出 (32 ビットキャプチャ)
0	0001	各立ち上がりエッジ (16 ビットキャプチャ)
1	0001	各立ち上がりエッジ (32 ビットキャプチャ)
0	0010	各立ち下がりエッジ (16 ビットキャプチャ)
1	0010	各立ち下がりエッジ (32 ビットキャプチャ)
0	0011	各立ち上がり / 立ち下がりエッジ (16 ビットキャプチャ)
1	0011	各立ち上がり / 立ち下がりエッジ (32 ビットキャプチャ)
0	0100	立ち上がりエッジ 4 回ごと (16 ビットキャプチャ)
1	0100	立ち上がりエッジ 4 回ごと (32 ビットキャプチャ)
0	0101	立ち上がりエッジ 16 回ごと (16 ビットキャプチャ)
1	0101	立ち上がりエッジ 32 回ごと (16 ビットキャプチャ)

図 6-1: 入力キャプチャのブロック図



6.1 初期化

CCP モジュールは入力キャプチャ、出力コンペア /PWM、タイマ動作に使えるため、最初に動作モードを適切に選択する必要があります。また、関連する全ての制御レジスタをクリアする事を推奨します。

CCP モジュールをリセットまたは無効化 (CCPON = 0) すると、以下が発生します。

- ICOV および ICBNE ステータスフラグがクリアされる
- CCPxBUFH/L とその FIFO バッファがクリアされる
- CCPxTMRH/L が 0 にリセットされる
- キャプチャ プリスケラ カウンタが 0 にリセットされる
- 割り込み生成用のキャプチャ イベントカウンタが 0 にリセットされる

6.1.1 モード選択

タイマおよび出力キャプチャ /PWM モードの場合と同様に、MOD[3:0] ビットでキャプチャモードとプリスケラ オプションを選択します。不注意な割り込み生成を防ぐため、キャプチャモードを変更する際は、常にモジュールを無効にする (CCPON ビットをクリアする) 必要があります。モジュールを有効にする前に、CCSEL ビットのセットと MOD[3:0] ビットの設定を 1 回の書き込みで行う事を推奨します。

6.1.2 タイマクロック源の選択

dsPIC33/PIC24 ファミリのデバイスは、1 つまたは複数の入力キャプチャ チャンネルを実装しています。各チャンネルのタイムベースには、CLKSEL[2:0] ビット (CCPxCON1L[10:8]) を使って、8 種類あるクロック源のいずれか 1 つを選択できます ([セクション 4.0「タイムベースの生成」](#) 参照)。同期モードを有効にしたタイマ用に、システムクロック源 (Fosc/2) または TxCK ピンに供給される外部クロック源を使う事ができます。入力キャプチャ動作の場合、入力キャプチャピン (ICx) を選択する必要があります。モジュールを有効にする前にクロック源を選択し、動作中に変更しない事を推奨します。

利用可能なタイマ入力については、各デバイスのデータシートを参照してください。

6.1.2.1 32 ビット入力キャプチャのサポート

入力キャプチャモードには、32 ビットのタイムベースを使う事もできます。32 ビットモードを選択するには、T32 ビットをセットします。以下の点を除き、32 ビットモードの入力キャプチャ機能は 16 ビットモードと同じです。

- CCPxTMR は 32 ビットレジスタ (CCPxTMRH/CCPxTMRL) として構成される
- CCPxBUF は 32 ビットレジスタ (CCPxBUFH/CCPxBUFL) として構成される
- 32 ビットモードでは FIFO バッファの深さは 2 段になる

例 6-1 のサンプルコードに、モジュールを入力キャプチャモード向けに設定するための標準的な手順を示します。

例 6-1: 入力キャプチャモード向けの設定 (各立ち上がりエッジでキャプチャ)

```
CCP1CON1Lbits.CCSEL=1;      // Input capture mode
CCP1CON1Lbits.CLKSEL=0;     // Set the clock source (Tcy)
CCP1CON1Lbits.T32=0;        // 16-bit Dual Timer mode
CCP1CON1Lbits.MOD= 1;       // Capture ever rising edge of the event
CCP1CON2Hbits.ICSEL= 0;     // Capture rising edge on the Pin
CCP1CON1Hbits.IOPS=0;       // Interrupt on every input capture event
CCP1CON1Lbits.TMRPS=0;      // Set the clock pre-scaler (1:1)
CCP1CON1Lbits.CCPON=1;     // Enable CCP/input capture
```

キャプチャ / コンペア / PWM / タイマ (MCCP と SCCP)

6.2 キャプチャ イベントモード

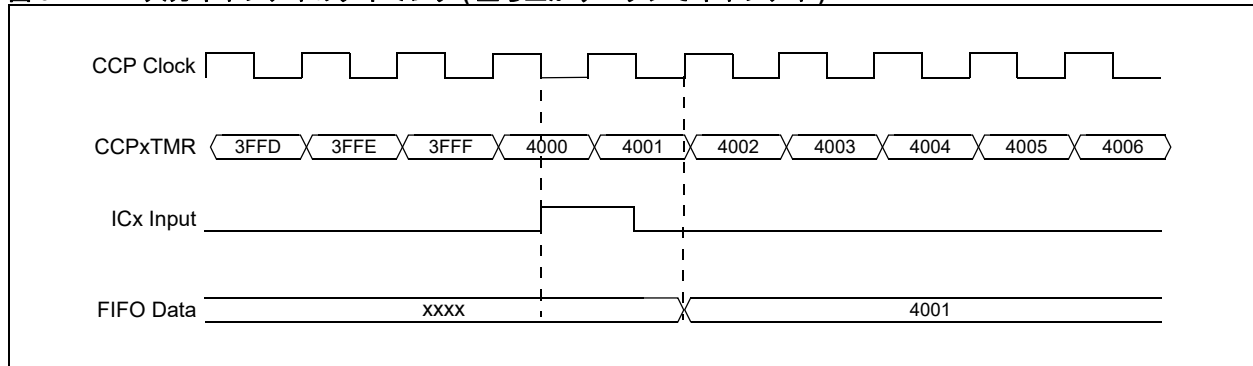
モジュールは、ICx ピンで以下の状態遷移が発生した時にタイマ値をキャプチャできます。

- 各立ち上がりエッジ (MOD[3:0] = 0001)
- 各立ち下がりエッジ (MOD[3:0] = 0010)
- 各立ち上がり / 立ち下がりエッジ (MOD[3:0] = 0000, 0011)

プリスケラを使わない場合、入力キャプチャピンはタイマクロックの立ち下がりエッジでサンプリングされるため、キャプチャパルスの幅は、タイマクロック周期よりもある程度以上大きい必要があります。

内部的な同期要件により、キャプチャ イベントが発生した時点から 1.5 CCP クロックサイクル後のタイマ値がキャプチャされます (図 6-2 参照)。

図 6-2: 入力キャプチャのタイミング (立ち上がりエッジでキャプチャ)

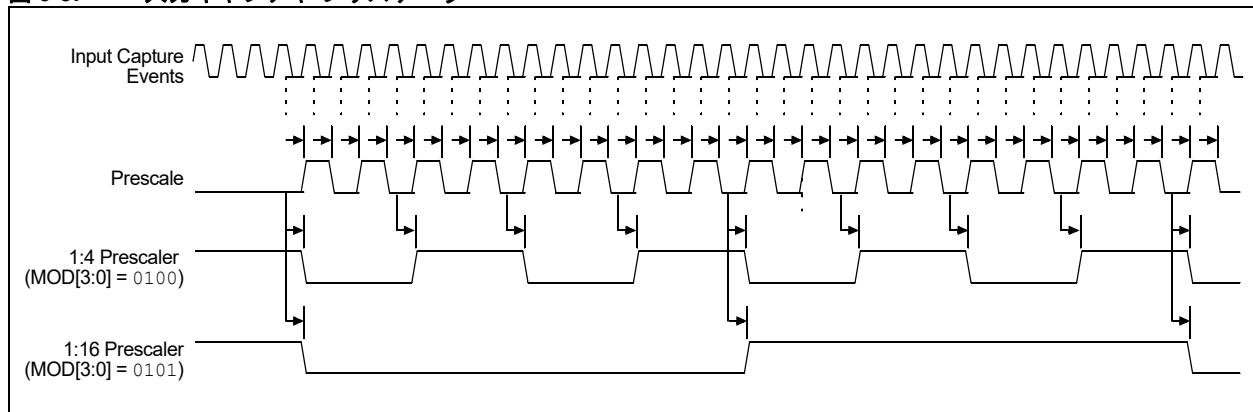


6.2.1 入力キャプチャ プリスケーラ

入力キャプチャモードで入力プリスケラを使うと、ICx 入力ピンでエッジが 4 回発生するたびに 1 回 (MOD[3:0] = 0100) または 16 回発生するたびに 1 回 (MOD[3:0] = 0101) の頻度でタイマ値をキャプチャできます。

キャプチャパルスに対するパルス幅要件は、プリスケラを使わない単純なキャプチャモードの場合とは異なります。厳密な要件については、各デバイスのデータシートを参照してください。内部的な同期要件により、キャプチャ イベントが発生した時点から 1 ~ 2 タイマクロックサイクル後のタイマ値がキャプチャされます (図 6-3 参照)。

図 6-3: 入力キャプチャ プリスケーラ



6.2.2 エッジ検出 (ホールセンサ) モード

エッジ検出モード (MOD[3:0] = 0000) の動作は、入力キャプチャ バッファ オーバーフロー ステータス (ICOV) フラグがセットされてもキャプチャ割り込みイベントを抑止しないという点を除けば、各立ち上がり / 立ち下がりエッジでキャプチャするモード (MOD[3:0] = 0011) と同じです。このモードでは、FIFO を繰り返しエンプティにしなくても、連続的にキャプチャ イベントを生成して割り込みイベントをトリガできます。

6.2.3 入力キャプチャ バッファ

入力キャプチャ FIFO バッファは、キャプチャモードの選択に応じて、最大で 4 段の深さを持ちます。16 ビット タイマキャプチャの FIFO の深さは 4 段 (16 ビット幅) であり、32 ビット タイマキャプチャの FIFO の深さは 2 段 (32 ビット幅) です。ユーザは、CPU 割り込みを生成するために必要なキャプチャ イベントの回数を選択できます。

FIFO バッファの状態は、2 つのステータスフラグによって示されます。ICBNE ステータスビット (CCPxSTATL[0]) は、少なくとも 1 回のキャプチャ イベントが発生した事を示します。ICOV ステータスビット (CCPxSTATL[1]) は、バッファの深さ (16 ビットモードでは 4 段、32 ビットモードでは 2 段) を超える回数のイベントが発生した事を示します。これらのステータスフラグの動作は、16 ビットモードでも 32 ビットモードでも同じです。

CCP モジュールがリセット状態またはキャプチャモード以外のモードである場合、以下が発生します。

- ICOV ステータスフラグはクリアされる
- ICBNE ステータスフラグはクリアされる
- FIFO のステータスはエンプティになる
- FIFO バッファを読み出すと「0」が返される

ICBNE ステータスフラグは最初のキャプチャ イベントが発生するとセットされ、FIFO から全てのキャプチャ イベントが読み出されるまでセットされたままです。例えばキャプチャ イベントが 3 回発生した場合、ICBNE フラグをクリアするにはキャプチャ FIFO バッファを 3 回読み出す必要があります。FIFO バッファを読み出すたびに、残りのワードは FIFO の先頭に向かって移動します。

4 回のキャプチャ イベントによって FIFO バッファがフルになった後、FIFO を読み出す前に次のキャプチャ イベントが発生すると、オーバーフロー条件が発生して ICOV ビットがセットされます。加えて、オーバーフローを引き起こしたキャプチャ イベントは記録されず、FIFO を完全に読み出してオーバーフロー条件を解除するまで、後続のキャプチャ イベントは FIFO に書き込まれません。

モジュールが入力キャプチャ以外のモードである場合または入力キャプチャモードであってもエッジ検出モード (MOD[3:0] = 0000) が選択されている場合、オーバーフロー条件は発生しません。

オーバーフロー状態は、以下のいずれかの方法でクリアできます。

1. CCPON ビットをクリアしてモジュールを無効にする。
2. ICBNE = 0 になるまで入力キャプチャ バッファを読み出す (32 ビットキャプチャでは 2 回、16 ビットキャプチャでは 4 回読み出す)。
3. ソフトウェアで ICOV ビットをクリアする。これにより、データポインタは FIFO バッファの先頭へリセットされるため、FIFO に保存されていたデータは全て破棄される。ソフトウェアで ICOV をクリアすると、ICBNE ビットも自動的にクリアされる。
4. デバイスをリセットする。

オーバーフロー条件をクリアすると、ICOV および ICBNE ステータスフラグはクリアされ、キャプチャ チャンネルは正常な動作を再開します。モジュールを一度無効にした後に入力キャプチャモードで再度有効にした場合、FIFO バッファの内容 (読み出し値) は不確定です。

FIFO の最後の読み出し後、次のキャプチャ イベントが発生する前に FIFO を読み出した場合、FIFO の読み書きポインタは FIFO の先頭アドレスを指しています。FIFO の読み出しは、先頭のバッファアドレスで保持されている値を返します。

FIFO ポインタは、CPU がバッファ結果の最上位ワードを読み出した時点で更新されます。このため、16 ビット CPU でも 32 ビット入力キャプチャの結果を読み出す事ができます。

6.3 入力キャプチャ割り込み

入力キャプチャモードで動作中のモジュールは、キャプチャ イベント発生時に割り込みを生成できます。キャプチャ イベントとは「FIFO へのタイマ値の書き込み」として定義されます。

OPS[3:0] 制御ビット (CCPxCON1H[11:8]) で割り込みポストスケールを選択する事で、特定回数のキャプチャ イベントが発生した後に割り込みを生成できます。この回数は、1 回～4 回の範囲で選択できます。「最初のキャプチャ イベント」とは、無効状態 (CCPON = 0) からのモード変更または ICBNE ビットのクリアが発生した後に、最初に発生するキャプチャ イベントとして定義されます。

OPS[3:0] = 0000 (毎回のキャプチャで割り込み生成) 以外を選択した場合、バッファ オーバーフローが発生するとキャプチャ イベントと割り込み生成は停止します。FIFO を読み出してクリアすると内部割り込みカウンタもクリアされるため、後続の割り込み生成に影響します。

アプリケーションによっては、入力キャプチャピンを補助的な外部割り込み要因として使う場合があります。エッジ検出モードの場合、FIFO のオーバーフローに関係なく、割り込みは OPS[3:0] の定義に従って生成されます。オーバーフローによる割り込みの発生を防ぐために入力キャプチャ バッファに対してダミー読み出しを実行してイベントをクリアする必要はありません。

例として、OPS[3:0] = 0001 (キャプチャ イベント 2 回ごとに割り込み生成) を選択した場合、以下の一連のイベントによって 1 回の CCPxIF が生成されます。

1. モジュールを有効にする (イベントカウンタ = 0)
2. 最初のイベントをキャプチャする (FIFO 内に 1 個のエントリ、イベントカウンタ = 1)
3. FIFO を読み出す (FIFO はエンプティ、イベントカウンタ = 0)
4. 2 回目のイベントをキャプチャする (FIFO 内に 1 個のエントリ、イベントカウンタ = 1)
5. 3 回目のイベントをキャプチャする (FIFO 内に 2 個のエントリ、イベントカウンタ = 2、CCPxIF がセットされる)
6. 割り込みフラグがセットされた時点で割り込みカウンタをクリアする (イベントカウンタ = 0)
7. 4 回目のイベントをキャプチャする (FIFO 内に 3 個のエントリ、イベントカウンタ = 1)
8. FIFO を 3 回読み出す (FIFO はエンプティ、割り込み用イベントカウンタ = 0)
9. 5 回目のイベントをキャプチャする (FIFO 内に 1 個のエントリ、イベントカウンタ = 1)
10. FIFO を読み出す (FIFO はエンプティ、イベントカウンタ = 0)

6.3.1 入力キャプチャモード中のタイマ割り込み

入力キャプチャモードで動作中のモジュールは、タイマ割り込み (CCTxIF) とキャプチャ割り込み (CCPxIF) を生成します。しかし、カウンタ周期を設定する周期レジスタを使わないため、タイマ割り込みはタイマ ロールオーバー (FFFFh → 0000h) 時にのみ発生します。タイマカウンタ周期をこれよりも短くする必要がある場合、別の MCCP モジュールまたは外部タイマから入力キャプチャ タイムベース用に同期信号を供給できます。

6.4 同期モードおよびトリガモードによる入力キャプチャ動作

既定値では、入力キャプチャモード中の MCCP モジュールは、フリーランニング タイマを使って動作します。入力キャプチャモードでは、CCPxPRH/L レジスタを使ってタイマ周期を設定する事はできません。SYNC[4:0] を「11111」に固定する事で、タイマのフリーランニング動作を維持する事を推奨します。

以下のどちらかの条件が発生すると、タイマは 0000h を保持します。

- トリガモード動作が有効 (TRIGEN = 1) かつトリガイイベントが発生していない (CCPTRIG = 0)
- 外部同期源が選択され (SYNC[4:0] の値が「11111」以外) かつその信号源が有効になっていない

どちらの条件でも、入力キャプチャ イベントは発生しますが、FIFO には常に値 0000h がキャプチャされます。以上の理由により、入力キャプチャモード中にトリガモード動作または外部同期モード動作を使う事は推奨しません。

6.4.1 入力キャプチャ信号のゲート処理

必要に応じてソフトウェアまたはハードウェアで入力キャプチャ信号源をゲート処理する事で、ウィンドウ機能付きキャプチャ計測を実装できます。この機能を使うと、センシング アプリケーションのノイズ耐性を改善できます。

ICDIS ビット (CCPxSTATL[2]) は、入力信号ゲート機能のステータスを示します。ICDIS ビットがクリアされている場合、エッジ検出ロジックによるキャプチャ イベントの生成が許容されます。ICDIS ビットがセットされている場合、エッジ検出ロジックによるキャプチャ イベントの生成は抑止されます。

タイムベース ゲートロジックは、入力キャプチャ信号のゲート処理用に使います (詳細は [セクション 4.1「ゲートロジック」](#) 参照)。ASDG[7:0] 制御ビット (CCPxCON2L[7:0]) は、ICDIS ステータス / 制御ビットをクリアするために使う 1 つまたは複数の入力信号源を選択します。また、SSDG ビット (CCPxCON2L[12]) を使うと、入力キャプチャ信号に対するゲートをソフトウェアで手動操作できます。

ASDGx および SSDG ビットの挙動は、ICGSM[1:0] 制御ビット (CCPxCON2H[7:6]) で選択するゲート信号源モードによって異なります。ICGSM<1:0> には以下の 3 つのオプションが存在します。

- ICGSM[1:0] = 00 に設定した場合、ゲートはレベル センシティブです。ゲート信号源からの入力レベルが Low になると、以降のキャプチャ イベントは無効になります (ICDIS ビットはセットされる)。ゲート信号源からの入力レベルが High になると、以降のキャプチャ イベントは有効になります (ICDIS ビットはクリアされる)。
- ICGSM[1:0] = 01 に設定した場合、ゲート信号源の立ち上がりエッジでゲート処理が発生し、以降のキャプチャ イベントは有効になります (ICDIS ビットはクリアされる)。これはワンショット モードです (ゲート信号源からの後続のエッジは効力を持ちません)。
- ICGSM[1:0] = 10 に設定した場合、ゲート信号源の立ち下がりエッジでゲート処理が発生し、以降のキャプチャ イベントは無効になります (ICDIS ビットはセットされる)。これはワンショット モードです (ゲート信号源からの後続のエッジは効力を持ちません)。

図 6-4 に、ゲート処理されたキャプチャ イベントのタイミングを示します。入力イベントは、クロック源の立ち下がりエッジでサンプリングされます。この例では、入力の各立ち上がり / 立ち下がりエッジでキャプチャするモード (MOD[3:0] = 0011) に設定しています。

ワンショット モードでは、適切なエッジイベントを検出するようエッジ検出ロジックを設定します。設定されたイベントが発生するまで、ICDIS ビットはセットまたはクリア状態を保持します (モードに応じて保持する状態は異なります)。ユーザは、ゲートイベント後に ICGSM[1:0] を書き換える事でゲートロジックをリセット / 再開できます。これらのビットに書き込むと (元の値と同じ値を書き込んだ場合でも)、ゲート信号エッジ検出ロジックがリセットされ、ICDIS ステータスビットも適切な値にリセットされます。

入力キャプチャゲートの使用手順は以下の通りです。

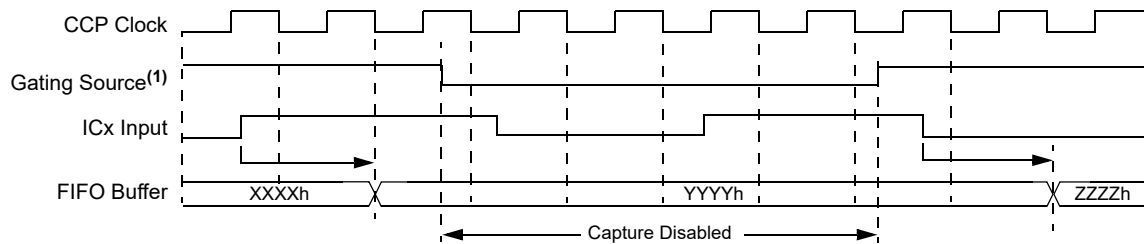
1. ゲート信号源を選択して設定する。
2. ASDG[7:0] ビットを使って、適切なゲート信号源を有効にする (ソフトウェアのみでゲートを制御する場合、イベント中に SSDG ビットをセットまたはクリアする)。
3. ICGSM[1:0] でゲートモードを選択する。
4. MOD[3:0] 制御ビットでモジュールを適切な入力キャプチャモードに設定し、ICS[2:0] 制御ビットで入力信号源を選択する。この時点で、モジュールはゲートイベントに応答可能となる。

モジュールを以上のように設定した後、ICDIS ビットがクリアされている時に有効な入力信号エッジ (どちらのエッジかはキャプチャモードによって決まる) が発生すると、キャプチャ イベントがトリガされます。

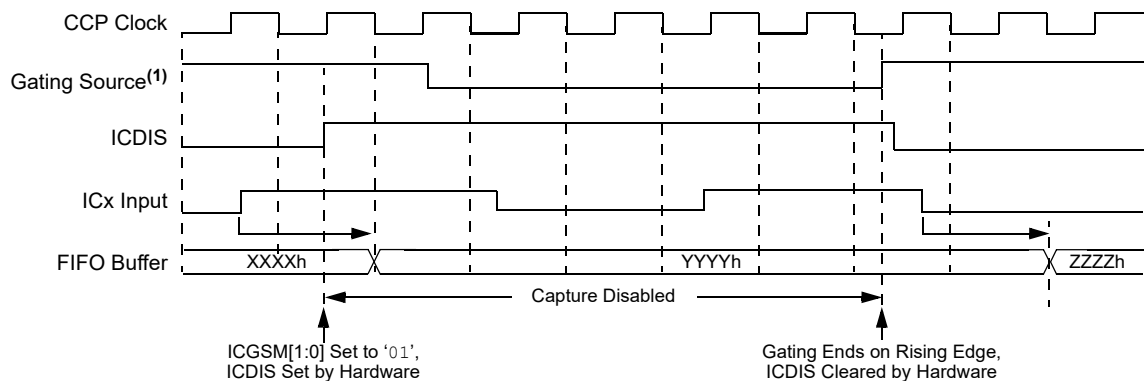
キャプチャ / コンペア / PWM / タイマ (MCCP と SCCP)

図 6-4: ゲート付き入力キャプチャの例

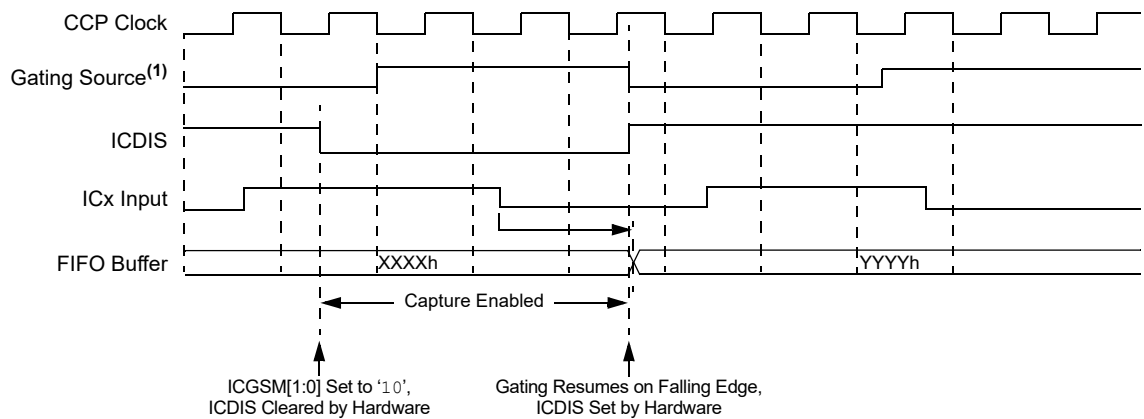
ICGSM[1:0] = 00 (Level-Sensitive)



ICGSM[1:0] = 01 (Rising Edge, One-Shot)



ICGSM[1:0] = 10 (Falling Edge, One-Shot)



Note 1: 対応する ASDGx ビットで有効にされているデバイス定義ハードウェア イベントまたは SSDG ビットのセットによるソフトウェア イベント

7.0 出力コンペア /PWM モード

CCSEL = 0 かつ MOD[3:0] ビットが「0000」以外の値である場合、モジュールは出力コンペアモードで動作します。

表 7-1 に、各種の出力コンペアモードの一覧を示します。

表 7-1: 出力コンペア /PWM モード

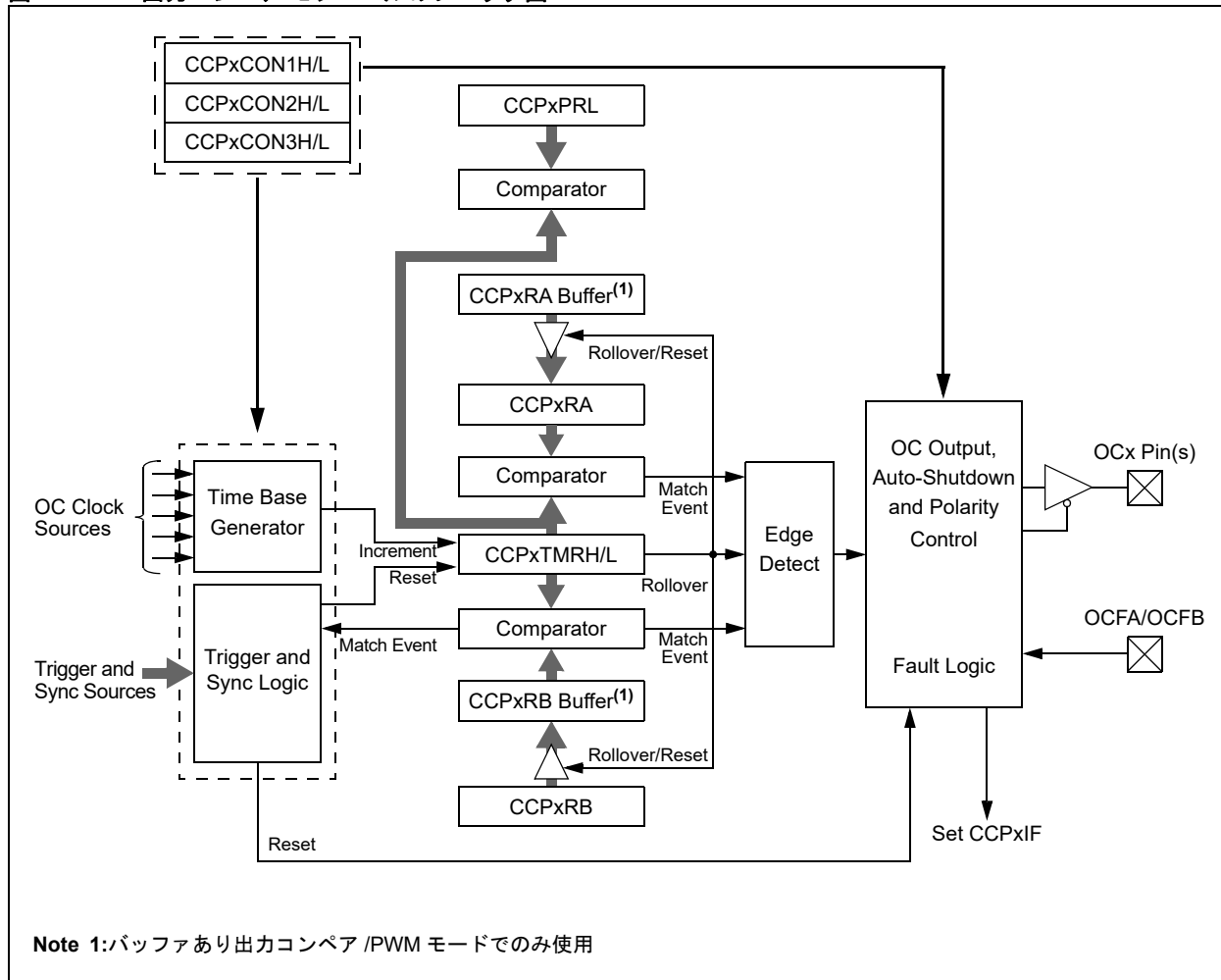
T32	MOD[3:0]	動作モード
0	0001	コンペア (16 ビット) 一致時に High を出力、シングルエッジモード
1	0001	コンペア (32 ビット) 一致時に High を出力、シングルエッジモード
0	0010	コンペア (16 ビット) 一致時に Low を出力、シングルエッジモード
1	0010	コンペア (32 ビット) 一致時に Low を出力、シングルエッジモード
0	0011	コンペア (16 ビット) 一致時に出力をトグル、シングルエッジモード
1	0011	コンペア (32 ビット) 一致時に出力をトグル、シングルエッジモード
0	0100	ダブルエッジ コンペア (16 ビット)、ダブルエッジモード
0	0101	ダブルエッジ コンペア (16 ビット、バッファリング)、PWM モード
0	0110	センタアライン パルス (16 ビット、バッファリング)、センタアライン PWM モード
0	0111	可変周波数パルス (16 ビット)

CCPxTMR の値は、動作モードに応じて 1 つまたは 2 つのコンペアレジスタと比較されます。出力コンペアモードでは、コンペア一致イベント発生時に 1 回の出力状態遷移または一連の出力パルスと、割り込みを生成できます。図 7-1 に、出力コンペアモードで使われるコンポーネントの概要を示します。

従来の多くの dsPIC33/PIC24 モジュールと同様に、出力コンペアモードは PWM ジェネレータとしても機能します。MCCP モジュールは、電源またはモータ制御アプリケーション向けに複数の PWM 出力を生成できます。

キャプチャ/コンペア/PWM/タイマ (MCCP と SCCP)

図 7-1: 出力コンペア モジュールのブロック図



7.1 シングルエッジ出力コンペアモード

MOD[3:0] を 0001、0010、0011 のいずれかに設定した場合、出力コンペア チャンネルは以下のシングル出力コンペア一致モード向けに設定されます。

- コンペア一致時にピンの状態を High にする (MOD[3:0] = 0001)
- コンペア一致時にピンの状態を Low にする (MOD[3:0] = 0010)
- コンペア一致時にピンの状態をトグルにする (MOD[3:0] = 0011)

シングルコンペア モードでは、CCPxRA レジスタを使います。このレジスタに書き込んだ値とモジュールのタイマレジスタの値が比較されます。コンペア一致イベントが発生するたびに、CPU 割り込みが生成されます。

シングルエッジ コンペアモードは以下のタイマ/データレジスタを使います。

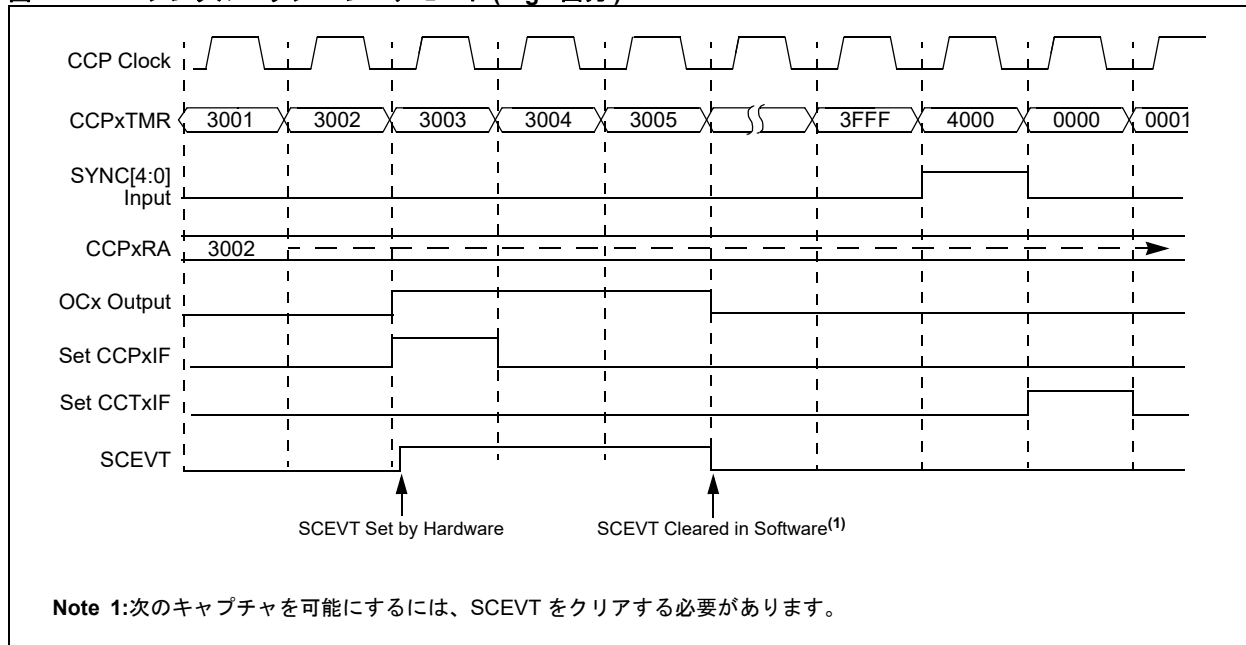
- CCPxTMRL をタイマレジスタとして使用 (16 ビットモード)
- CCPxTMRH/L をタイマレジスタとして使用 (32 ビットモード)
- CCPxRA をコンペア値レジスタとして使用 (16 ビットモード)
- CCRxB:CCPxRA をコンペア値レジスタとして使用 (32 ビットモード)
- CCPxPRL をタイマ周期レジスタとして使用 (16 ビットモードのみ)

7.1.1 シングルエッジ コンペアモード (High 出力)

このモード (図 7-2 参照) では、出力ピンは最初 Low に駆動され、タイマと CCPxRA レジスタの値が一致するまで Low のままです。重要なタイミング イベントを以下に挙げます。

- タイマと CCPxRA レジスタの値が一致した次のクロック周期で出力ピンを High に駆動する。モードが変更されるかモジュールが無効になるまで、出力ピンは High を保持する。
- タイマは、ロールオーバーするか SYNC[4:0] で選択されている入力のアサートされるまでカウントアップし (SYNC[4:0] の値による)、次のクロックで 0000h へリセットする。
- 出力ピンを High に駆動する時に、コンペア割り込み信号 (CCPxIF のセット) を生成する。
- タイムベース リセットまたはロールオーバー イベントが発生した時点で、1 クロック周期のタイマ割り込み信号 (CCTxIF のセット) を生成する。

図 7-2: シングルエッジ コンペアモード (High 出力)



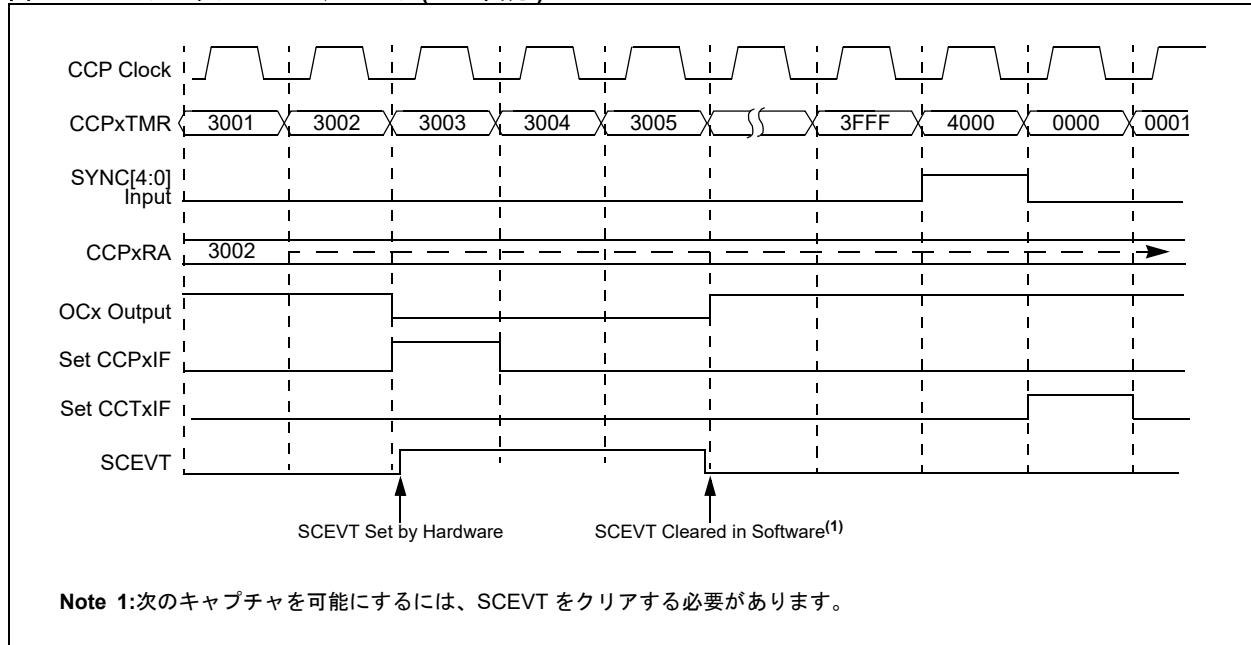
キャプチャ / コンペア / PWM / タイマ (MCCP と SCCP)

7.1.2 シングル コンペアモード (Low 出力)

コンペアモードを有効にすると (図 7-3 参照), 出力ピンは最初 High に駆動され、タイマと CCPxRA レジスタの値が一致するまで High のままです。重要なタイミング イベントを以下に挙げます。

- タイマと CCPxRA レジスタの値が一致した次のクロック周期で出力ピンを Low に駆動する。出力ピンは、モードが変更されるかモジュールが無効になるまで Low を保持する。
- タイマは、ロールオーバーするか SYNC[4:0] で選択されている入力のアサートされるまでカウントアップし、次のクロックで 0000h へリセットする。
- 出力ピンを Low に駆動する時に、コンペア割り込み信号 (CCPxIF のセット) を生成する。
- タイムベース リセットまたはロールオーバー イベントが発生した時点で、1 クロック周期のタイマ割り込み信号 (CCTxIF のセット) を生成する。

図 7-3: シングル コンペアモード (Low 出力)



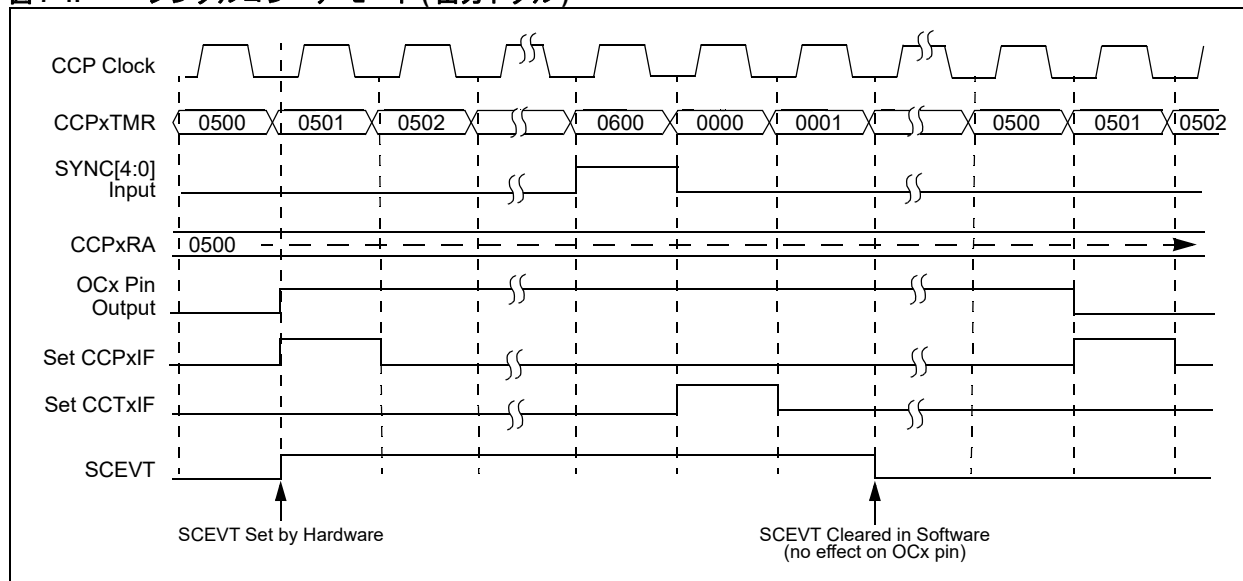
7.1.3 シングルコンペア モード (出力トグル)

このコンペアモードを有効にすると (図 7-4 参照)、出力ピンは最初に Low に駆動され、その後タイマと CCPxRA レジスタの値が一致するたびにピンの状態が遷移します。重要なタイミングイベントを以下に挙げます。

- タイマと CCPxRA レジスタの値が一致した次のクロック周期で出力ピンの状態をトグルさせる。次のトグルイベントが発生するか、モードが変更されるか、モジュールが無効になるまで、出力ピンは状態を保持する。
- タイマは、ロールオーバーするか SYNC[4:0] で選択されている入力のアサートされるまでカウントアップし、次のクロックで 0000h へリセットする。
- 出力ピンをトグルした時に、対応するチャンネルの割り込み出力 (CCPxIF) をアサートする。
- タイマリセットまたはロールオーバー イベントが発生した時点で、タイムベース割り込み信号 (CCTxIF) を生成する。

Note: デバイスリセット時に内部 OCx ピンの出力ロジックは論理「0」に設定されますが、トグルモードの出力ピンの初期状態は、POLACE 極性制御ビットを使って反転できます。

図 7-4: シングルコンペア モード (出力トグル)



キャプチャ / コンペア / PWM / タイマ (MCCP と SCCP)

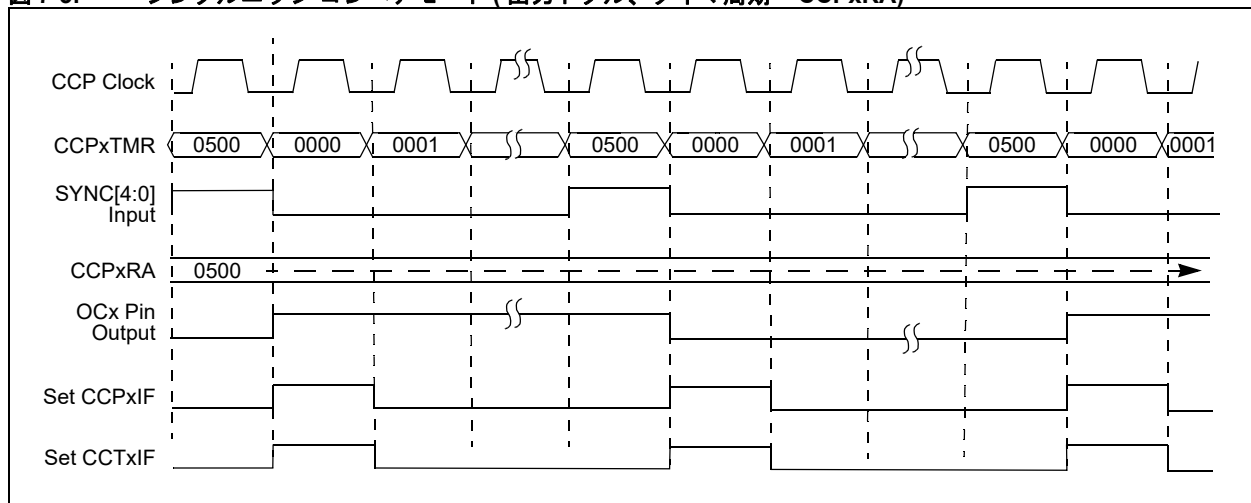
7.1.4 シングルコンペア モードの特殊なケース

シングルエッジ コンペアモードでは、以下に挙げる特殊なケースを考慮する必要があります。

1. CCPxRA の値がタイマ周期よりも大きい場合、コンペア値は常にタイマ値よりも大きい
ためコンペア一致イベントは発生せず、コンペア出力は初期状態から遷移しない。
2. CCPxRA の値がタイマ周期に等しい場合、コンペア一致発生周期はタイマ周期と同じに
なる。これをトグルモードと組み合わせる事で、一定周期の矩形波を生成できる (図 7-5
参照)。
3. CCPxRA = 0000h の場合、トリガ源がアサートされても、CCPTRIG = 0 の時に動作が
トリガされても、タイマはリセット状態に保持される。コンペア出力は初期状態から遷移
しない。コンペア出力は、選択されているトリガ源がネゲートされてタイマが動作可能
になると遷移する。
4. コンペア一致イベント後に CCPxRA がクリアされた場合、SYNC[4:0] 信号がアサート
されてもコンペア出力は以前の状態から遷移しない。
5. コンペア一致イベント後に CCPxRA レジスタの値が現在のタイマ値とタイマ周期の中間の
値に変更された場合、そのカウント周期中に 2 回目のコンペア一致イベントが発生する。
MOD[3:0] を「0001」または「0010」に設定した場合、次のコンペア一致イベントに
向けて出力ピンをリセットするために、SCEVT ビットもクリアする必要がある。

Note: 上記の全ての特殊なケースにおいて、「タイマ周期」は、タイマと CCPxPR の一致
または SYNC[4:0] で選択されている信号源のイベント発生のタイミングによって
決まります。

図 7-5: シングルエッジ コンペアモード (出力トグル、タイマ周期 = CCPxRA)



7.1.5 シングルエッジ出力コンペアイイベントのステータス

SCEVT ビット (CCPxSTATL[3]) は、シングルエッジ コンペア動作のステータスを示します。このビットをクリアする事で、モジュールの動作モードの変更またはモジュールのリセットを必要とせずに、シングルエッジ コンペア動作をリセットして次のイベント発生を待機できます。このビットは、シングルエッジ コンペアモード中のみ機能し、その他のモードでは常に「0」として読み出されます。

MOD[3:0] = 0001 の場合、OCx ピンはコンペアー一致イベント後に High にアサートされ、SCEVT ビットはハードウェアによって「1」にセットされます。SCEVT ビットはソフトウェアでクリアできます。このビットをクリアすると、OCx ピンは Low にリセットされ、次の立ち上がりエッジコンペアイイベントの生成に向けてコンペアロジックはリセットされます。

MOD[3:0] = 0010 の場合、OCx ピンはコンペアー一致イベント後に Low にアサートされ、SCEVT ビットはハードウェアによって「1」にセットされます。SCEVT ビットはソフトウェアでクリアできます。このビットをクリアすると、OCx ピンは High にリセットされ、次の立ち下がりエッジコンペアイイベントの生成に向けてコンペアロジックはリセットされます。

MOD[3:0] = 0011 の場合、OCx ピンはコンペアー一致イベント後にトグルされ、SCEVT ビットは「1」にセットされます。SCEVT はソフトウェアでクリアできますが、クリアしても OCx ピンの状態は変化しません。このモードでは、SCEVT はイベントのステータス情報を示すだけであり、OCx ピンには影響しません。

MOD[3:0] = 0001 または 0010 の場合、アプリケーションで SCEVT を「1」にセットする事で、シングルエッジ出力コンペアー一致イベントの発生を抑止できます。この機能は、例えば、エッジイベントを特定期間遅延させたい場合に便利です。この期間中に OCx ピンの状態は変化しません。ソフトウェアで SCEVT ビットをクリアすると、OCx 出力ピンは初期状態にリセットされ、次のコンペアー一致イベントが発生すると立ち上がりまたは立ち下がりエッジを生成します。

7.1.5.1 シングル コンペアモードの 32 ビット動作

これまでの説明は全て 16 ビットシングル コンペア動作 (T32 = 0) を前提としていました。シングルエッジ コンペアモードは、32 ビット タイムベース (T32 = 1) で動作する事もできます。32 ビットモードの動作は、CCPxRA および CCPxRB レジスタペアに格納した 32 ビットコンペア値と CCPxTMRH/L を比較するという点を除けば、16 ビットモードと同じです。CCPxRA はコンペア値の上位 16 ビットを格納します。

32 ビットモードには、CCPxTMRH/L のカウント周期を設定するための周期レジスタは用意されていません。カウント周期を FFFF FFFFh よりも小さくする必要がある場合、モジュールを外部信号源に同期させる事によってカウント周期を設定できます。

7.2 ダブルエッジ コンペアモード

MOD[3:0] = 0100 に設定した場合、出力コンペア チャンネルは連続的にパルスを生成します。連続パルスのパラメータは CCPxRA、CCPxRB、CCPxPRL レジスタで定義します。

ダブルエッジ コンペアモードは 16 ビットモードでのみ利用可能です。T32 ビットは動作に影響しません。

ダブルエッジ コンペアモードには以下のタイマ / データレジスタを使います。

- CCPxTMRL をタイマレジスタとして使用
- CCPxRA を立ち上がりエッジ値レジスタとして使用
- CCPxRB を立ち下がりエッジ値レジスタとして使用
- CCPxPRL をタイマ周期レジスタとして使用

図 7-6 に、ダブルエッジ コンペアモードの信号タイミングを示します。このモードの標準的な動作は以下の通りです。

1. ダブルエッジ コンペアモードを有効にすると、ピンは Low に駆動される。その後、ハードウェアまたはソフトウェアイベントによってタイマがトリガされると、カウントが始まる。
2. コンペアレジスタ CCPxRA との最初のタイマコンペアー一致が発生すると、出力ピンは High に駆動される。
3. タイマはカウントアップを続け、コンペアレジスタ CCPxRB とのコンペアー一致が発生すると、出力ピンは High から Low に遷移してパルスの立ち下がり (後縁) エッジが生成される。この 2 回目のコンペアー一致時に、出力コンペア割り込みフラグ (CCPxIF) が生成される。
4. タイマがロールオーバーする (SYNC[4:0] = 00000) か、SYNC[4:0] で定義されているイベントが発生すると、CCP 同期信号とタイマ割り込みフラグ (CCTxIF) が生成される。
5. アプリケーションがこのモードを終了するか、デバイスリセットが発生するまで、パルスは繰り返し生成される。

以上は、2 つのコンペアレジスタの値とタイマ周期が全て異なる (タイマ周期 > CCPxRB > CCPxRA) 場合の標準的な例です。しかし、これとは条件の異なる特殊なケースでは、出力の挙動が異なります。そのようなケースをまとめて表 7-2 に示し、その後で各ケースについて詳しく説明します。

図 7-6: 標準的なダブルエッジ コンペアモードのタイミング

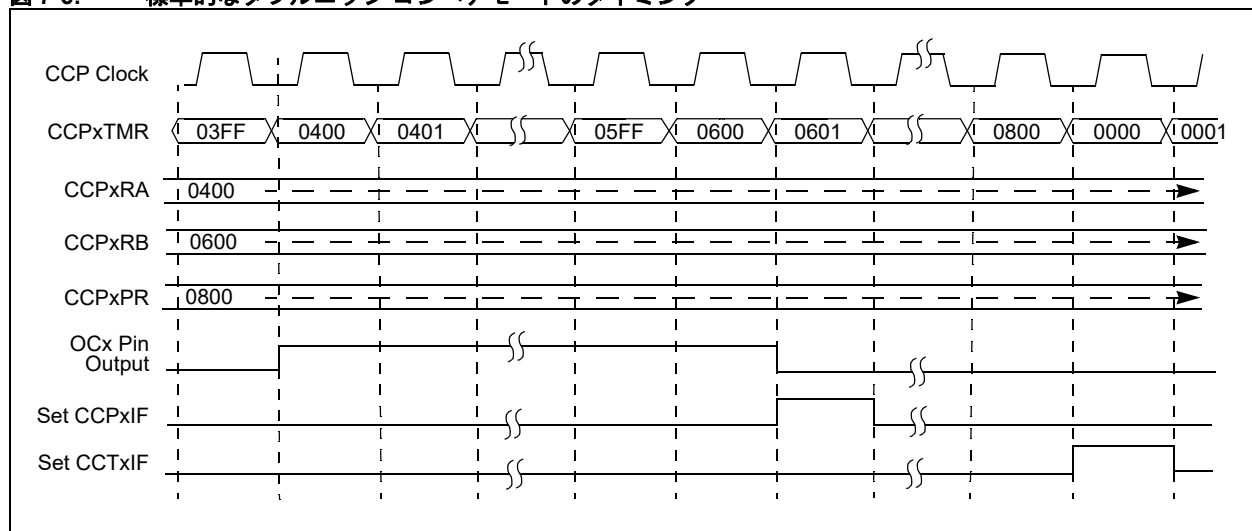


表 7-2: ダブルエッジ コンペア動作の特殊なケース

条件	出力	OCx ピン 立ち下がり エッジ時の出力 コンペア割り込み	タイマ周期 一致時のタイマ 割り込み
$CCPxRA = CCPxRB$	出力なし、 OCx ピンは Low のまま	発生せず	発生
$CCPxRA = CCPxRB + 1$	単発パルス	発生	発生
タイマ周期 < $CCPxRA^{(1)}$	出力なし	N/A ⁽²⁾	発生
タイマ周期 = $CCPxRB^{(1)}$	$CCPxRB$ 一致で OCx は Low に遷移	発生	発生
タイマ周期 < $CCPxRB^{(1)}$	High のまま	発生せず	発生
タイマ周期 = $CCPxRB$ 、 $CCPxRA = 0^{(1)}$	OCx は、 $TMR = 1$ で High に遷移、 $CCPxRB$ 一致で Low に遷移	発生	発生
$CCPxRA > CCPxRB$	連続パルス	発生	発生

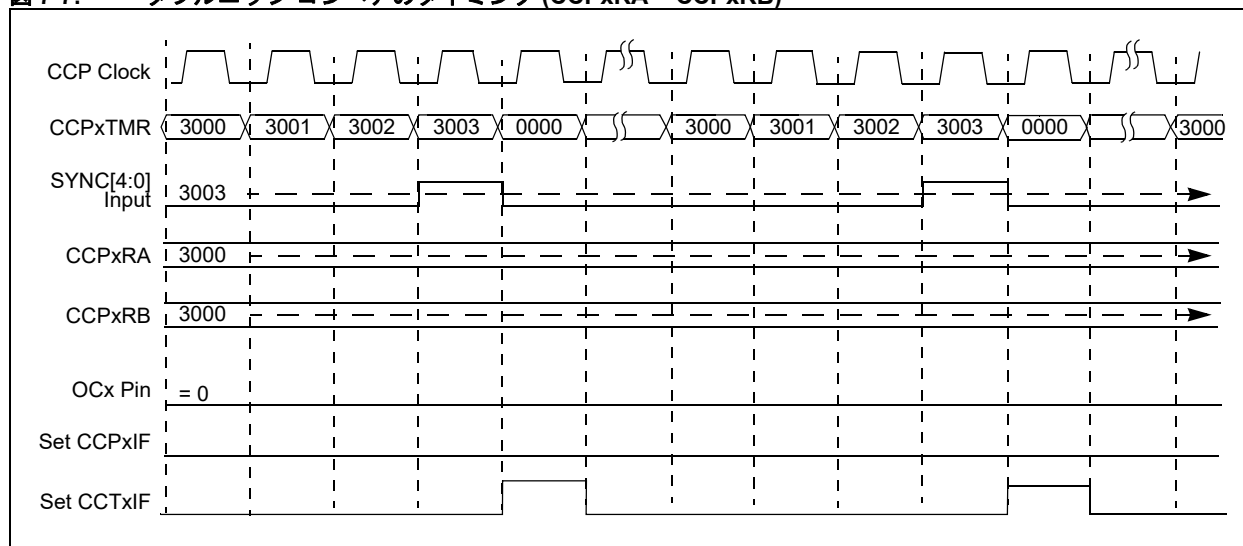
Note 1: タイマ周期は、周期レジスタの値または SYNC[4:0] で選択されている入力によるタイマのリセット タイミングのどちらかによって決まります。

2: $CCPxRB$ がタイマ周期よりも小さい場合、 $CCPxRB$ 一致時に OCx ピンで立ち下がりエッジは発生しませんが、割り込みは生成されます。

7.2.1 $CCPxRA = CCPxRB$

$CCPxRA$ と $CCPxRB$ の値が等しい場合、出力は Low に初期化された後変化せず、パルスも出力コンペア割り込みも生成されません (図 7-7 参照)。言い換えれば、PWM デューティ サイクルは 0 です。 $CCPxRA$ 一致によってセットされたロジックは $CCPxRB$ 一致によってリセット / クリアされるため、結果として出力の状態は全く変化しません。

図 7-7: ダブルエッジ コンペアのタイミング ($CCPxRA = CCPxRB$)



7.2.2 $CCPxRB = CCPxRA + 1$ の場合

$CCPxRB$ の値が $CCPxRA$ の値よりも 1 だけ大きく、どちらの値も周期レジスタの値よりも小さい場合、単発のパルス (幅は 1CCP クロックサイクル) が生成されます。

7.2.3 タイマ周期 < $CCPxRA$ の場合

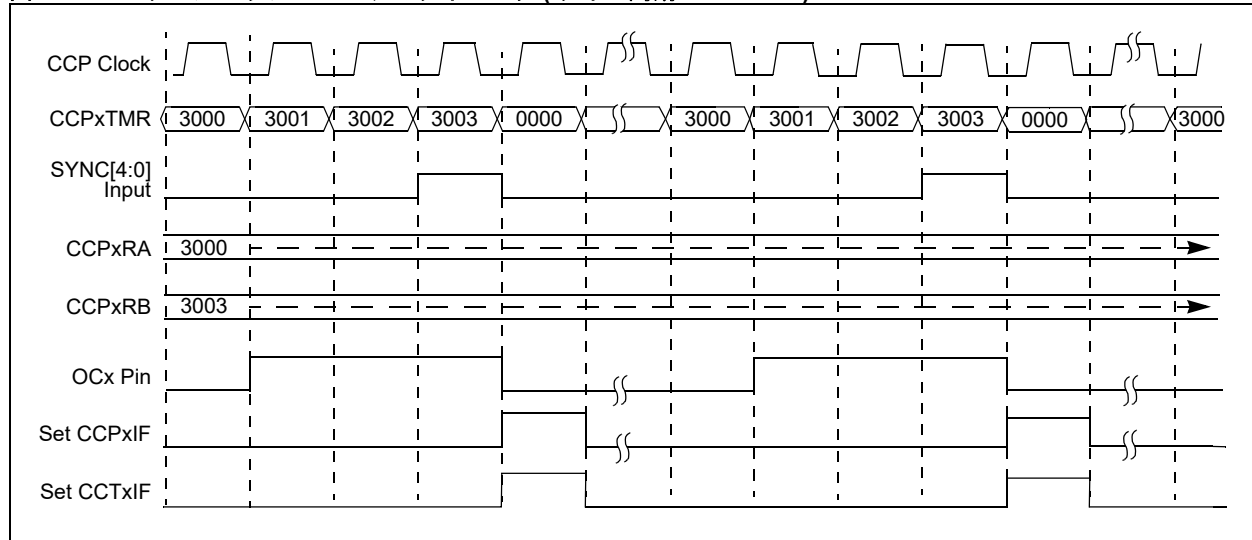
$CCPxRA$ の値がタイマ周期よりも大きい場合、出力パルスは一切生成されません。

キャプチャ/コンペア/PWM/タイマ (MCCP と SCCP)

7.2.4 タイマ周期 = CCPxRB の場合

CCPxRB の値がタイマ周期に等しい場合も、モジュールは High から Low への遷移を生成します。これは、タイマ周期が外部同期限によって決まる場合 (図 7-8 参照) でも CCPxPRL との一致によって決まる場合でもあてはまります。

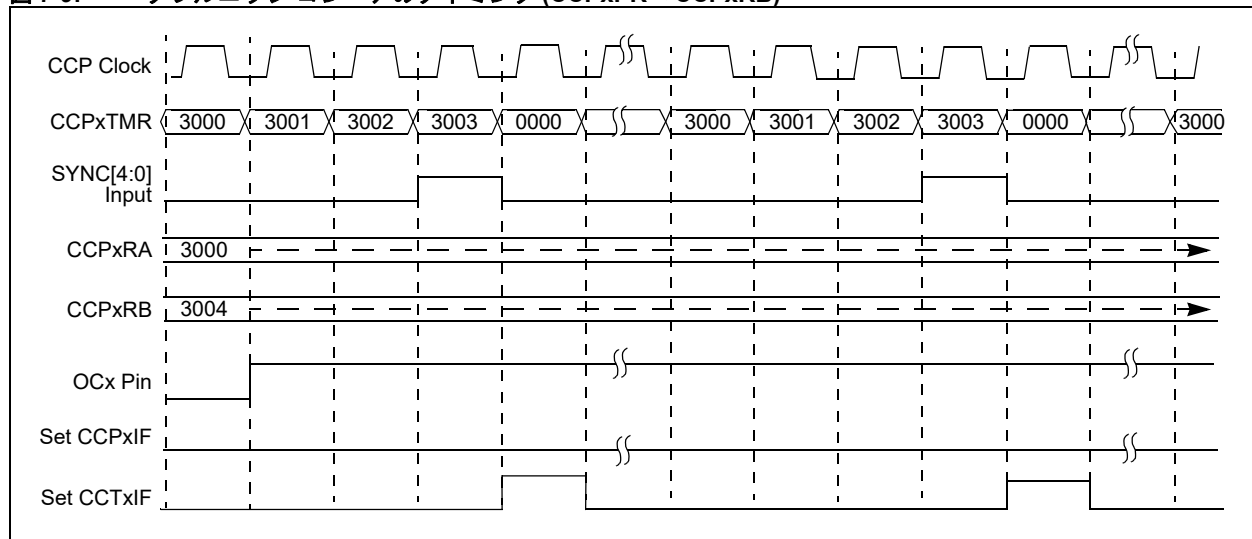
図 7-8: ダブルエッジコンペアのタイミング (タイマ周期 = CCPxRB)



7.2.5 タイマ周期 < CCPxRB の場合

CCPxPR の値が CCPxRB よりも小さく CCPxRA よりも大きい場合、ピンの状態遷移は 1 回だけ発生します。CCPxRB レジスタの内容が CCPxPR 以下の値に変更されない限り、次の状態遷移は発生しません。出力コンペア割り込みは生成されません (図 7-9 参照)。この条件を使うと、モジュールから 100% デューティ サイクルを出力できます。

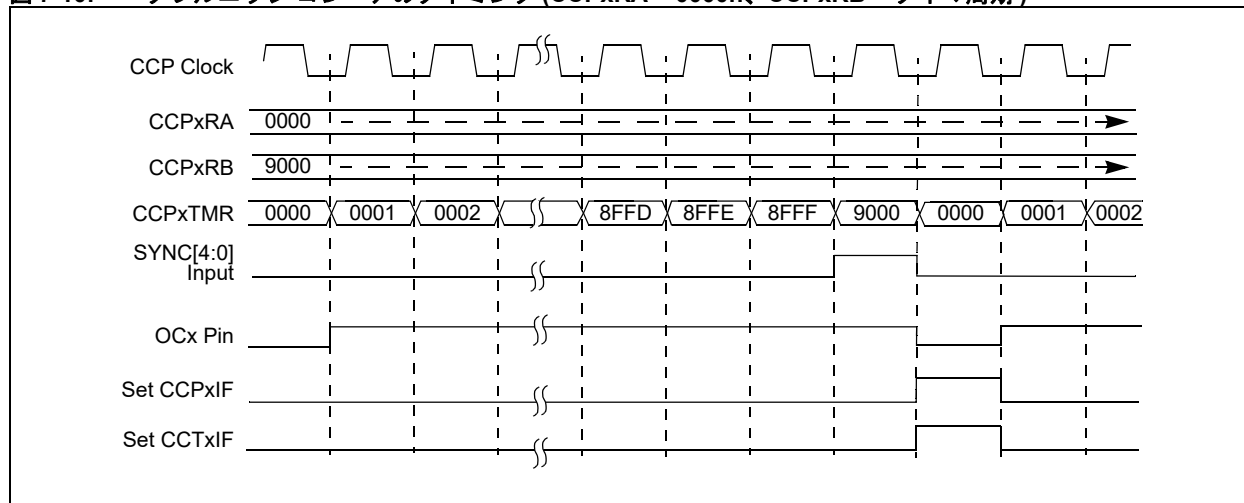
図 7-9: ダブルエッジコンペアのタイミング (CCPxPR < CCPxRB)



7.2.6 CCPxTMR = CCPxRB かつ CCPxRA = 0???

同期モード動作の場合、CCPxRA = 0000h であれば、タイマリセット後の最初のクロック (CCPxTMR = 0001h) で OCx 出力がアサートされます。出力はその状態を保持し、タイマと CCPxRB の値が一致した時 (SYNC[4:0] で選択されている入力のアサートされた時) に OCx 出力はネグートされ、その立ち下がりエッジで CCPxIF が生成されます (図 7-10 参照)。

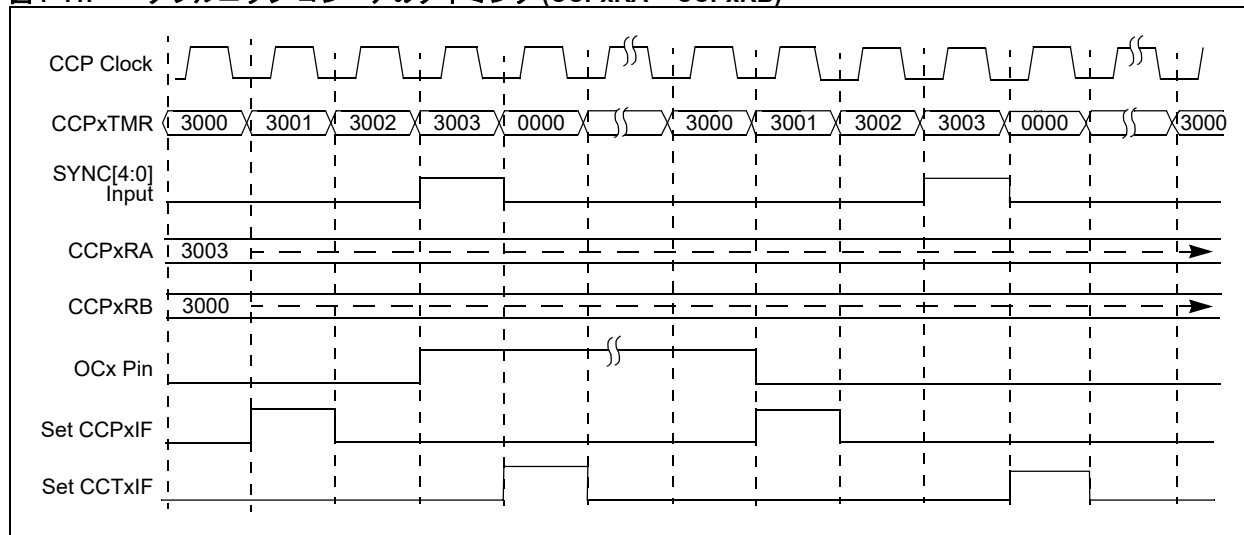
図 7-10: ダブルエッジコンペアのタイミング (CCPxRA = 0000h, CCPxRB = タイマ周期)



7.2.7 CCPxRA > CCPxRB

CCPxRA > CCPxRB の場合、パルスは連続的に生成されます。タイマがカウントアップして初回の一致 (CCPxTMR = CCPxRA) が発生した時点で、前縁 (立ち上がり) エッジが生成されます。CCPxTMR はカウントアップを続け、SYNC[4:0] で選択されている同期源がアサートされた時点でリセットされます。タイマはカウントアップを再開し、2 回目の一致 (CCPxTMR = CCPxRB) が発生した時点で後縁 (立ち下がり) エッジが生成されます。CCPxIF 割り込みは、出力パルスの立ち下がりエッジで生成されます。モジュールが無効になるまで、このシーケンスが繰り返されます (図 7-11 参照)。

図 7-11: ダブルエッジコンペアのタイミング (CCPxRA > CCPxRB)



Note: ダブルエッジコンペアモードでは、CCPxRB と CCPxTMR の値が一致した時点で CCTxIF 信号がアサートされます。

7.3 バッファリングされたダブルエッジ コンペア (PWM) モード

MOD[3:0] = 0101 に設定した場合の出力信号生成に関する動作は、CCPxRA と CCPxRB がダブル バッファリングされる点を除いて、ダブルエッジ コンペアモードと同じです。出力信号生成のその他全ての点について動作は同じです。データレジスタ (CCPxRA と CCPxRB) への書き込み値は、ホールドバッファに保存されます。バッファの内容は、タイムベース リセット時に CCPxRA および CCPxRB に転送されます。

バッファリングされたダブルエッジ コンペアモードは 16 ビットモードでのみ使えます。T32 ビットは動作に影響しません。

バッファリングされたダブルエッジコンペアモードは以下のタイマ/データレジスタを使います。

- CCPxTMRL をタイマレジスタとして使用
- CCPxRA を次の周期の立ち上がりエッジ値レジスタとして使用
- CCPxRB を次の周期の立ち下がりエッジ値レジスタとして使用
- CCPxPRL をタイマ周期レジスタとして使用

バッファリングされたダブルエッジ コンペアモードは PWM 信号の生成に使います。CCPxRA および CCPxRB レジスタをバッファリングする事で、PWM 信号のエッジタイミング更新時に発生するグリッチを防ぐ事ができます。

エッジアライン PWM 信号が必要な場合、CCPxRA の値を 0000h に固定します。CCPxRA に非ゼロ値を使う事で、PWM 信号の位相アラインメントを任意に設定できます。

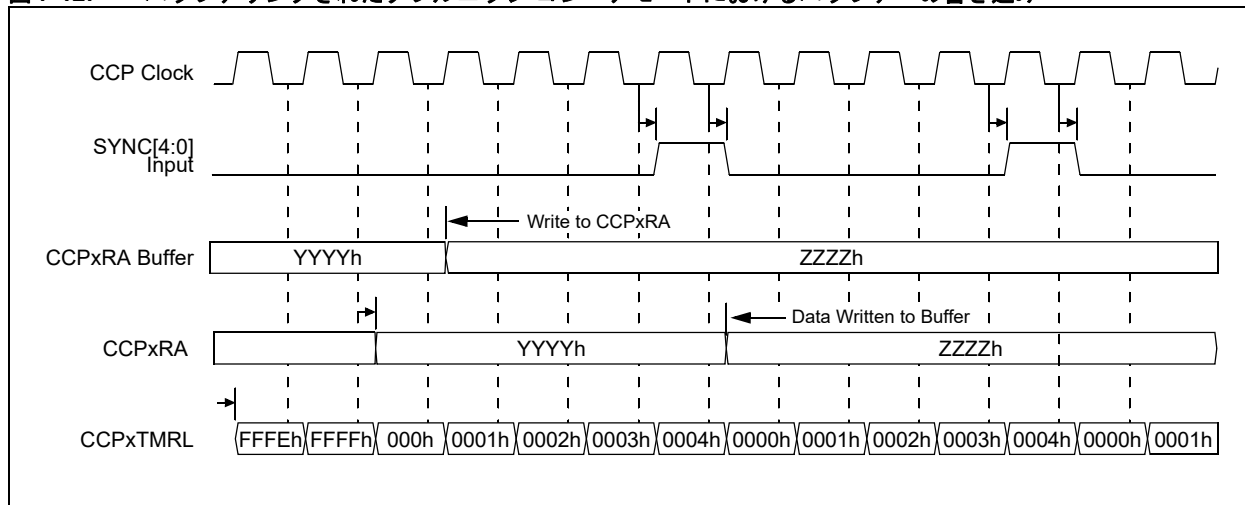
CCPxRA と CCPxRB はダブル バッファリングされます。バッファ内のデータは、以下のタイミングで CCPxRA と CCPxRB に転送されます。

- 同期イベント (SYNC[4:0] で選択されている信号源のアサート) の発生によってタイマが 0000h にリセットした時
- タイマが FFFFh から 0000h にロールオーバーした時
- モジュールが無効 (CCPON = 0) の場合、バッファに書き込まれたデータは即座に CCPxRA と CCPxRB に転送される

図 7-12 に、同期モード動作中のバッファへの書き込みタイミングを示します。図には CCPxRA とそのバッファだけを示しています。CCPxRB とそのバッファの動作はこれと同じです。出力信号の生成については[セクション 7.2「ダブルエッジ コンペアモード」](#)を参照してください。

モジュールをバッファリングされたダブルエッジ コンペアモード向けに設定するためのサンプルコードを[例 7-1](#)に示します。

図 7-12: バッファリングされたダブルエッジ コンペアモードにおけるバッファへの書き込み



例 7-1: バッファリングされたダブルエッジ コンペアモード向けの設定

```
// Set MCCP operating mode
CCP1CON1Lbits.CCSEL = 0;      // Set MCCP operating mode (OC mode)
CCP1CON1Lbits.MOD = 0b0101;   // Set mode (Buffered Dual-Compare/PWM mode)

//Configure MCCP Timebase
CCP1CON1Lbits.T32 = 0;        // Set timebase width (16-bit)
CCP1CON1Lbits.TMRSYNC = 0;    // Set timebase synchronization (Synchronized)
CCP1CON1Lbits.CLKSEL = 0b000; // Set the clock source (Tcy)
CCP1CON1Lbits.TMRPS = 0b00;   // Set the clock pre-scaler (1:1)
CCP1CON1Hbits.TRIGEN = 0;     // Set Sync/Triggered mode (Synchronous)
CCP1CON1Hbits.SYNC = 0b00000; // Select Sync/Trigger source (Self-sync)

//Configure MCCP output for PWM signal
CCP1CON2Hbits.OCAEN = 1;      // Enable desired output signals (OC1A)
CCP1CON3Hbits.OUTM = 0b000;   // Set advanced output modes (Standard output)
CCP1CON3Hbits.POLACE = 0;     //Configure output polarity (Active High)
CCP1TMRL = 0x0000;           //Initialize timer prior to enable module.
CCP1PRL = 0xFFFF;           //Configure timebase period
CCP1RA = 0x1000;              // Set the rising edge compare value
CCP1RB = 0x8000;              // Set the falling edge compare value
CCP1CON1Lbits.CCPON = 1;      // Turn on MCCP module
```

7.4 センターアライン パルスモード

MOD[3:0] = 0110 に設定した場合、出力コンペア チャンネルはセンターアライン パルスモードで PWM 出力を生成します。センターアライン PWM 信号は、複数の PWM ジェネレータを使ってアプリケーションの電源負荷を制御する場合に役立ちます。各 PWM 信号は、アクティブパルス期間が同一のタイミング（架空の中央点）を挟んで対照となるように生成されます。各 PWM ジェネレータでデューティ サイクルが異なる場合、センターアライン方式を採用する事で、各電源負荷のスイッチングが同時に発生する事を防げます。この信号生成方式では、一意のスイッチング パターンを生成する事もできます。

センターアライン パルスモードでは、CCPxPRL レジスタを使ってタイマカウント周期を設定します（外部同期源を使わない場合）。CCPxPRL レジスタの値を 2 で割り算する事で、パルス生成の中央基準点が求められます。この基準点を中心として対照パルスを生成します。CCPxRA レジスタはパルスの全幅を指定します。

センターアライン パルスモードは 16 ビットモードでのみ利用可能です。T32 ビットは動作に影響しません。

センターアライン パルスモードは以下のタイマ / データレジスタを使います。

- CCPxTMRL をタイマレジスタとして使用
- CCPxRA をパルス幅レジスタとして使用
- CCPxRB をトリガ出力値レジスタとして使用
- CCPxPRL をタイマ周期レジスタとして使用（この値は立ち上がり / 立ち下がりエッジのタイミングとパルスの中心位置に影響します）

センターアライン モードは専用の 16 ビット加減算器とエッジ生成ロジックを使います（これらは CCP モジュールのハードウェアに含まれます）。タイムベースのカウント周期は、ダブルバッファリングされた CCPxPRL レジスタの値によって定義されます。バッファの内容は、タイマ ロールオーバー時またはSYNC[4:0]で選択されている同期源のアサート時に更新されます。バッファリングされた CCPxPRL レジスタは、タイムベース カウント周期の中央基準値として使われます。モジュール内のハードウェア加算器は、この値を基準として、CCPxRA および CCPxPRL の値から立ち上がりおよび立ち下がりエッジのタイミングを計算します。

タイマがリセットしてカウントアップを始めると、加算器は CCPxPRL 値の 1/2 から CCPxRA 値の 1/2 を減算します。この値をタイマ値と比較する事で、PWM 信号の立ち上がりエッジの生成タイミングが決まります。

立ち上がりエッジの生成後、加算器は CCPxPRL 値の 1/2 を CCPxRA 値の 1/2 に加算します。この値をタイマ値と比較する事で、PWM 信号の立ち下がりエッジの生成タイミングが決まります。

Note: CCPxRA レジスタに対する更新値はバッファリングされ、次の PWM 周期で有効になります。CCPxPRL の比較には、常に CCPxRA のバッファリングされた値が使われます。

キャプチャ/コンペア/PWM/タイマ (MCCP と SCCP)

例 7-2 に、立ち上がりおよび立ち下がりエッジ値の計算例を示します。図 7-13 に、各レジスタ値に基づいて生成されたセンターアラインパルスを示します。

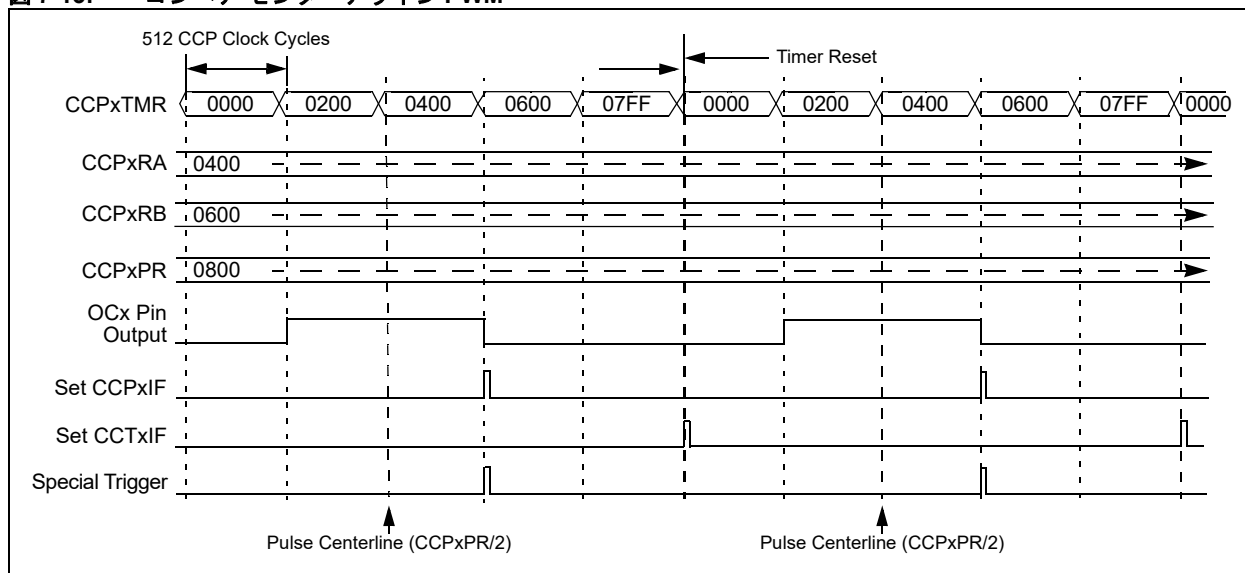
例 7-2: センターアライン モードにおける立ち上がりおよび立ち下がりエッジ値の計算

For CCPxRA = 400h and CCPxPRL = 200h:

$$\begin{aligned}\text{Rising Edge} &= (\text{CCPxPRL}/2) - (\text{CCPxRA}/2) \\ &= 400\text{h} - 200\text{h} \\ &= 200\text{h}\end{aligned}$$

$$\begin{aligned}\text{Falling Edge} &= (\text{CCPxPRL}/2) + (\text{CCPxRA}/2) \\ &= 400\text{h} + 200\text{h} \\ &= 600\text{h}\end{aligned}$$

図 7-13: コンペア センターアライン PWM



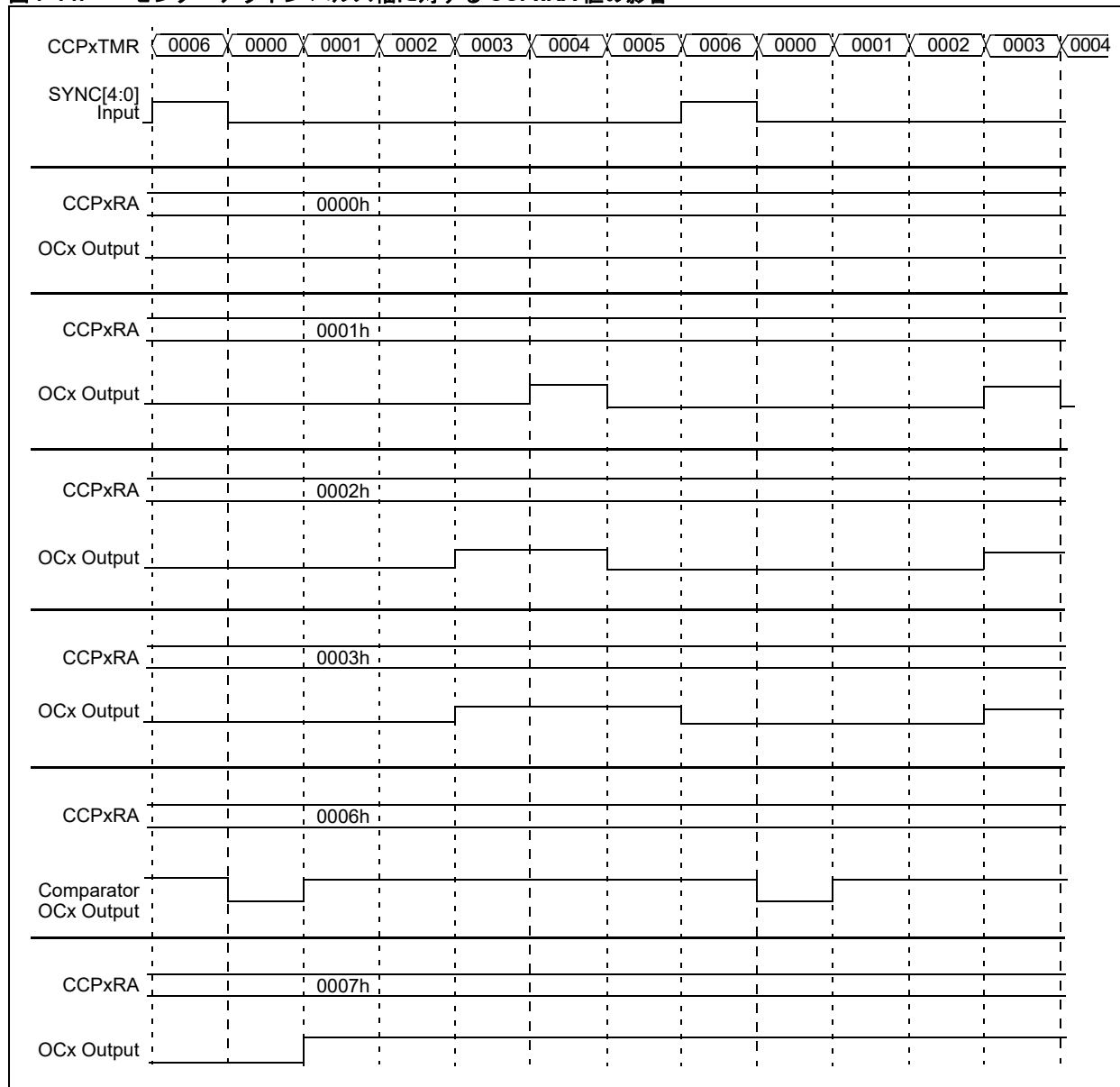
CCPxRA の値が偶数であれば、立ち上がりおよび立ち下がりエッジのタイミングは単純に決まります。しかし、この値が奇数である場合、立ち下がりエッジ コンペアイベントに対してのみ、加算器は最下位ビット (LSb) の「1」をキャリーオーバーします。これにより、アクティブパルスの幅は 1 タイマ周期長くなり、基準中央値に対して 1/2 カウントの非対称性が生じます。この非対称性が問題になる場合、CCPxRA には常に偶数のパルス幅値を書き込む必要があります。

Note: センターアラインパルスモードで最大デューティサイクルを生成するには、タイムベース カウント周期を偶数値に設定する必要があります。100% デューティサイクルは、CCPxRA レジスタに値 (CCPxPR + 1) を書き込んだ時に得られます。

どのようなアプリケーションでも、CCPxRA レジスタに書き込み可能な最大値は CCPxPR の値によって決まります。CCPxRA の値が (CCPxPR + 1) よりも大きいと、パルスは生成されません。

図 7-14 に、CCPxRA 値の増加に伴うパルス幅の変化を示します。この図は、CCPxRA 値がゼロの場合 (パルス生成なし)、パルス幅がタイマ周期に等しい場合、CCPxRA の値がタイマ周期よりも大きい場合 (最初のエッジイベント後、出力はアクティブなまま) のパルス幅への影響も示しています。

図 7-14: センターアライン パルス幅に対する CCPxRA 値の影響



7.4.1 出力トリガ

CCPxRB レジスタの値は、パルスの幅またはタイミングに影響しません。このレジスタの値は、センターアライン パルスイベントに関連付けられた特殊イベントトリガのタイミングを指定するために使われます。例えば、PWM パルスの中央のタイミングで A/D 変換をトリガすると便利な場合や、パルスのどちらかのエッジで他のイベントをトリガすると便利な場合があります。CCPxRB の値は、ユーザが直接書き込む事も、CCPxRA と CCPxPRL の値から自動的に計算した値を使って更新する事もできます。

CCPxRB の値は、CCPxPRL レジスタの値または SYNC[4:0] で選択されている入力からのイベントによって決まる周期よりも小さい必要があります。特殊イベントトリガは、A/D 変換または他の周辺モジュール イベントのトリガとして使えます。

7.5 可変周波数パルスモード

MOD[3:0] = 0110 に設定した場合、出力コンペア チャンネルは可変周波数パルスモードの PWM 出力を生成します。このモードでは、アキュムレータ レジスタと加算値レジスタを使って、可変周波数出力信号 (デューティ比は 50% 固定) を生成します。

可変周波数パルスモードは以下のデータレジスタを使います。

- CCPxTMRL をアキュムレータとして使用
- CCPxRA に次の動作のための加算値を保存

加算値レジスタの値は、タイムベースの立ち上がりエッジのたびにアキュムレータに加算されます。アキュムレータ レジスタがオーバーフローした時点で、出力信号がトグルされます。このモードでは、CCPxRB および CCPxPRL レジスタを使いません。

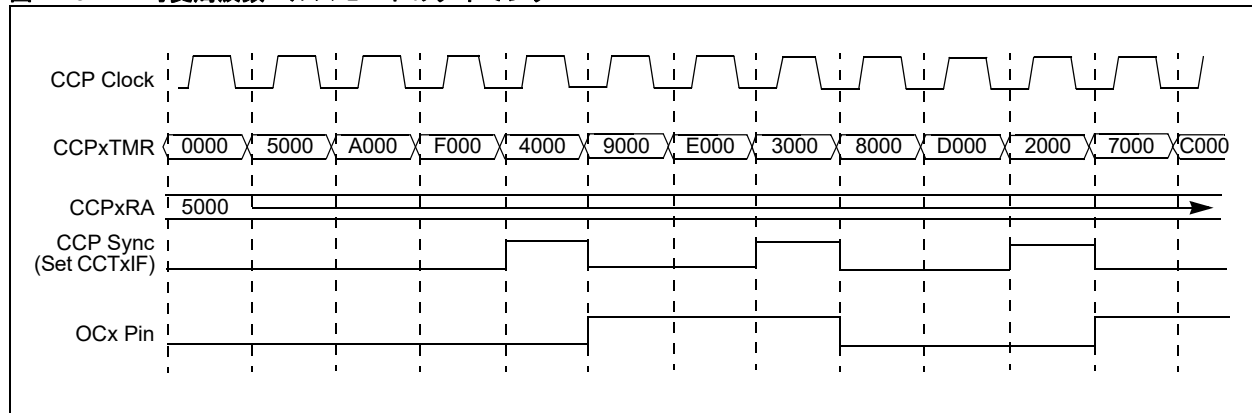
可変周波数パルスモードは 16 ビットモードでのみ利用可能です。T32 ビットは動作に影響しません。

CCPxRA の値と出力周波数の関係を式 7-1 に示します。一方の値が決まれば、他方の値が求まります。出力周波数はモジュールのクロック源周波数 (FCLK)、CCPxRA レジスタ内の加算値、アキュムレータのサイズ (2¹⁶) によって決まります。

式 7-1: CCPxRA 値と F_{OUT} の関係

$$F_{OUT} = \frac{F_{CLK} \cdot CCPxRA}{2 \cdot 2^{16}} \quad \quad \quad CCPxRA = \frac{2 \cdot 2^{16} \cdot F_{OUT}}{F_{CLK}}$$

図 7-15: 可変周波数パルスモードのタイミング



7.6 コンペア /PWM モードの出力制御

出力コンペアモードの場合、ピンに出力される出力コンペア信号は以下の 3 つのブロックによって制御されます。

- 出力モード制御ブロック (MCCP のみ)
- 自動シャットダウン制御ブロック
- 出力極性制御ブロック

出力モード制御ブロックは MCCP バージョンのモジュールでのみ使われ、6 本の出力ピンに対する出力コンペア信号の出力先を制御します。このブロックを使う事で、複数 PWM 出力を使った先進的なモータ制御および電源制御機能を実装できます。SCCP バージョンのモジュールはこのブロックを実装していません。

自動シャットダウン制御ブロックは、非同期外部入力またはソフトウェア制御に応答して、CCP モジュールが制御する全ての出力ピンをあらかじめ定義された状態に保持します。

出力極性制御ブロックは、CCP モジュールが制御する各ピンの出力極性を制御します。このブロックは、全ての制御が適用された後の出力信号に対して作用します。

7.6.1 出力モードの選択

MCCP の出力モードの選択には OUTM[2:0] 制御ビット (CCPxCON3H[10:8]) を使います。出力コンペアモードでは、OCxA ~ OCxF 出力ピンの使い方が異なる各種の出力モードを選択できます。一部の出力モードでは、デッドタイム遅延ジェネレータを使う事で、出力ピン間にスイッチング遅延を適用できます。

出力制御ロジックは入力信号の生成方法には関与せず、出力ピンに対する信号の出力方法だけを制御します。出力制御ロジックには、MOD[3:0] 制御ビットで選択可能な全ての出力コンペア動作モードからの信号を入力できます。

出力制御ロジックは、同期を目的として、入力信号生成ロジックと相互に作用します。一部の動作モードにおいて、出力制御ロジックは、信号を異なる出力ピンへ切り換える際に、入力信号の周期境界まで待機します。

以下の出力モードを OUTM[2:0] で選択できます。

- 出力先可変シングル出力モード (既定値)
- ブラシ付き DC モータ出力モード (正転、逆転)
- ハーフブリッジ出力モード
- プッシュプル出力モード
- 出力スキャンモード

7.6.2 出力ピンの有効化 (MCCP モジュール)

MCCP モジュールが制御する各出力ピンは、OCxEN 制御ビット (CCPxCON2H[13:8]) を使って、別々に有効にできます。OCAEN ~ OCFEN の各制御ビットは、対応する CCP 出力 (OCxA ~ OCxF) を制御します。いずれかの OCxEN 制御ビットをセットすると、対応する I/O ピンに、モジュールが生成する出力コンペア信号が出力されます。OCxEN 制御ビットをクリアすると、対応する I/O ピンは、ポートロジックまたはより低優先度の別の周辺モジュールによって制御されます。OCxEN 制御ビットをクリアする際は、クリア後に対応する I/O ピンが適正な状態になるよう配慮する必要があります。

OCxEN 制御ビットは、入力キャプチャモードまたはタイマモードで動作中のモジュールには影響しません。

OUTM[2:0] 制御ビットは、選択したモードに応じて、OCxEN で有効にされているピンの機能に影響します。この制御ビットでは、出力コンペア信号を決められたタイミングで決められたピンに出力する各種の信号出力方式を選択できます。この出力可変機能は、モータおよび電源制御アプリケーションに役立ちます。OCxEN ビットを使う事で、モジュール出力信号の出力先を異なる出力ピンの組み合わせに変更する事もできます。例えばハーフブリッジ出力モードは、同じ信号ペアを OCxA/OCxB、OCxC/OCxD、OCxE/OCxF ピンペア上で複製します。OCxEN ビットを使ってこれらのピンペアを有効または無効にする事で、信号の出力先を適当なピンへ変更できます。

キャプチャ / コンペア / PWM / タイマ (MCCP と SCCP)

全ての CCP (MCCP および SCCP) モジュールの OCAEN ビットは「1」にリセットされます。このため、OCxA ピンはデバイスリセット後の既定値出力コンペア出力ピンとして使われます。MCCP モジュールの場合、他の OCxEN ビットは「0」にリセットされます。従ってこれらのピンはデバイスリセット後に無効です。複数の MCCP 出力ピンを使うアプリケーションでは、ユーザの責任で全ての出力ピンを適切に初期化する必要があります。

7.6.2.1 出力ピンの有効化 (SCCP モジュール)

SCCP モジュールの場合、出力コンペアまたは PWM モードで使える出力ピンは 1 本 (OCxA) しかありません。このため、OCAEN 制御ビット (CCPxCON2H[8]) だけが実装されています。このビットは、CCP モジュールが OCxA 出力ピンを制御するかどうかを指定します。既定値では、デバイスリセット後の OCxA 出力は有効です。

7.6.3 出力先可変シングル出力モード

出力先可変シングル出力モード (OUTM[2:0] = 000) は、制御ブロックの既定値出力モードです。このモードでは、出力コンペアロジックが生成した 1 つの信号を、モジュールが実装する全ての出力ピンに割り当てる事ができます。すなわち、適切な OCxEN ビットをセットする事で各出力ピンを個々に有効にでき、それらのピンを使って出力コンペア信号を出力できます。

7.6.4 プッシュプル出力モード

プッシュプル モードは、OUTM[2:0] = 001 に設定すると選択されます。このモードでは、出力コンペア信号はタイムベース周期ごとに OCxA ピンと OCxB ピンで交互に出力されます。

各サイクルでは、どちらか一方のピンが出力コンペア信号に接続され、他方のピンは非アクティブ状態に駆動されます。プッシュプル モードでは、OCxA/OCxB ピンペア向けの出力およびポート制御信号は、OCxC/OCxD および OCxE/OCxF 出力ピンペアにも複製されます。このため、OCxEN 制御ビットを使って、プッシュプル出力信号の出力先を別のピンペアへ切り換える事ができます。モジュールが 2 本の出力ピンを制御できるよう、少なくとも 1 ペアの OCxEN 制御ビットをセットする必要があります。

一般的にプッシュプル モードは、DC/DC および DC/AC 電源の変圧器を駆動するために使われます (図 7-17 参照)。各 PWM 出力ピンは、変圧器の一次側 (外付けパワー トランジスタが接続されている側の巻き線) を駆動します。変圧器は、DC バス電圧に接続されたセンタータップを備えています。変圧器巻き線に DC 電流が流れる事を防ぐため、変圧器のハイサイドとローサイドで同じパルス幅を生成する必要があります。従って、2 タイムベース周期で同じデューティ サイクルを生成する事が必要です。

4 出力の変圧器プッシュプル回路を使う場合もあります (図 7-18 参照)。この場合、追加されたパワー トランジスタペアを駆動するために、もう 1 組の出力ピンペアを使います。対角を成すトランジスタ同士 (OCxA と OCxD、OCxB と OCxC) を同時に ON するため、図では OCxC と OCxD の接続順を意図的に逆にしています。

図 7-16: プッシュプル モードにおける出力と割り込みのタイミング

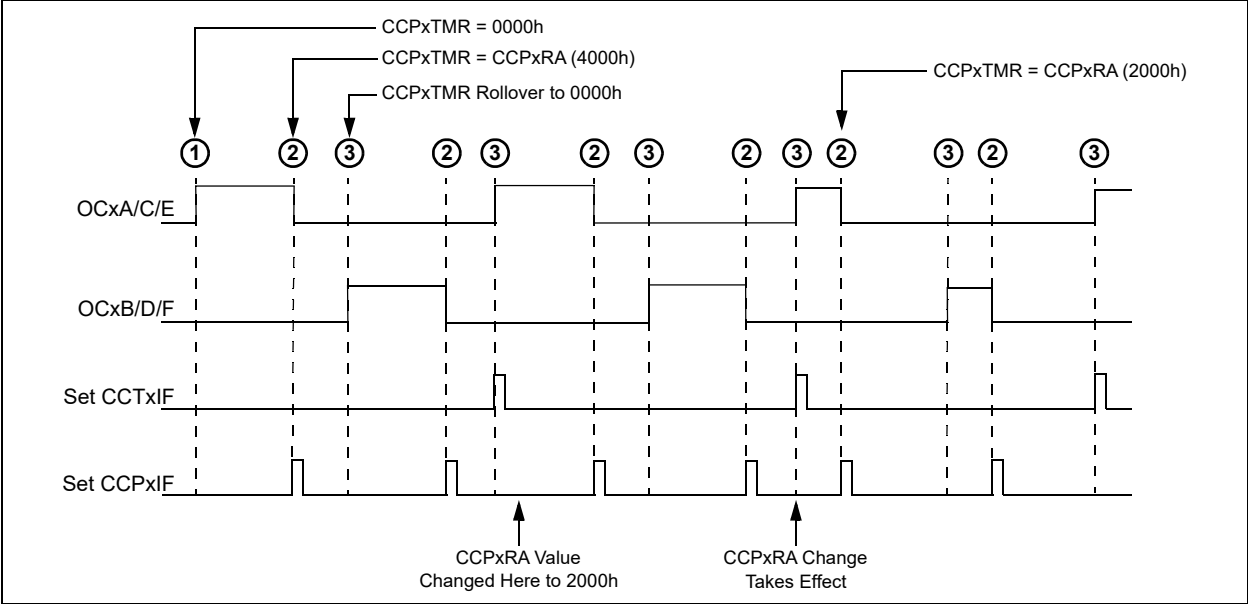


図 7-17: 代表的なプッシュプル回路

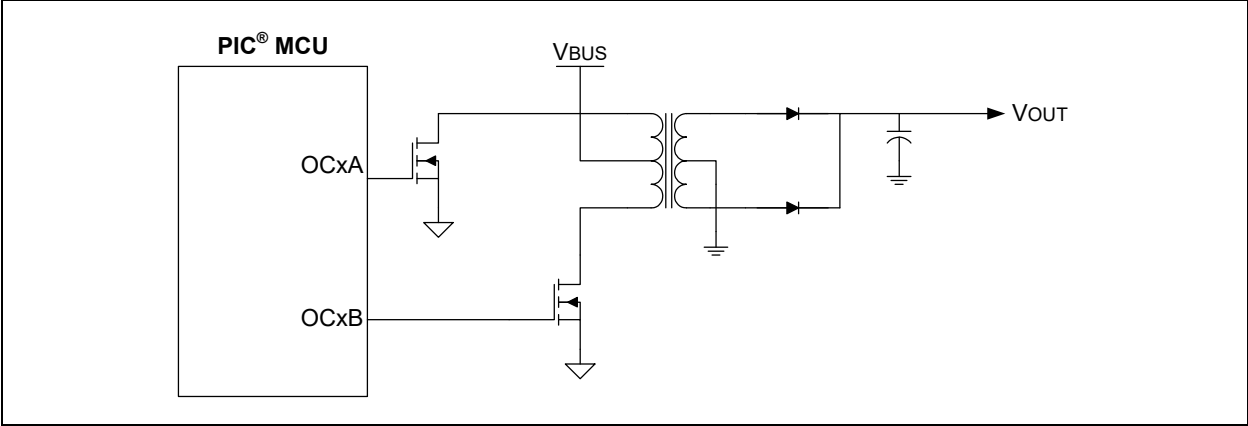
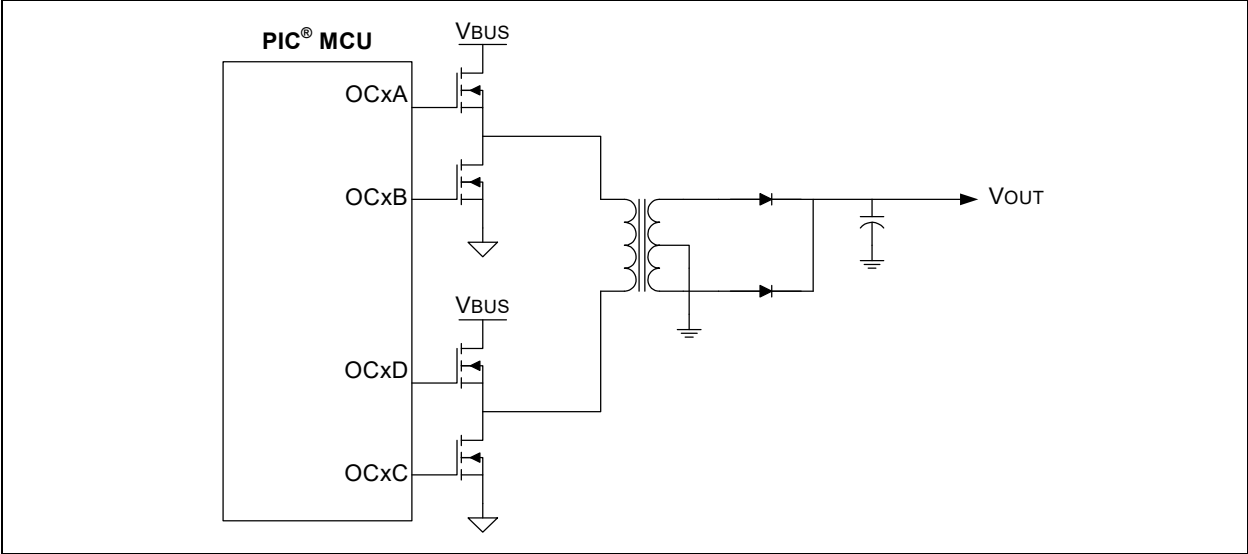


図 7-18: 代表的なフルブリッジ回路



キャプチャ / コンペア / PWM / タイマ (MCCP と SCCP)

7.6.5 ハーフブリッジ出力モード

ハーフブリッジ出力モードを選択するには、OUTM[2:0] = 010 に設定します。このモードでは、モジュールは OCxA と OCxB を使って相補出力を生成します (図 7-19 参照)。OCxB は OCxA を反転した信号を出力します。非ゼロのデッドタイム遅延を設定すると、2 つのピンのスイッチングイベントの間に遅延期間が挿入されます。

ハーフブリッジモードでは、OCxA/OCxB ピンペア向けの出力およびポート制御信号は、OCxC/OCxD および OCxE/OCxF 出力ピンペアにも複製されます。このため、OCxEN 制御ビットを使って、信号ペアの出力先を別のピンペアへ切り換える事ができます。ハーフブリッジ出力信号を生成するには、少なくとも 1 ペアの OCxEN 制御ビットをセットする必要があります。

ハーフブリッジ出力モードは、一般的に図 7-20 に示すような電源回路の制御用に使われます。DT[5:0] (CCPxCON3L[5:0]) に非ゼロのデッドタイム値を書き込むと、OCxA および OCxB 信号のスイッチング エッジの間に遅延期間が挿入されます。

デッドタイム ジェネレータの詳細は[セクション 7.6.10「デッドタイム遅延ジェネレータ」](#)を参照してください。

図 7-19: ハーフブリッジ出力

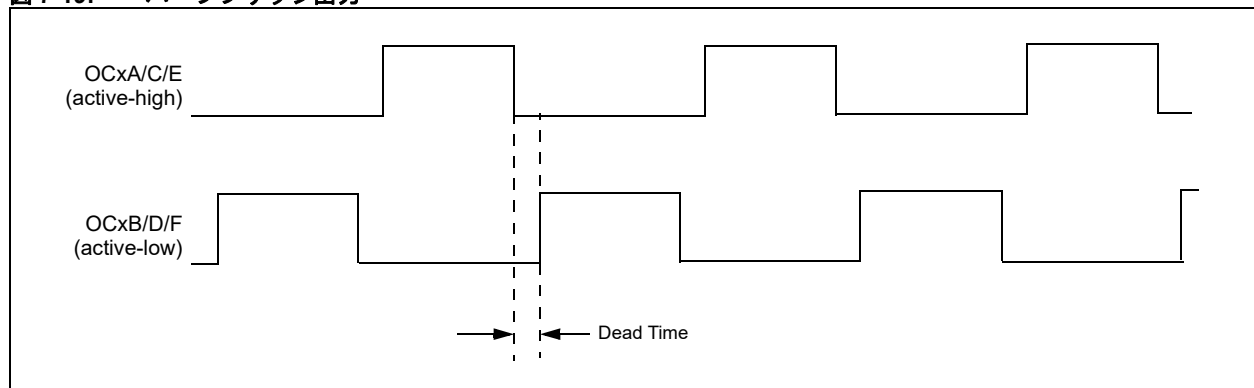
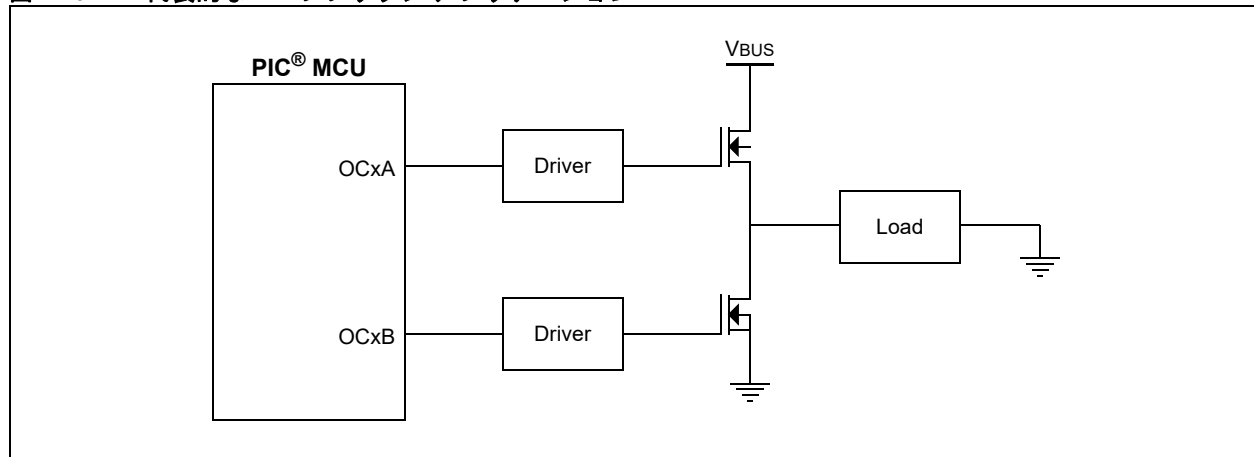


図 7-20: 代表的なハーフブリッジアプリケーション



7.6.6 ブラシ付き DC 出力モード

ブラシ付き DC モータ出力モードを選択するには、OUTM[2:0] を「101」(正回転モード)または「100」(逆回転モード)に設定します。これらのモードは、出力コンペアロジックが生成した信号を 4 本の出力ピン (OCxA ~ OCxD) に出力します。モジュールがこれらのピンを制御できるよう OCAEN、OCBEN、OCCEN、OCDEN ビットをセットする必要があります。

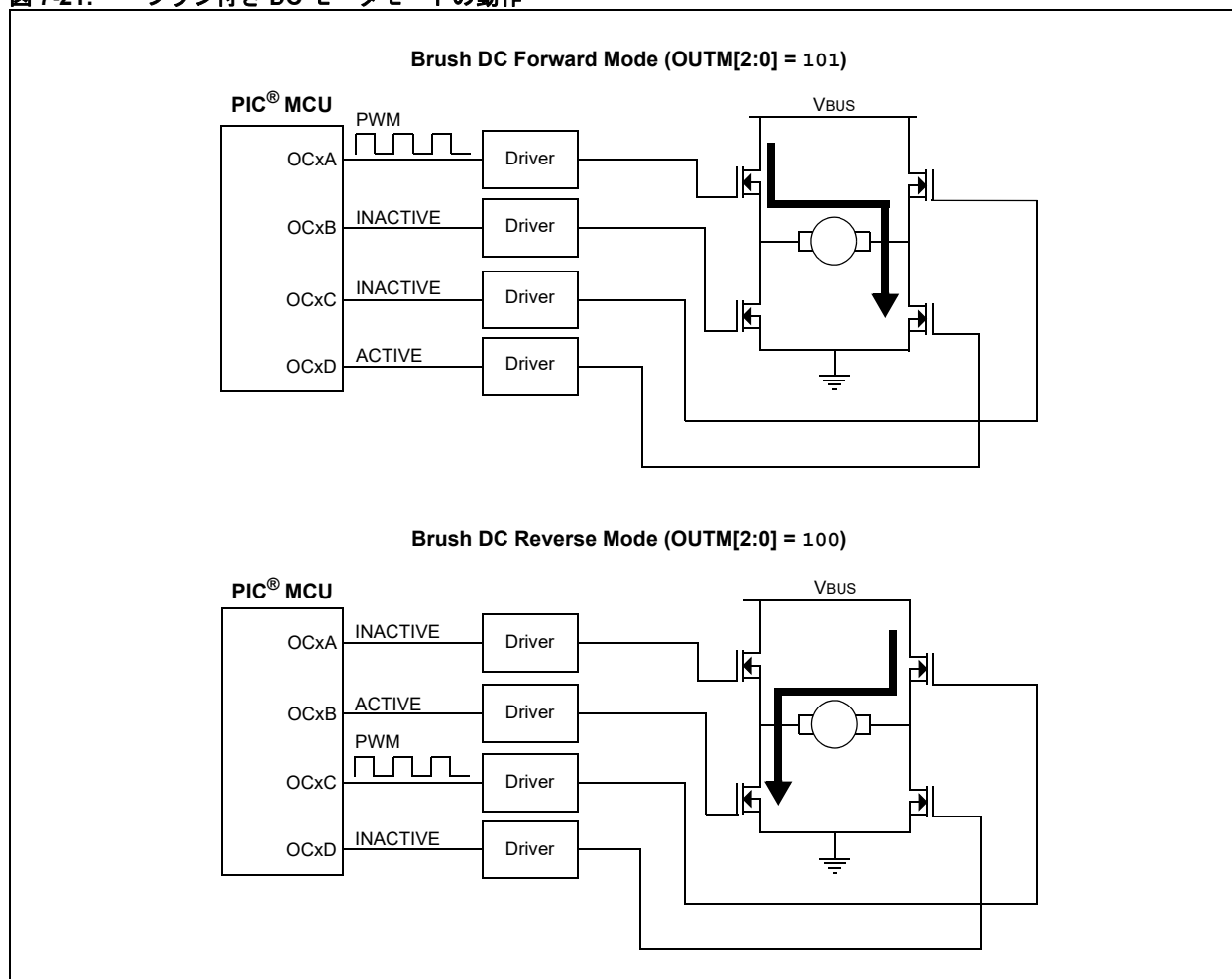
正転 / 逆転どちらのモードでも、以下のように 4 本のうち 2 本の出力ピンだけがアクティブ状態に駆動されます。

- 正転モード (OUTM[2:0] = 101) の場合
 - OCxA ピンで PWM ジェネレータ信号を出力
 - OCxD ピンをアクティブ状態に駆動
 - OCxB および OCxC ピンを非アクティブ状態に駆動
- 逆転モード (OUTM[2:0] = 100) の場合
 - OCxC ピンで PWM ジェネレータ信号を出力
 - OCxB ピンをアクティブ状態に駆動
 - OCxA および OCxD ピンを非アクティブ状態に駆動

ブラシ付き DC モータモードの場合、モジュールは OCxE および OCxF 出力ピンを制御しません。OCEEN および OCFEN 制御ビットでこれらのピンを有効にしてもかまいませんが、これらのピンは非アクティブ状態のままです。

図 7-21 に、4 本のピンを使って外部回路を制御する標準的な方法を示します。4 つの出力信号の実際の極性は、出力極性制御回路によって制御されます (詳細は[セクション 7.6.12「出力極性の制御」](#)参照)。

図 7-21: ブラシ付き DC モータモードの動作



キャプチャ / コンペア / PWM / タイマ (MCCP と SCCP)

ブラシ付き DC モータモードでは、デューティ サイクルが 100% に近い時に回転方向を切り換える場合を除き、デッドタイム遅延は不要です。アプリケーションの実行中に回転方向を切り換える事ができます。OUTM[2:0] = 10x で動作中にアプリケーション ソフトウェアで OUTM0 ビットをトグルさせる事で、回転方向を変更できます。モジュール ロジックは、OUTM[2:0] 制御ビットが「100」と「101」の間で切り換えられた事を検出すると、デッドタイム ジェネレータを起動します。回転方向の切り換えは CCP タイマ周期に同期し、SYNC[4:0] で選択されている同期源がアサートされた時点で発生します。

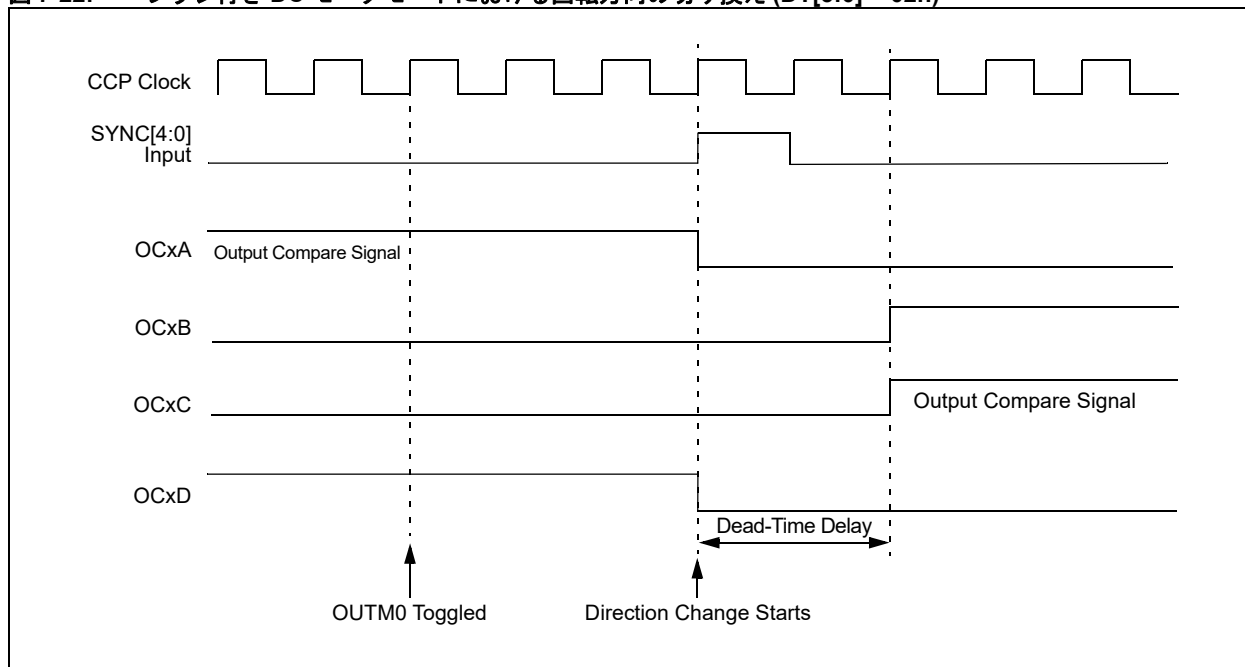
PWM ジェネレータのデューティ サイクル値が低い時に回転方向を切り換える場合、デッドタイムは不要です。なぜならば、アクティブ状態のスイッチがターンオフしてから回転方向の切り換えが発生するまでに十分な期間を確保できるからです。デューティ サイクルが 100% に近い場合、モジュールが制御するハイサイドおよびローサイドスイッチが両方とも OFF になる最小限の期間を確保するために、デッドタイムが必要になります。

回転方向の切り換え時に以下のイベントが以下の順番で発生します。

1. 次の PWM タイムベース リセット時に、現在アクティブな 2 本のピン (OCxA/OCxD または OCxB/OCxC) が非アクティブ状態に駆動される。
2. DT[5:0] = 000h の場合、出力ピンペアの切り換えが即座に発生する。
3. DT[5:0] の値が非ゼロである場合、OUTM0 がトグルされた時点で、DT[5:0] ビットがデッドタイム カウンタに転送される。デッドタイム カウンタのカウントが終了すると、切り換え先の出力ピンがアクティブになる。

図 7-22 に、デッドタイムを 2 クロックサイクル (02h) に設定した場合の回転方向切り換えタイミングを示します。

図 7-22: ブラシ付き DC モータモードにおける回転方向の切り換え (DT[5:0] = 02h)



7.6.7 出カスキャンモード

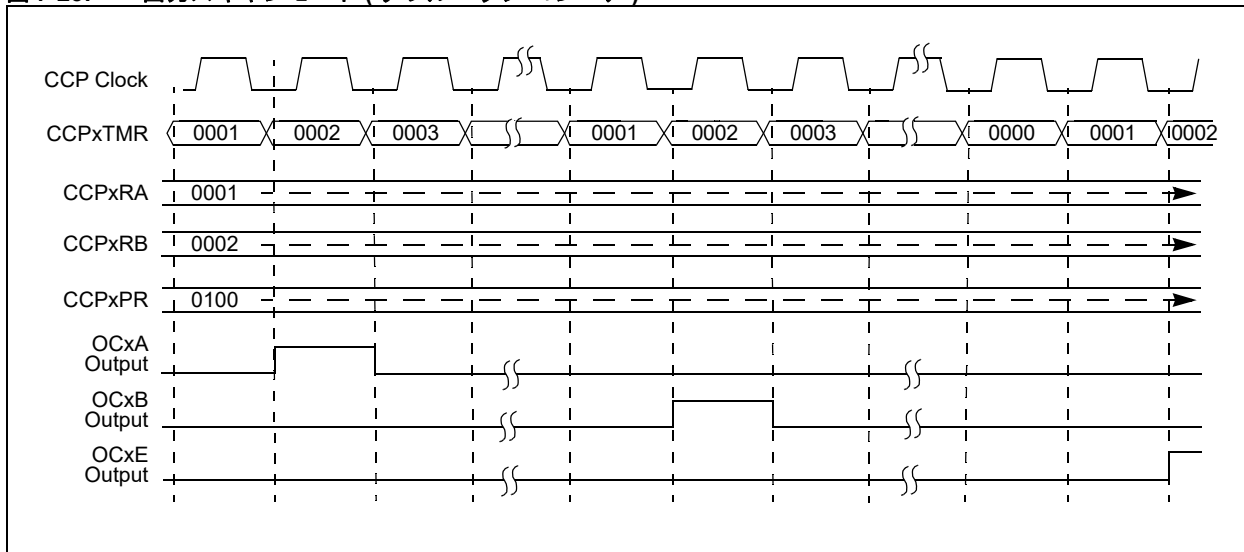
出カスキャンモード (OUTM[2:0] = 110) の動作は、利用可能な複数の OCx ピンを自動的に巡回して出力コンペア信号を出力するという点を除けば、出力先可変シングル出力モードと同様です。出カスキャンモード中に使用する MCCP 出力ピンは、対応する OCxEN 制御ビットをセットする事で選択します。例えば OCAEN、OCBEN、OCEEN ビットをセットした場合、MCCP モジュールは OCxA、OCxB、OCxE 出力ピンを自動的に巡回しながら出力コンペア信号を出力します。

モジュールを無効 (CCPON = 0) にするとスキャン シーケンス ロジックはリセットされ、次のスキャンは先頭の有効ピンから始まります。タイムベースがトリガまたはリセットされるたびに、出力コンペア信号の出力先はシーケンス内の次の有効ピンに移動します。

OCxA、OCxB、OCxE ピンを使った出カスキャンモードの基本的動作を図 7-23 に示します。出カスキャンモードをトリガモード動作またはワンショット モードと組み合わせて使う事で、シーケンス間に遅延を挿入した出力シーケンスを生成する事もできます。

Note: モジュールを有効にする前の出力ピンの状態は、ポートピン制御ロジックの設定または有効にされているより低優先度の周辺モジュールによって決まります。

図 7-23: 出カスキャンモード (ダブルエッジ コンペア)

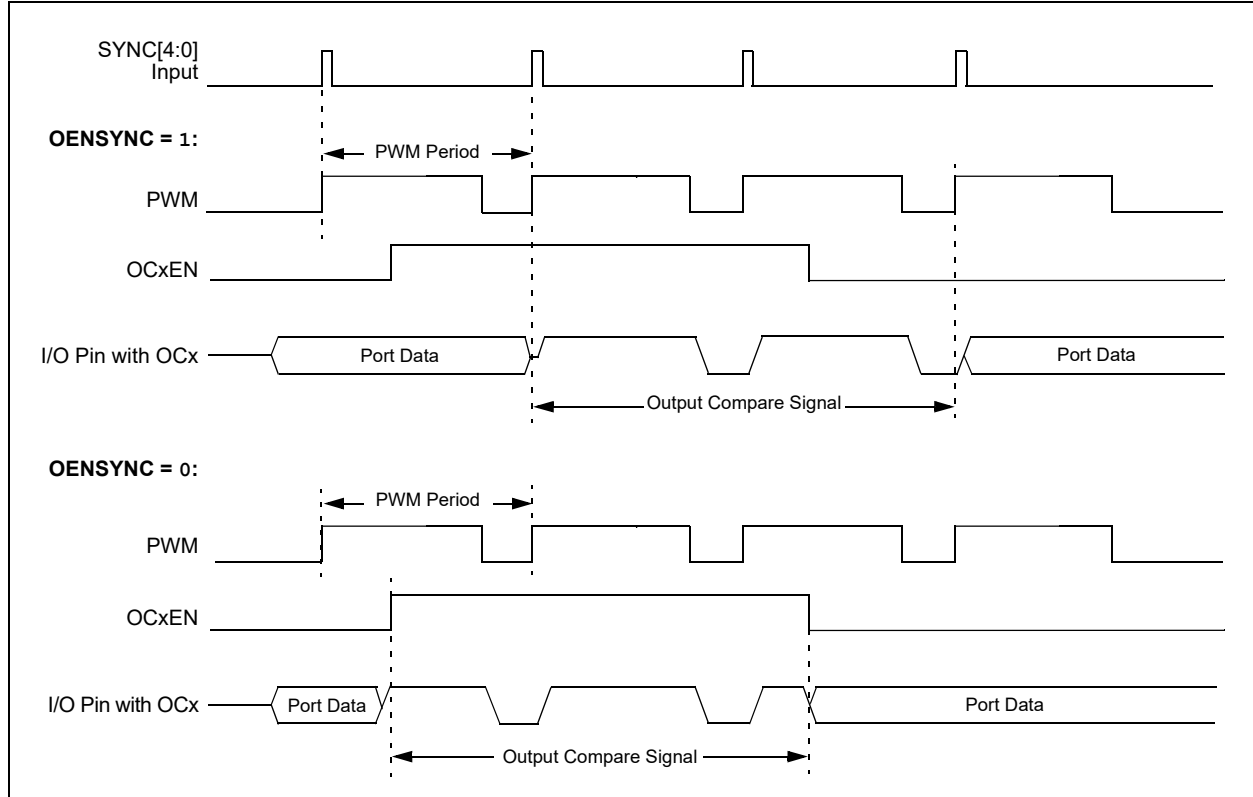


7.6.8 出力有効化の同期

必要に応じて、OCxEN 制御ビットの変更をタイマ周期に同期させる事ができます。これにより、PWM 周期の境界に同期してソフトウェアで PWM 設定を変更できます。そうする事で、出力先の切り換えに起因する不完全な出力パルスの発生を防ぐ事ができます。

OENSYNC 制御ビット (CCPxCON2H[15]) は、周期境界に対する PWM 出力の同期を制御します。OENSYNC = 1 に設定した場合、OCxEN 制御ビットに対する変更は、タイマリセット時 (すなわち、SYNC[4:0] で選択されている同期入力のアサートされた時) に反映されます。OENSYNC = 0 に設定した場合、OCxEN 制御ビットに対する変更は即座に反映されます。図 7-24 に、OCx 出力に割り当てられている I/O ピンにおける OENSYNC ビットの影響を示します。

図 7-24: OENSYNC ビットの動作



7.6.9 トリガによる出力の有効化

OETRIG 制御ビット (CCPxCON3H[15]) をセットすると、タイマがトリガされるまで MCCP モジュールの出力ピンをハイ インピーダンス状態に保持できます (クリアした場合、常にモジュールが駆動)。OETRIG 制御ビットは、トリガモード (TRIGEN = 1) 中のモジュール動作にのみ影響します。

OETRIG ビットをセットした場合の影響は、モジュールの出力モードに応じて異なります。出力スキャンモード (OUTM[2:0] = 110) の場合、タイムベースがトリガされると、スキャンシーケンス内で現在アクティブな出力ピンだけが駆動されます。スキャンシーケンス内他のピンは、ハイ インピーダンス状態に保持されます。

これ以外の OUTM<2:0> ビット設定では、OCxEN 制御ビットで有効にされている全ての出力は、タイムベースがトリガされた時点でアクティブに駆動されます。

タイマがトリガされていない (CCPTRIG = 0) 場合、モードに関係なく、有効な出力ピンは全てハイ インピーダンス状態に保持されます。

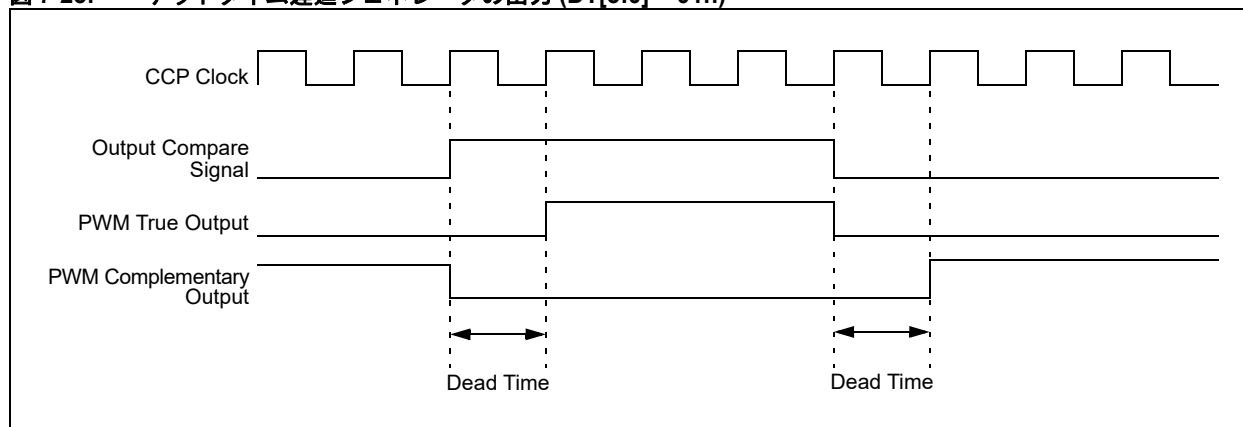
7.6.10 デッドタイム遅延ジェネレータ

デッドタイム遅延ジェネレータは、特定のマルチ出力 PWM モードで使われます。このジェネレータは、PWM ジェネレータの 1 つの出力信号から 2 つの出力信号 (「真の」信号 (出力コンペア信号と同極性) とその「相補信号」) を生成し、一方の信号を非アクティブに駆動してから他方の信号をアクティブに駆動するまでの間に遅延期間を挿入します。

このジェネレータは、入力信号の遷移を監視するためのエッジ検出器と、デジタル カウントダウン タイマを内蔵しています。出力信号の立ち上がりエッジは、DT[5:0] ビット (CCPxCON3L[5:0]) で設定されているクロックサイクル数だけ遅延します。DTx ビットの値を 0 に設定すると、デッドタイム遅延ジェネレータは事実上無効になり、相補出力信号は遅延なく生成されます (2 つの信号は同時に遷移します)。

デッドタイム ジェネレータ出力のタイミング (真の信号と相補信号の関係) を [図 7-25](#) に示します。

図 7-25: デッドタイム遅延ジェネレータの出力 (DT[5:0] = 01h)



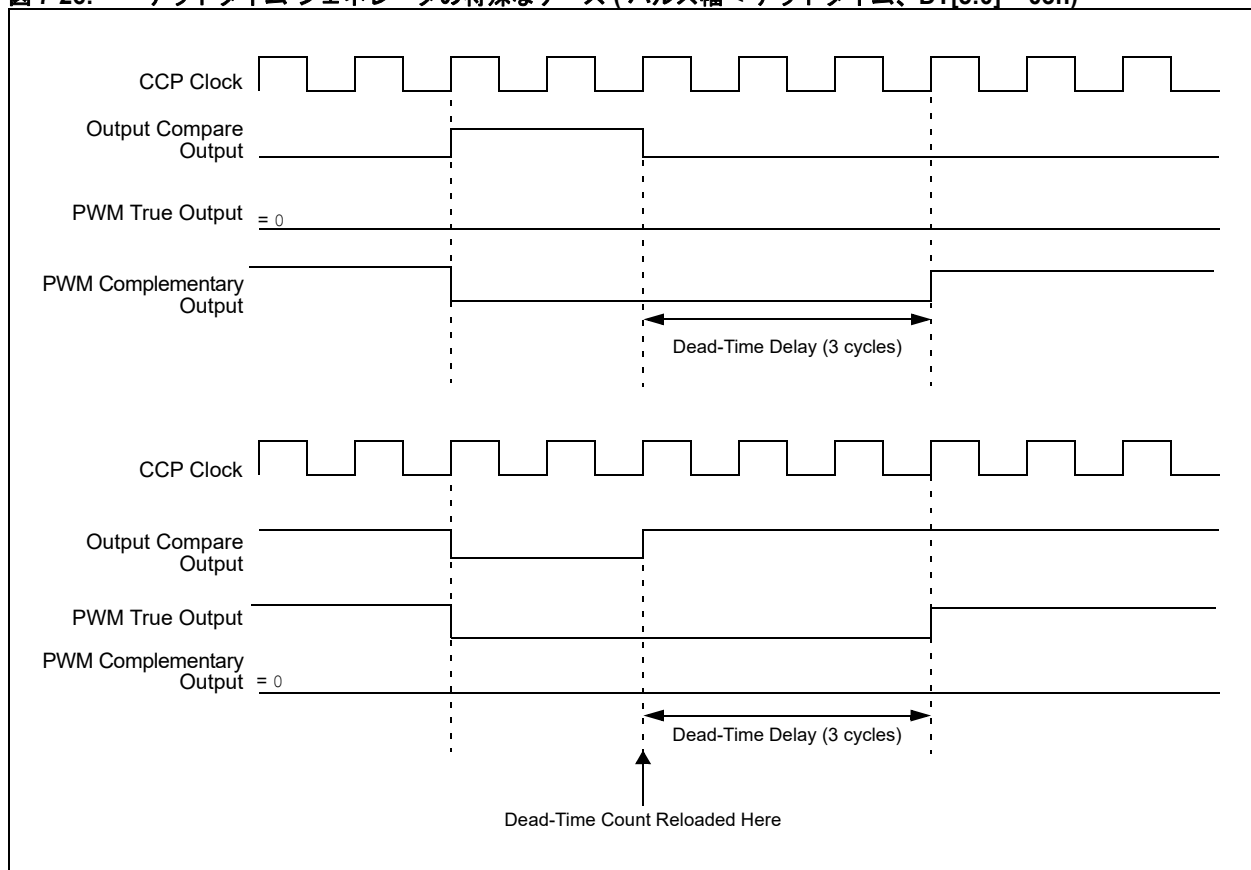
キャプチャ / コンペア / PWM / タイマ (MCCP と SCCP)

デッドタイムの生成には以下の3つの特殊なケースが存在します。

1. 入力信号のパルス幅がデッドタイムの設定値以下である場合、正しい出力結果は得られません。図 7-26 は、入力信号のデューティ サイクルが 0% に近い場合と 100% に近い場合の動作を示しています。
2. 入力デューティ サイクルが 0% に設定されている場合、デッドタイム期間中に両方の出力は非アクティブに駆動されます。この間に入力信号は遷移しません。デッドタイム終了後、PWM の真の出力は Low を保持し、相補出力は High を保持します。
3. 入力デューティ サイクルが 100% に設定されている場合も、デッドタイム期間中に両方の出力は非アクティブに駆動されます。この間に入力信号は遷移しません。デッドタイム終了後、PWM の真の出力は High を保持し、相補出力は Low を保持します。

入力デューティ サイクルが 0% または 100% に近づくにつれて、出力信号のパルス幅に占めるデッドタイム遅延期間の割合が大きくなります。この影響により、要求デューティ サイクルと実際のシステム応答の間の非線形性が顕著になります。この非線形性に対して敏感なシステムでは、0% または 100% に近いデューティ サイクルの使用を避けるか、出力をフィードバックしてデューティ サイクルを補償する必要があります。

図 7-26: デッドタイム ジェネレータの特殊なケース (パルス幅 < デッドタイム、DT[5:0] = 03h)



7.6.10.1 ハーフブリッジモードにおけるデッドタイム遅延の生成

ハーフブリッジモードの場合、OCxA 出力ピンはデッドタイム遅延ジェネレータからの非反転 (真の) 信号を出力します (図 7-19 参照)。一方、OCxB 出力ピンはデッドタイム遅延ジェネレータからの反転 (相補) 信号を出力します。これら 2 つの信号出力に対する極性制御は、デッドタイム遅延ジェネレータ ブロックの後で適用されます。

このハーフブリッジモードでは、OCxA/OCxB ピンペア向けの出力およびポート制御信号は、OCxC/OCxD および OCxE/OCxF 出力ピンペアにも複製されます。このため、OCxEN ビットを使って、信号ペアの出力先を別のピンペアへ切り換える事ができます。

7.6.10.2 ブラシ付き DC モータモードにおけるデッドタイム遅延の生成

ブラシ付き DC モータモードの場合、必要に応じてデッドタイム遅延ジェネレータを使う事で、回転方向の変更時に OCxA、OCxB、OCxC、OCxD 出力ピン信号をブランキングできます。

ブラシ付き DC モータモードの場合、モジュールは OCxE および OCxF 出力ピンを制御しません。対応するイネーブルビットをセットしても、それらの出力は Low のままです。

7.6.10.3 プッシュプル モードにおけるデッドタイム遅延の生成

プッシュプル モードの場合、必要に応じてデッドタイム遅延ジェネレータを使う事で、タイムベース周期の境界で OCx 出力ピンをブランキングできます。6 つの信号出力に対する極性制御は、デッドタイム遅延ジェネレータ ブロックの後で適用されます。

7.6.10.4 出力スキャンモードにおけるデッドタイム遅延の生成

出力スキャンモード (OUTM[2:0] = 110) ではデッドタイム遅延ジェネレータを使いません。

7.6.11 自動シャットダウン制御

自動シャットダウン制御ロジックの主目的は、外部の電源回路を駆動する場合に、モジュールの出力ピンを安全な状態に保つ事です。自動シャットダウン機能を使うと、外部イベントが発生した時に CCP モジュールの出力ピンを特定の状態に移行させる事もできます。

自動シャットダウン制御は、タイムベース ゲート処理 ([セクション 4.1「ゲートロジック」](#) 参照) の一部として実装されます。ユーザは、自動シャットダウン用の入力信号源を ASDG[7:0] 制御ビット (CCPxCON2L[7:0]) で選択する必要があります。自動シャットダウン用に使える信号源はデバイスによって異なりますが、一般的はコンパレータ出力、I/O ピン、ソフトウェア制御 (SSDG ビット) 等が使えます。アクティブ High の SSDG 制御ビットを除き、シャットダウン信号源はアクティブ Low です (信号が Low の時にモジュールの OCx ピンはシャットダウン状態に置かれます)。自動シャットダウン イベントはレベル センシティブであり、エッジではトリガされません。コンパレータ出力および他のシャットダウン信号源はシステムクロックに対して非同期であり、CCP モジュールはシャットダウン入力信号に対して即座に応答します。シャットダウンが発生すると、モジュールのポートピンは定義された出力状態に置かれます。

7.6.11.1 自動シャットダウン時のピンの状態

シャットダウン時の出力ピンの状態は PSSACE[1:0] および PSSBDF[1:0] 制御ビット (CCPxCON3H[3:2,1:0]) によって制御されます。PSSACEx ビットは OCxA、OCxC、OCxE (ハイサイド) 出力ピンに影響します。PSSBDFx ビットは OCxB、OCxD、OCxF (ローサイド) 出力ピンに影響します。ユーザは、これらの制御ビットを使ってシャットダウン時の I/O ピンの状態 (非アクティブに駆動、アクティブに駆動、ハイ インピーダンス状態) を選択できます。

Note: 対応する出力イネーブル/ステアリング制御ビット (OCxEN) がクリアされている出力ピンは、自動シャットダウン イベントの影響を受けません。

7.6.11.2 ソフトウェア シャットダウン

ユーザアプリケーションで SSDG 制御ビット (CCPxCON2L[12]) をセットする事で、いつでもシャットダウン イベントを発生させる事ができます。このビットは、極性が逆 (アクティブ High) である点を除けば、外部シャットダウン信号源と全く同様に機能します。SSDG ビットがセットされると、シャットダウン イベントが発生します。モジュールの出力ピンは、定義されたシャットダウン状態に移行し、SSDG ビットがソフトウェアでクリアされるまで、その状態を保持します。ソフトウェア シャットダウン機能は単独で使う事も、外部シャットダウン信号と併用する事もできます。

Note 1: 自動再起動機能を有効にしていない場合、シャットダウン状態を解除するには、ASEVT ステータスビットもクリアする必要があります。

2: ASDGx ビットで有効にされているシャットダウン信号源と SSDG ソフトウェア シャットダウン ビットの状態は、ソフトウェアによる ASEVT ビットへの書き込みよりも優先されます。全てのシャットダウン信号源が非アクティブになるまでフォルト条件を解除する事はできません。

7.6.11.3 自動シャットダウンのステータス

ASEVT ステータスビット (CCPxSTATL[4]) は、シャットダウン イベントのステータスを示します。ASEVT ビットがクリアされている場合、CCP モジュールに割り当てられている出力ピンは正常に動作します。

ASEVT ビットがセットされている場合、出力ピンはそれぞれのシャットダウン状態 (High に駆動、Low に駆動、ハイ インピーダンスのいずれか) に保持されます。ASEVT ビットは、手動でシャットダウン条件をリセットするための制御ビットとして使う事もできます ([セクション 7.6.11.4「自動再起動の有効化」](#) 参照)。

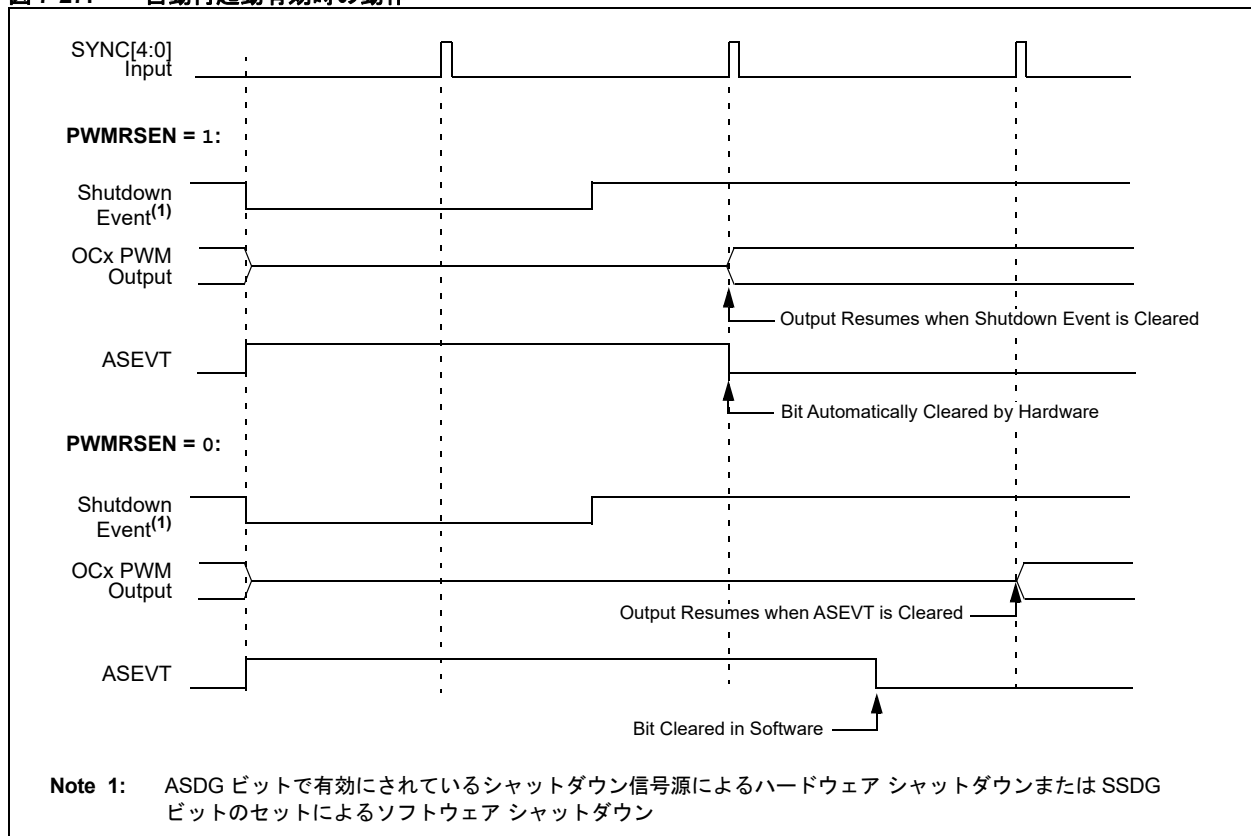
7.6.11.4 自動再起動の有効化

PWMRSEN ビット (CCPxCON2L[15]) は、シャットダウン状態の終了方法を制御します。PWMRSEN = 0 に設定した場合、モジュールは、ユーザ ソフトウェアが ASEVT ステータスビットをクリアするまで待機します。「ASEVT ビットがクリアされ」かつ「外部シャットダウン信号が非アクティブ」である場合にのみ、正常な出力ピン動作が再開します。外部シャットダウン信号が全て非アクティブにならない限り、ユーザ ソフトウェアで ASEVT ビットをクリアする事はできません。

PWMRSEN = 1 に設定した場合、全ての外部シャットダウン信号が非アクティブになると、次の PWM 周期の開始時 (すなわち SYNC[4:0] で選択されている同期源がアサートされた時) に、正常な出力ピン動作が自動的に再開します。この時点で、ASEVT ビットはハードウェアによって自動的にクリアされます。新しいサイクルの開始時点でシャットダウンがアクティブである場合、そのサイクル全体を通して動作が抑制されるため、幅の狭いグリッチパルスは発生しません。PWM 出力は、シャットダウンが非アクティブになった後、次のサイクルの開始時に動作を再開します。

PWMRSEN = 0 に設定した場合、シャットダウン条件が非アクティブになっても、ユーザが手動で動作を再開するまで PWM はアイドル状態を保持します (ソフトウェアで ASEVT ビットをクリアするまで、モジュールは動作を再開できません)。

図 7-27: 自動再起動有効時の動作



7.6.11.5 ゲート付き自動シャットダウン モード

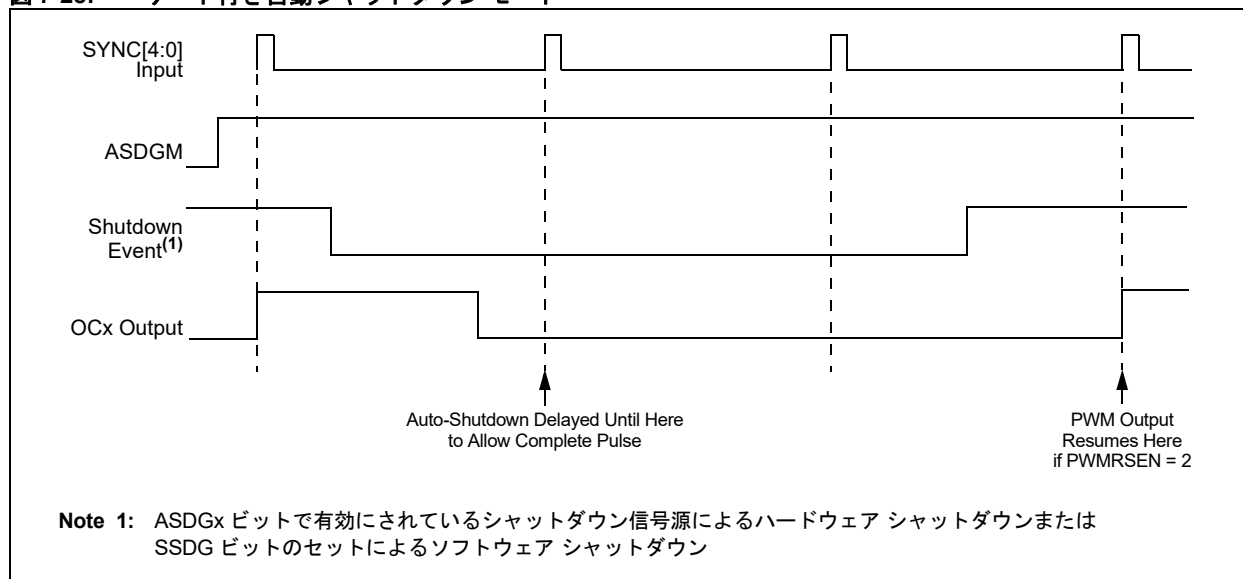
電源制御アプリケーションでは、自動シャットダウン入力に対する応答を遅延させると便利な場合があります。ASDGM 制御ビット (CCPxCON2L[14]) をセットすると、ゲート付きシャットダウン動作を有効にできます。ASDGM をセットした場合、自動シャットダウン信号入力は、次の PWM 周期が始まるまで効力を持ちません。このため、PWM ジェネレータは、現在のサイクルに対して設定されているパルス幅を完全に生成できます。

パルスの生成は、次のサイクルの開始時点でハードウェアによって停止します。シャットダウンイベントが終了すると、次の PWM 周期でパルス生成が再開します。

Note: PWMRSEN = 1 の場合にのみ、パルス生成は自動的に再開します。PWMRSEN = 0 の場合、パルス生成を再開するには、ソフトウェアで ASEVT ステータスビットをクリアする必要があります。

ゲート付き自動シャットダウン モードをコンパレータと一緒に使う事で、「パルススキップ」または「ゲート付きオシレータ」スイッチング電源を実装できます。インダクタは各パルスで一定期間励起され、電源に特定量の電力を供給します。出力電圧 (電流) が十分に高い場合、コンパレータはパルスをゲートします。

図 7-28: ゲート付き自動シャットダウン モード



Note 1: 自動再起動を有効にしていない場合、アプリケーションで ASEVT ビットもクリアする必要があります。

2: ASDGx ビットで有効にされているシャットダウン信号源と SSDG ソフトウェア シャットダウン ビットの状態は、ソフトウェアによる ASEVT ビットへの書き込みよりも優先されます。全てのシャットダウン信号源が非アクティブになるまでフォルト条件を解除する事はできません。

7.6.12 出力極性の制御

出力ピンの極性は、POLACE および POLBDF 制御ビット (CCPxCON3H[5,4]) によって制御されます。POLACE ビットは OCxA、OCxC、OCxE ピンの極性を制御し、POLBDF ビットは OCxB、OCxD、OCxF ピンの極性を制御します。

極性制御は、デッドタイム制御と自動シャットダウン ロジックの後で出力信号に適用されます。極性制御ビットは、全ての出力コンペア /PWM モードに対して効力を持ちます。

キャプチャ / コンペア / PWM / タイマ (MCCP と SCCP)

8.0 モジュール同期出力

既定値では、MCCP/SCCP モジュールは CCPxTMR レジスタのロールオーバーに基づいて CCP 同期信号を生成します。この信号は、他の CCP モジュールに対する同期信号または他の周辺モジュールに対するトリガ信号として使えます。CCP 同期信号は、モジュールのデバイスレベル割り込みまたは他の出力とは別に扱われます。

タイマ ロールオーバー以外のイベント信号に基づいて CCP 同期信号を生成すると便利な場合や、選択した信号以外に追加のイベント出力が必要になる場合があります。CCP モジュールは、これらの状況に対応するために、ユーザ設定オプションを備えています。

8.1 代替同期出力

ALTSYNC 制御ビット (CCPxCON1H[5]) を使うと、タイマ ロールオーバーの代わりに別の同期 / トリガ出力を使って CCP 同期信号を生成できます。ALTSYNC = 0 に設定した場合、全ての動作モードにおいて、CCP 同期出力には既定値のタイマ ロールオーバー信号が使われます。ALTSYNC = 1 に設定した場合の同期信号は、動作モードに応じて異なります。表 8-1 に、利用可能な代替出力の一覧を示します。

表 8-1: 代替同期出力信号

ALTSYNC	CCSEL	MOD[3:0]	出力信号
0	x	全て	標準 (既定値) の CCP 同期出力
1	0	0000	特殊イベントトリガ出力 (タイマモード)
1	0	「0000」以外の 全ての設定	出力コンペア割り込みイベント (コンペアモード)
1	1	全て	入力キャプチャイベント (キャプチャモード)

8.2 補助出力信号

MCCP および SCCP モジュールは、CCP 同期信号 (ALTSYNC がセットされている場合は代替バージョン) とは別に、補助的な出力も生成できます。補助出力を使う事で、他のデジタル周辺モジュールに対して以下の CCP モジュール内部信号を提供できます。

- ・ タイムベースの同期
- ・ 周辺モジュールトリガおよびクロック入力
- ・ 信号のゲート処理

出力信号のタイプは、AUXOUT[1:0] 制御ビット (CCPxCON2H[4:3]) で選択します (実際に出力される信号はモジュールの動作モードによって異なります)。補助出力では、各モードに対して代替同期出力よりも豊富なオプションを選択できます (表 8-2 参照)。

CCP モジュールの一部のバージョンは補助出力機能を備えていません。詳細は各デバイスのデータシートを参照してください。

表 8-2: 補助出力の設定

AUXOUT[1:0]	CCSEL	MOD[3:0]	出力信号
00	x	xxxxx	無効 (出力なし)
01	0	0000 (タイマモード)	タイムベース周期のリセットまたは ロールオーバー
10			特殊イベントトリガ出力
11			出力なし
01	0	「0001」 ~ 「1111」 (出力コンペアモード)	タイムベース周期のリセットまたは ロールオーバー
10			出力コンペアイベント信号
11			出力コンペア信号
01	1	xxxxx (入力キャプチャモード)	タイムベース周期のリセットまたは ロールオーバー
10			ICDIS ビットの値を反映
11			入力キャプチャ イベント信号

9.0 同期モードとトリガモードの動作

同期 (Sync) およびトリガモード動作は、モジュールの主要動作モードのほとんどで CCPxTMR レジスタの動作に影響する補完的なモードであると考えられます。どちらのモードも SYNC[4:0] ビット (CCPxCON1H[4:0]) を使って入力信号源を指定します。同期モードとトリガモードでは、タイマに対する信号の影響が異なります。

同期モード動作の場合、CCPON ビットによってモジュールが有効になるとタイマはフリーランニング モードでカウントし、SYNC[4:0] ビットで選択されている入力のアサートされた時点で 0 にリセットされます。何らかの理由によって保持されない限り、タイマは即座に 0 からカウントを再開します。TRIGEN ビット (CCPxCON1H[7]) をクリアすると、モジュールは同期モードで動作します。

トリガモード動作の場合、SYNC[4:0] で選択されている入力のアサートされるまでタイマはリセット状態に保持されます。入力のアサートされた時点でタイマはカウントを始め、TRCLR ビット (CCPxSTATL[5]) がセットされるまでカウントを続けます。TRIGEN ビットをセットすると、モジュールはトリガモードで動作します。

SYNC[4:0] ビットでは、最大で 32 種類の内部および外部信号源を選択できます (選択可能な信号源はデバイスによって異なります)。一部の信号源はトリガモード動作にのみ使えます (同期モード動作には使えません)。また、「11111」(フリーランニング カウンタ) も同期モード動作には使えません。詳細は各デバイスのデータシートを参照してください。

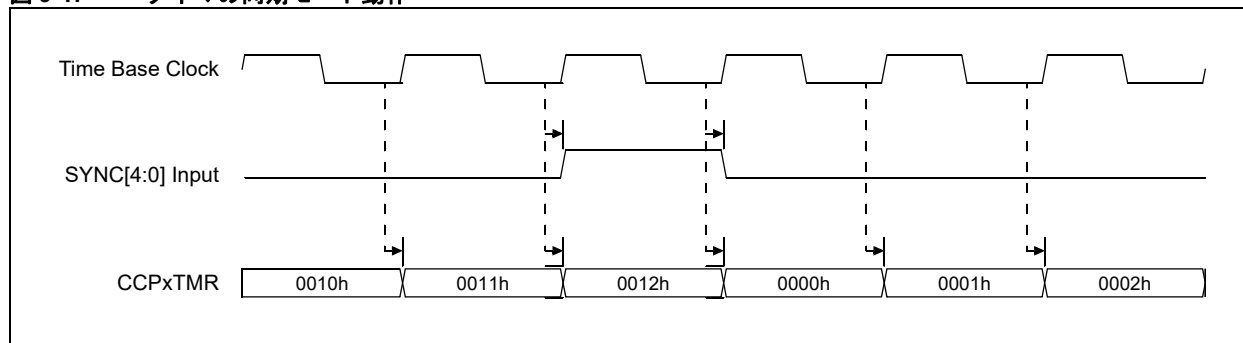
同期およびトリガモード動作を使うと、デジチェーン接続した複数の CCP モジュールの動作を同期する事ができます。これは、タイマおよび出力コンペアモードにおけるモジュールの動作に大きく役立ちます。

9.1 タイマの同期モード動作

同期モード動作では、SYNC[4:0] で選択した同期 / トリガ入力を使って、タイマを他のモジュールに同期させる事ができます。基本的な動作を図 9-1 に示します。選択されている同期入力が高レベルのアサートされると、タイムベース信号の次の立ち上がりエッジでタイマは 0000h にロールオーバーします。

TRIGEN (CCPxCON1H[7]) ビットをクリアし、かつ SYNC[4:0] ビットを「11111」以外の値に設定した場合、タイマは同期モードで動作します。CCPTRIG ビット (CCPxSTATL[7]) は効力を持ちません。

図 9-1: タイマの同期モード動作



キャプチャ / コンペア / PWM / タイマ (MCCP と SCCP)

SYNC<4:0> ビットを「00000」に設定した場合、モジュールは周期一定のタイマとして動作します (タイマレジスタは CCPxPR 値に一致した時に自動的に 0000h にロールオーバーする)。SYNC<4:0> ビットを「11111」に設定した場合、タイマは FFFFh からのオーバーフローが発生するとロールオーバーします。

SYNC[4:0] ビットを「00000」および「11111」以外の値に設定した場合、その値に対応する入力のアサートされた時点でタイマがリセットされます。デバイスに固有の入力については、各デバイスのデータシートを参照してください。

同期モード動作向けにモジュールを設定するためのサンプルコードを例 9-1 に示します。

例 9-1: 同期モード動作向けの設定 (16 ビット デュアルタイマ モード)

```
CCP1CON1Hbits.TRIGEN=0;          // Set Sync/Triggered mode (Synchronous Mode)
CCP1CON1Hbits.SYNC = 0;          // rolls over at FFFFh or match
                                   // with period register (self sync)
CCP1CON1Lbits.T32=0;             // 16 bit dual timer mode
CCP1CON1Lbits.TMRSYNC = 0;       // Set timebase synchronization (Synchronized)
CCP1CON1Lbits.CLKSEL = 0;        // Set the clock source (Tcy)
CCP1CON1Lbits.TMRPS = 0;         // Set the clock pre-scaler (1:1)
CCP1PRL = 0X0FFF;               // 16 bit MCCP1 low period register
CCP1PRH = 0X0FFF;               // 16 bit MCCP1 high period register
CCP1CON1Lbits.CCPON=1;          // Start the Timer
```

9.1.1 複数 CCP モジュールの同期

各 CCP モジュールは CCP 同期出力信号を生成します ([セクション 8.0「モジュール同期出力」](#) 参照)。この信号を使う事で、他のモジュールの動作を同期させる事ができます。この信号は、モジュールの割り込みまたは他の全ての出力信号とは別に処理されます。SYNC[4:0] ビットを使う事で、全ての CCP モジュールは他のモジュールとの間で互いに同期信号にアクセスできます。このため、複数のモジュールをチェーン接続する事で、より複雑な同期動作を実装できます。

同期動作の簡単な例を [図 9-2](#) に示します。この例では、MCCP2 を MCCP1 に同期させています。両モジュールは同じクロック源を使います。また、どちらのモジュールも MCCP1 からの CCP 同期信号を同期入力信号源として使います。この場合、CCP1PR は MCCP1 と MCCP2 の両方に対する周期レジスタとして機能します。

[図 9-3](#) に、2 つのモジュールのタイミング関係を示します。CCP1TMR と CCP1PR が一致した時点で、同期信号がアクティブになります。すると、タイマ入力クロックの次の立ち上がりエッジで、CCP1 と CCP2 内のタイマは両方とも 0000h にロールオーバーします。

複数のモジュールを同期する場合、以下の 2 点に注意してください。

- 同期する全てのモジュールは、タイムベースに同じクロック源を使う事
- 同期する各モジュールを初期化する際は、同期源のモジュールを最後に有効にする事 (これにより、全ての被同期モジュールのタイマは、最後のモジュールが初期化されるまでリセット状態を保持します)

図 9-2: 2つのタイマを同期する場合の例 (MCCP2 を MCCP1 に対して同期)

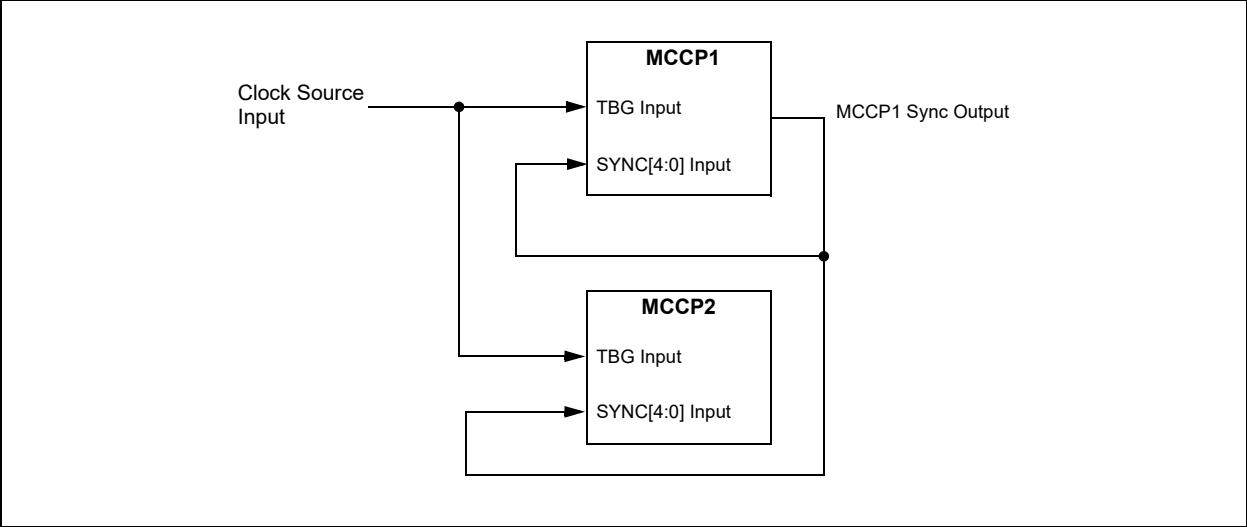
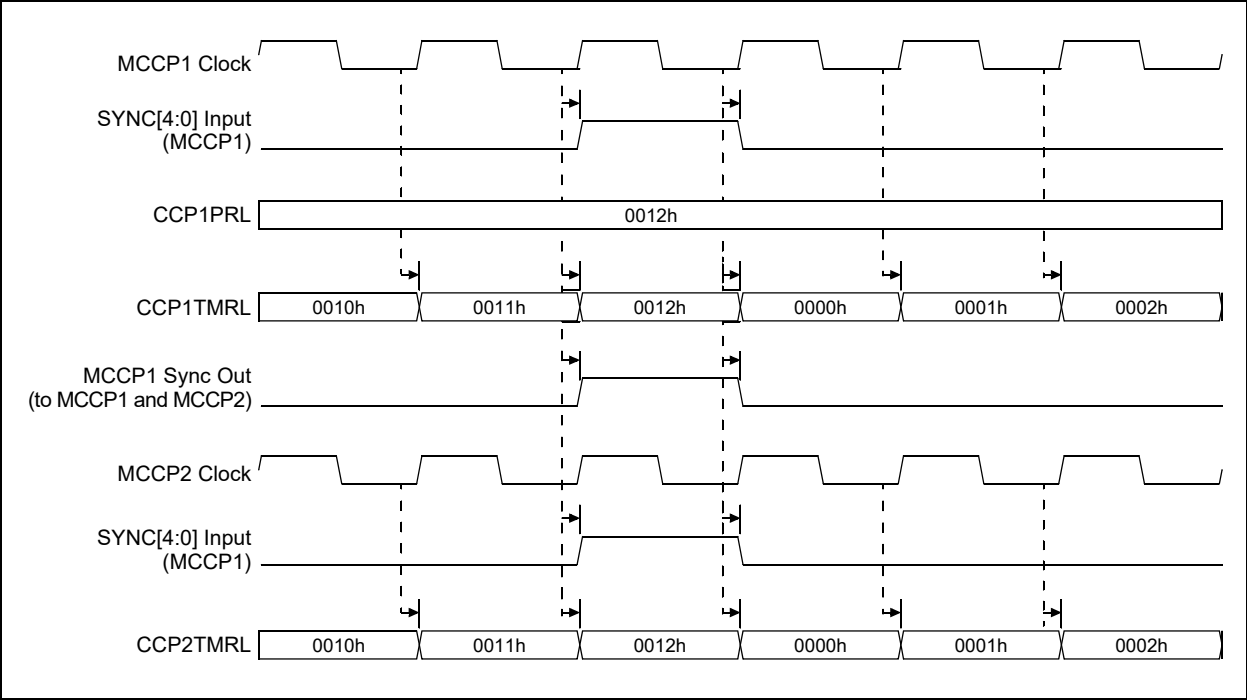


図 9-3: MCCP1 および MCCP2 タイマの同期



9.2 タイマのトリガモード動作

TRIGEN = 1 に設定すると、タイマのトリガモード動作が有効になります。トリガモード動作を使うと遅延を生成できます。モジュールの動作モードに応じて、遅延後にパルスまたはエッジイベントを生成できます。

トリガモード動作向けにモジュールを設定した場合、SYNC[4:0] で選択されている信号源でトリガイイベントが発生するまで、モジュールのタイマはリセット状態を保持します。トリガイイベントが発生した時点でタイマはカウントを始めます。タイマは、タイムベース信号の立ち上がりクロックごとにインクリメントします。

タイマを 16 ビット デュアルタイマ動作 (T32 = 0) 向けに設定した場合、CCPxTMRL に対応するタイマだけがトリガモードで動作します。CCPxTMRH に対応するタイマは、フリーランニングタイマとして動作します。

CCPTRIG ステータスビット (CCPxSTATL[7]) は、タイマがリセット状態に保持されているかどうか (またはカウント中かどうか) を示します。CCPTRIG = 0 の場合、タイマはリセット状態に保持されています。CCPTRIG = 1 の場合、タイマは動作中です。

トリガモード動作には 2 種類のトリガ条件 (ハードウェア/ソフトウェア併用、ソフトウェア専用) が存在します。ハードウェア/ソフトウェア併用トリガモード動作を [図 9-4](#) に示します。モジュールをトリガモード動作向けに有効にした時点では、タイマはリセット状態に保持されます。SYNC[4:0] で選択されている入力でトリガイイベントがアサートされるまでタイマはリセット状態を保持し、トリガイイベントが発生すると 2 クロックサイクル以内に CCPTRIG ビットがセットされます。このトリガ信号は、タイムベースがカウントを始めるタイミングを決めるだけであり、タイマの周期は CCPxPR レジスタによって決まります。同期モード動作とは異なり、トリガモード動作には SYNC[4:0] ビットで選択可能な全てのトリガ源を使えます。

任意のタイミングで TRSET ビット (CCPxSTATL[6]) に「1」を書き込む事で、CCPTRIG ビットを手動セットしてタイマをリセット状態から解放できます。CCPTRIG ビットはソフトウェアで手動クリアする事もできます (TRCLR ビット (CCPxSTATL[5]) に「1」を書き込む)。

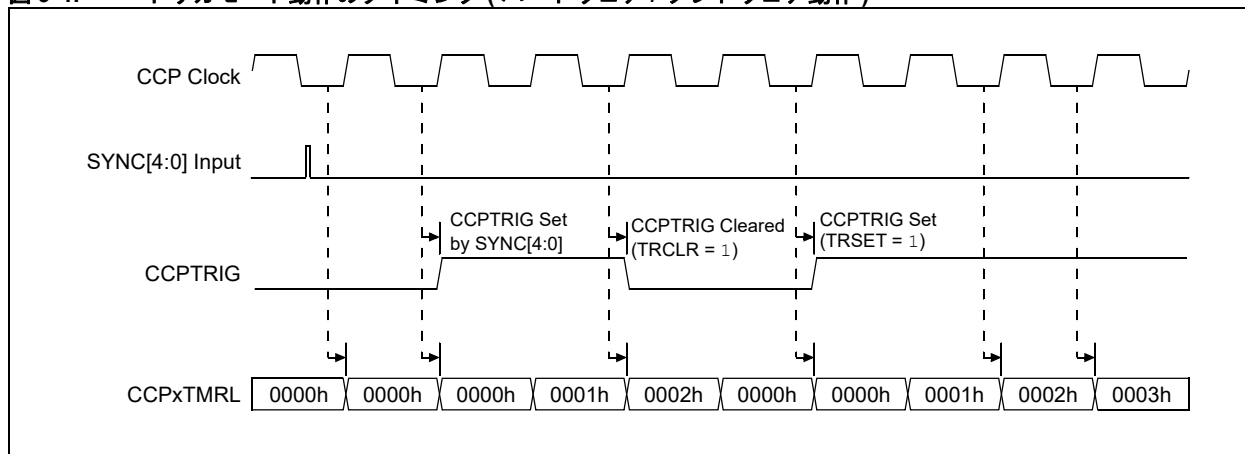
ソフトウェア専用トリガモード動作を選択するには、SYNC[4:0] = 11111 に設定します。この場合、ソフトウェアで TRSET ビットに書き込む事によってのみ、CCPTRIG ビットをセットできます。この設定では、全ての外部ハードウェア トリガ源は無効になります。

ソフトウェアで TRIGEN ビットをクリアすると、タイマはタイマクロックの次の立ち上がりエッジで 0000h にリセットされ、SYNC[4:0] 入力で次のトリガが発生するまで待機します。

Note: TRSET および TRCLR ビットは書き込み専用ビットであり、常に「0」として読み出されます。これらのビットに「0」を書き込んでも効果はありません。

モジュールをトリガモード動作向けに設定するためのサンプルコードを [例 9-2](#) に示します。

図 9-4: トリガモード動作のタイミング (ハードウェア/ソフトウェア動作)



例 9-2: タイマのトリガモード動作向けの設定 (16 ビット デュアルタイマ モード)

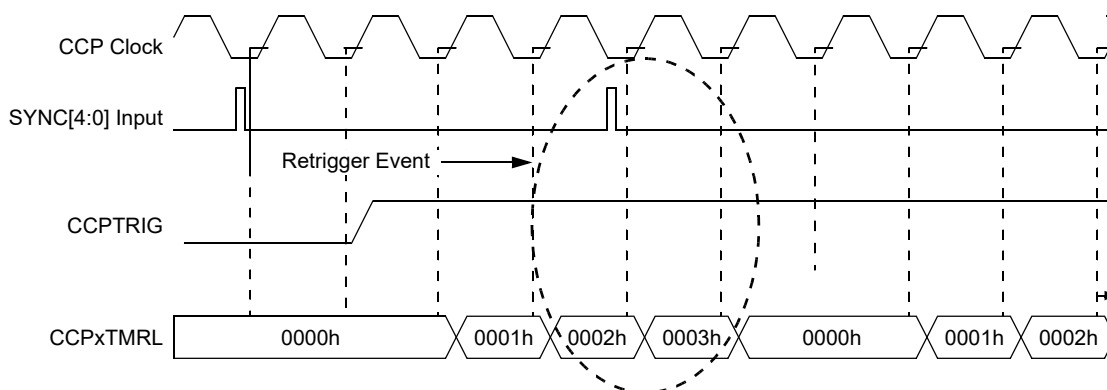
```
CCP1CON1Hbits.TRIGEN=1;      // Set Sync/Triggered mode (Triggered Mode)
CCP1CON1Hbits.SYNC = 0x08;    // INT0 as trigger (verify the data sheet
                                // for Trigger source)
CCP1CON1Lbits.T32=0;          // 16 bit dual timer mode
CCP1CON1Lbits.TMRSYNC = 0;    // Set timebase synchronization (Synchronized)
CCP1CON1Lbits.CLKSEL = 0;     // Set the clock source (Tcy)
CCP1CON1Lbits.TMRPS = 0;      // Set the clock pre-scaler (1:1)
CCP1PRL = 0X0FFF;             // 16-bit MCCP1 low period register
CCP1PRH = 0X0FFF;             // 16-bit MCCP1 high period register
CCP1CON1Lbits.CCPON=1;        // Enable the Timer
```

9.2.1 再トリガ動作

RTRGEN ビット (CCPxCON1H[14]) を使うと、CCPTRIG ビットがセットされている時にタイマを再トリガできます。RTRGEN をセットした場合、トリガ後のカウント動作中に再度トリガイベントが発生すると、タイマはリセットしてカウントを再開します。図 9-5 に、タイマがオーバーフローする前に再トリガが発生したために、カウントを 0000h から再開する様子を示します。

RTRGEN = 1 に設定した場合、同一タイムベース クロック周期内でトリガパルスが複数回発生しても 1 回のトリガイベントとして認識されます。トリガパルスが 2 つの連続したタイマ クロック周期で発生した場合、タイムベースがリセット状態 (0000h) に保持される期間は 1 クロック周期延長されます。

図 9-5: 再トリガ動作 (RTRGEN = 1)



Note: 例えば CCPxPRL が 10h であった場合、タイマが 10h までカウントする前に再トリガが発生すると、タイマはその時点でリセットされます。

9.2.2 非同期クロックによるトリガ動作

CCP モジュールのタイムベースには各種のクロック源を使う事ができ、それらはシステム クロックに対して非同期であってもかまいません。加えて、トリガ源は、モジュールのタイムベース クロックに対して非同期であってもかまいません。グリッチを最小限に抑えるため、既定値設定では、入力されたトリガ信号はラッチされ、モジュールのタイムベース クロック源に対して同期されます。

タイムベース クロック源がシステムクロックに対して非同期である場合、トリガの状態が CCPTRIG ステータスビットの値に反映されるまでに、最大で 2 システムクロックの遅延が生じます。

同様に、ソフトウェアによるトリガのセットまたはクリア要求の場合も、モジュールのトリガの状態に反映されるまでに、最大で 2 タイムベース クロックの遅延が生じます。

キャプチャ/コンペア/PWM/タイマ (MCCP と SCCP)

9.2.3 トリガモード動作におけるタイマのロールオーバー

モジュールをトリガモード動作向けに設定した場合、SYNC[4:0] で選択されている信号源はタイムベース カウント周期に影響しません。トリガ信号の目的はタイマがカウントを開始するタイミングを指定する事であり、リセットのタイミングには関係しません(同期モードと同様)。

CCPxPRH/L と CCPxTMRH/L が一致すると (または、CCPxPRH/L が利用できない特定の動作モードでは CCPxTMRH/L が FFFFh に達すると)、タイマは次のクロックで 0000h にロールオーバーします。

トリガモード動作の場合、SYNC[4:0] で以下の 2 つの値を設定する事はできません。

- ・「00000」(同期タイマ、外部トリガは無効)
- ・モジュール自身の CCP 同期信号に対応する値 (トリガは外部から供給する必要があるため)

SYNC[4:0] で選択されているトリガ源をタイマよりも先に初期化して有効にすると、タイマはトリガイベントの検出に失敗する可能性があります。このため、トリガ源よりも先にタイマを初期化して有効にする事を推奨します。

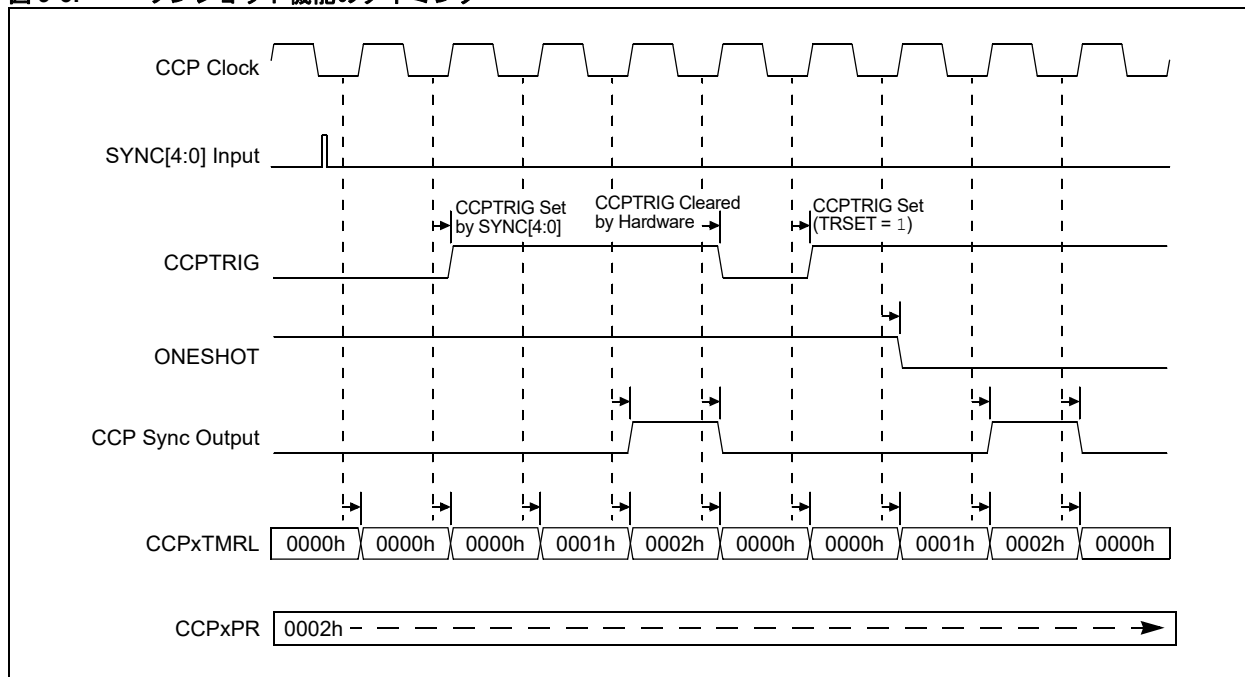
9.2.4 ワンショット機能

トリガモード動作の場合、タイマはワンショット モードで動作できます。ワンショット モードでも、ハードウェアまたはソフトウェア トリガイベントが発生するまで、タイマはリセット状態を保持します。トリガイベントが発生すると、CCPTRIG ビットがセットされ、タイマはカウントを始めます。タイマが 0000h にロールオーバーすると、ハードウェアが CCPTRIG ビットをクリアします。これにより、タイマは次のトリガイベントが発生するまでリセット状態を保持します。以上により、タイマはワンショット タイマとして機能します。

ワンショット モードは、ONESHOT ビット (CCPxCON1H[6]) をセットすると有効になります。OSCNT[2:0] 制御ビット (CCPxCON3H[14:12]) を使うと、ワンショット トリガイベントの間を 1 CCP タイマクロック サイクルよりも長くできます。この機能は、例えば、1 回のトリガイベントで複数のパルスを生成する必要がある場合に便利です。

Note: タイマがトリガされて動作している時 (CCPTRIG = 1 の時) に OSCNT[2:0] を変更すると、予期せぬ結果が生じる恐れがあります。

図 9-6: ワンショット機能のタイミング



10.0 スリープおよびアイドル中の動作

10.1 アイドルモード

アイドル中のモジュールの挙動は CCPSIDL ビット (CCPxCON1L[13]) によって決まります。CCPSIDL ビットをクリアした場合、モジュールはアイドル中も動作を続けます。CCPSIDL ビットをセットした場合、モジュールはデバイスがアイドルに移行した時に無効になります。モジュールが動作を実行中である時にアイドルへの移行が発生した場合の結果は、スリープへの移行時と同様です。

10.2 スリープモード

スリープ中のモジュールの挙動は CCPSLP ビット (CCPxCON1L[12]) によって決まります。CCPSLP ビットをセットした場合、選択されているクロック源がスリープ中に利用可能であれば、モジュールはスリープ中も動作を続けます。スリープ中にモジュールを動作させるには、TMRSYNC ビットをクリアしておく必要があります。

CCPSLP をクリアした場合、デバイスがスリープに移行するとモジュールは無効になります。しかし、CCPSLP がセットされており、モジュールを 16 ビットエッジ検出入力キャプチャモード (MOD[3:0] = 0000、CCSEL = 1) に設定した場合、クロック源が動作を維持している限り、モジュールは割り込みを生成してデバイスを復帰させる事ができます。この場合、入力キャプチャピンは外部割り込み要因として機能できます。これには、CCP 割り込みを有効 (CCPxIE = 1) にしておく必要があります。

10.2.1 スリープ中のトリガモード動作

モジュールをトリガモード動作向けに設定した場合、外部トリガ源からのトリガ信号を使ってモジュールとタイムベース クロック源を復帰させる事ができます。モジュールは、トリガモード動作を開始する前に、タイムベース クロック源を要求する必要があります。外部トリガ源からのトリガを受け取ると、CCP モジュールはタイムベース用に選択されているクロック源を有効にします。クロックの供給が始まった時点で、モジュールはトリガモード動作を開始します。

ワンショット トリガモードを選択した場合、ハードウェアが CCPTRIG ステータスビットをクリアした時点で、タイムベース クロック源は無効になります。次のトリガ信号を受け取るまで、タイムベースは無効なままです。

低消費電力クロック源を使って動作する内部信号源からトリガ信号を生成する事もできます。

スリープ中のモジュール動作を有効にする場合、デバイスがスリープに移行した後も、設定されているクロック源からモジュールにクロックを供給し続ける必要があります。

11.0 リセットの影響

デバイスリセットが発生すると、全てのレジスタはそれぞれのリセット状態に戻されます。これにより、モジュールは既定値コンフィグレーション (16 ビットタイマ) にリセットされます。全てのバッファおよびアドレスレジスタは 0000h に初期化され、全てのステータスフラグはリセットされます。

既定値では、OCxA (MCCP モジュール) または OCx (SCCP モジュール) に割り当てられているピンは、出力コンペア動作の際にモジュールによって制御される状態にリセットされます。しかし、モジュールが無効であれば、それらのピンの動作には影響しません。

キャプチャ/コンペア/PWM/タイマ (MCCP と SCCP)

12.0 関連アプリケーション ノート

本書に関連するアプリケーション ノートの一覧を下に記載します。一部のアプリケーション ノートは dsPIC33/PIC24 デバイスファミリ向けではありません。ただし概念は共通しており、変更が必要であったり制限事項が存在するものの利用が可能です。キャプチャ/コンペア/PWM/タイマ (MCCP および SCCP) モジュールに関連する最新のアプリケーション ノートは以下の通りです。

タイトル

アプリケーション ノート番号

現在、関連するアプリケーション ノートはありません。

Note: dsPIC33/PIC24 デバイスファミリ関連アプリケーション ノートとサンプルコードは Microchip 社のウェブサイト (www.microchip.com) でご覧になれます。

13.0 改訂履歴

リビジョン A (2013 年 3 月)

本書は初版です。

リビジョン B (2019 年 2 月)

セクション 2.0「レジスタ」を更新

レジスタ 3-8、レジスタ 3-9、レジスタ 3-10、レジスタ 3-11、レジスタ 3-12、レジスタ 3-13、
レジスタ 3-14、レジスタ 3-15 を追加

主な章の順序を入れ換え

Microchip 社製品のコード保護機能について以下の点にご注意ください。

- Microchip 社製品は、該当する Microchip 社データシートに記載の仕様を満たしています。
- Microchip 社では、通常の条件ならびに動作仕様書の仕様に従って使った場合、Microchip 社製品のセキュリティ レベルは、現在市場に流通している同種製品の中でも最も高度であると考えています。
- Microchip 社はその知的財産権を重視し、積極的に保護しています。Microchip 社製品のコード保護機能の侵害は固く禁じられており、デジタル ミレニアム著作権法に違反します。
- Microchip 社を含む全ての半導体メーカーで、自社のコードのセキュリティを完全に保証できる企業はありません。コード保護機能とは、Microchip 社が製品を「読解不能」として保証するものではありません。コード保護機能は常に進化しています。Microchip 社では、常に製品のコード保護機能の改善に取り組んでいます。

本書および本書に記載されている情報は、Microchip 社製品を設計、テスト、お客様のアプリケーションと統合する目的を含め、Microchip 社製品に対してのみ使う事ができます。それ以外の方法でこの情報を使う事はこれらの条項に違反します。デバイス アプリケーションの情報は、ユーザの便宜のためにのみ提供されるものであり、更新によって変更となる事があります。お客様のアプリケーションが仕様を満たす事を保証する責任は、お客様にあります。その他のサポートは Microchip 社正規代理店にお問い合わせ頂くか、<https://www.microchip.com/en-us/support/design-help/client-support-services> をご覧ください。

Microchip 社は本書の情報を「現状のまま」で提供しています。Microchip 社は明示的、暗黙的、書面、口頭、法定のいずれであるかを問わず、本書に記載されている情報に関して、非侵害性、商品性、特定目的への適合性の暗黙的保証、または状態、品質、性能に関する保証をはじめとするいかなる類の表明も保証も行いません。

いかなる場合も Microchip 社は、本情報またはその使用に関連する間接的、特殊的、懲罰的、偶発的または必然的損失、損害、費用、経費のいかににかかわらず、また Microchip 社がそのような損害が生じる可能性について報告を受けていた場合あるいは損害が予測可能であった場合でも、一切の責任を負いません。法律で認められる最大限の範囲を適用しようとも、本情報またはその使用に関連する一切の申し立てに対する Microchip 社の責任限度額は、使用者が当該情報に関連して Microchip 社に直接支払った額を超えません。

Microchip 社の明示的な書面による承認なしに、生命維持装置あるいは生命安全用途に Microchip 社の製品を使う事は全て購入者のリスクとし、また購入者はこれによって発生したあらゆる損害、クレーム、訴訟、費用に関して、Microchip 社は擁護され、免責され、損害をうけない事に同意するものとします。特に明記しない場合、暗黙的あるいは明示的を問わず、Microchip 社が知的財産権を保有しているライセンスは一切譲渡されません。

Microchip 社の品質管理システムについては www.microchip.com/quality をご覧ください。

商標

Microchip 社の名称とロゴ、Microchip ロゴ、Adaptec、AVR、AVR ロゴ、AVR Freaks、BesTime、BitCloud、CryptoMemory、CryptoRF、dsPIC、flexPWR、HELDO、IGLOO、JukeBlox、Keeloq、Kleer、LANCheck、LinkMD、maxStylus、maxTouch、MediaLB、megaAVR、Microsemi、Microsemi ロゴ、MOST、MOST ロゴ、MPLAB、OptoLyzr、PIC、picoPower、PICSTART、PIC32 ロゴ、PolarFire、Prochip Designer、QTouch、SAM-BA、SenGenuity、SpyNIC、SST、SST ロゴ、SuperFlash、Symmetricom、SyncServer、Tachyon、TimeSource、tinyAVR、UNI/O、Vectron、XMEGA は米国とその他の国における Microchip Technology Incorporated の登録商標です。

AgileSwitch、APT、ClockWorks、The Embedded Control Solutions Company、EtherSynch、Flashtec、Hyper Speed Control、HyperLight Load、Libero、motorBench、mTouch、Powermite 3、Precision Edge、ProASIC、ProASIC Plus、ProASIC Plus ロゴ、Quiet-Wire、SmartFusion、SyncWorld、Temux、TimeCesium、TimeHub、TimePictra、TimeProvider、TrueTime、ZL は米国における Microchip Technology Incorporated の登録商標です。

Adjacent Key Suppression、AKS、Analog-for-the-Digital Age、Any Capacitor、AnyIn、AnyOut、Augmented Switching、BlueSky、BodyCom、Clockstudio、CodeGuard、CryptoAuthentication、CryptoAutomotive、CryptoCompanion、CryptoController、dsPICDEM、dsPICDEM.net、Dynamic Average Matching、DAM、ECAN、Espresso T1S、EtherGREEN、GridTime、IdealBridge、In-Circuit Serial Programming、ICSP、INICnet、Intelligent Paralleling、IntelliMOS、Inter-Chip Connectivity、JitterBlocker、Knob-on-Display、KoD、maxCrypto、maxView、memBrain、Mindi、MiWi、MPASM、MPF、MPLAB Certified ロゴ、MPLIB、MPLINK、MultiTRAK、NetDetach、Omniscient Code Generation、PICDEM、PICDEM.net、PICKit、PiCtail、PowerSmart、PureSilicon、QMatrix、REAL ICE、Ripple Blocker、RTAX、RTG4、SAM-ICE、Serial Quad I/O、simpleMAP、SimpliPHY、SmartBuffer、SmartHLS、SMART-I.S.、storClad、SQL、SuperSwitcher、SuperSwitcher II、Switchtec、SynchroPHY、Total Endurance、Trusted Time、TSHARC、USBCheck、VariSense、VectorBlox、VeriPHY、ViewSpan、WiperLock、XpressConnect、ZENA は米国とその他の国における Microchip Technology Incorporated の商標です。

SQTP は米国における Microchip Technology Incorporated のサービスマークです。

Adaptec ロゴ、Frequency on Demand、Silicon Storage Technology、Symmcom はその他の国における Microchip Technology Incorporated の登録商標です。

GestIC は、その他の国における Microchip Technology Germany II GmbH & Co. KG (Microchip Technology Incorporated の子会社) の登録商標です。

その他の商標は各社に帰属します。

© 2023, Microchip Technology Incorporated and its subsidiaries.

All Rights Reserved.

ISBN: 978-1-6683-2242-0

各国の営業所とサービス

南北アメリカ

本社
2355 West Chandler Blvd.
Chandler, AZ 85224-6199
Tel: 480-792-7200
Fax: 480-792-7277
技術サポート:
<http://www.microchip.com/support>
URL:
www.microchip.com

アトランタ
Duluth, GA
Tel: 678-957-9614
Fax: 678-957-1455

オースティン, TX
Tel: 512-257-3370

ボストン
Westborough, MA
Tel: 774-760-0087
Fax: 774-760-0088

シカゴ
Itasca, IL
Tel: 630-285-0071
Fax: 630-285-0075

ダラス
Addison, TX
Tel: 972-818-7423
Fax: 972-818-2924

デトロイト
Novi, MI
Tel: 248-848-4000

ヒューストン, TX
Tel: 281-894-5983

インディアナポリス
Noblesville, IN
Tel: 317-773-8323
Fax: 317-773-5453
Tel: 317-536-2380

ロサンゼルス
Mission Viejo, CA
Tel: 949-462-9523
Fax: 949-462-9608
Tel: 951-273-7800

ローリー, NC
Tel: 919-844-7510

ニューヨーク, NY
Tel: 631-435-6000

サンノゼ, CA
Tel: 408-735-9110
Tel: 408-436-4270

カナダ - トロント
Tel: 905-695-1980
Fax: 905-695-2078

アジア / 太平洋

オーストラリア - シドニー
Tel: 61-2-9868-6733

中国 - 北京
Tel: 86-10-8569-7000

中国 - 成都
Tel: 86-28-8665-5511

中国 - 重慶
Tel: 86-23-8980-9588

中国 - 東莞
Tel: 86-769-8702-9880

中国 - 広州
Tel: 86-20-8755-8029

中国 - 杭州
Tel: 86-571-8792-8115

中国 - 香港 SAR
Tel: 852-2943-5100

中国 - 南京
Tel: 86-25-8473-2460

中国 - 青島
Tel: 86-532-8502-7355

中国 - 上海
Tel: 86-21-3326-8000

中国 - 瀋陽
Tel: 86-24-2334-2829

中国 - 深圳
Tel: 86-755-8864-2200

中国 - 蘇州
Tel: 86-186-6233-1526

中国 - 武漢
Tel: 86-27-5980-5300

中国 - 西安
Tel: 86-29-8833-7252

中国 - 厦門
Tel: 86-592-2388138

中国 - 珠海
Tel: 86-756-3210040

アジア/太平洋

インド - バンガロール
Tel: 91-80-3090-4444

インド - ニューデリー
Tel: 91-11-4160-8631

インド - プネ
Tel: 91-20-4121-0141

日本 - 大阪
Tel: 81-6-6152-7160

日本 - 東京
Tel: 81-3-6880-3770

韓国 - 大邱
Tel: 82-53-744-4301

韓国 - ソウル
Tel: 82-2-554-7200

マレーシア - クアラルンプール
Tel: 60-3-7651-7906

マレーシア - ペナン
Tel: 60-4-227-8870

フィリピン - マニラ
Tel: 63-2-634-9065

シンガポール
Tel: 65-6334-8870

台湾 - 新竹
Tel: 886-3-577-8366

台湾 - 高雄
Tel: 886-7-213-7830

台湾 - 台北
Tel: 886-2-2508-8600

タイ - バンコク
Tel: 66-2-694-1351

ベトナム - ホーチミン
Tel: 84-28-5448-2100

欧州

オーストリア - ヴェルス
Tel: 43-7242-2244-39
Fax: 43-7242-2244-393

デンマーク - コペンハーゲン
Tel: 45-4485-5910
Fax: 45-4485-2829

フィンランド - エスポー
Tel: 358-9-4520-820

フランス - パリ
Tel: 33-1-69-53-63-20
Fax: 33-1-69-30-90-79

ドイツ - ガーヒンク
Tel: 49-8931-9700

ドイツ - ハーン
Tel: 49-2129-3766400

ドイツ - ハイムロン
Tel: 49-7131-72400

ドイツ - カールスルーエ
Tel: 49-721-625370

ドイツ - ミュンヘン
Tel: 49-89-627-144-0
Fax: 49-89-627-144-44

ドイツ - ローゼンハイム
Tel: 49-8031-354-560

イスラエル - ラーナナ
Tel: 972-9-744-7705

イタリア - ミラノ
Tel: 39-0331-742611
Fax: 39-0331-466781

イタリア - バドヴァ
Tel: 39-049-7625286

オランダ - ドリュエネン
Tel: 31-416-690399
Fax: 31-416-690340

ノルウェー - トロンハイム
Tel: 47-7288-4388

ポーランド - ワルシャワ
Tel: 48-22-3325737

ルーマニア - ブカレスト
Tel: 40-21-407-87-50

スペイン - マドリッド
Tel: 34-91-708-08-90
Fax: 34-91-708-08-91

スウェーデン - ヨーテボリ
Tel: 46-31-704-60-40

スウェーデン - ストックホルム
Tel: 46-8-5090-4654

イギリス - ウォーキンガム
Tel: 44-118-921-5800
Fax: 44-118-921-5820